

DOI: 10.19783/j.cnki.pspc.211175

基于递归通用信号延迟叠加算子的单相锁相环

刘勇¹, 杨涛¹, 盘宏斌¹, 曾力¹, 曹雷²

(1. 湘潭大学自动化与电子信息学院, 湖南 湘潭 411105;

2. 贵州电网有限责任公司都匀供电局, 贵州 都匀 558000)

摘要: 当电网电压存在谐波与直流偏移时, 传统锁相环无法精确锁相。为此, 提出一种基于递归通用信号延迟叠加算子的改进单相锁相环算法。该方法在锁相环前级引入递归通用信号延迟叠加算子, 以产生正交信号并滤除谐波。接着在两相静止坐标系下, 构建延迟采样周期滤波器, 通过将正交分量延迟两个采样周期的方法抑制直流偏移。所提单相锁相环技术能够消除直流偏移和谐波干扰的影响, 快速准确地获取基波和所需的特定次谐波信息, 同时具有良好的动态性能和稳定性。最后, 仿真与实验结果证明了该方法的可行性。

关键词: 单相锁相环; 延迟信号叠加; 直流偏移; 谐波分离; 同步信号检测

Single-phase phase-locked loop based on recursive implementation of generalized delayed signal superposition

LIU Yong¹, YANG Tao¹, PAN Hongbin¹, ZENG Li¹, CAO Lei²

(1. School of Automation and Electronic Information, Xiangtan University, Xiangtan 411105, China;

2. Duyun Power Supply Bureau, Guizhou Power Grid Co., Ltd., Duyun 558000, China)

Abstract: When there are harmonics and DC offset in a grid voltage, the traditional phase-locked loop (PLL) cannot accurately realize phase lock. Hence, an improved single-phase phase-locked loop algorithm based on recursive-form generalized delayed signal superposition (RGDSS) operators is proposed. To produce the orthogonal signals and filtering of the harmonic, RGDSS operators are introduced into the pre-stage of the PLL. Then in a two-phase stationary reference frame, a delayed sampling period filter is constructed to suppress the DC offset by delaying the orthogonal component by two sampling periods. The proposed PLL, which has good dynamic performance and stability, can effectively eliminate the influence of DC offset and harmonics, and obtain the fundamental and desired harmonic information quickly and accurately. Finally, the feasibility of the method is verified by simulation and experiment.

This work is supported by the National Natural Science Foundation of China (No. 51577162).

Key words: single-phase phase-locked loop; delayed signal superposition; DC offset; harmonic separation; detection of synchronizing signal

0 引言

在有源电力滤波器和分布式发电系统等能源和电力应用中, 快速准确地获取电网电压的相位、频率和谐波成分等信息是十分重要的^[1-4]。锁相环结构(Phase-Locked Loop, PLL)由鉴相器、环路滤波器和压控振荡器组成, 结构简单、易于实现, 被广泛应用于电网同步^[5-9]。

不同于三相供电系统, 在单相系统中, 由于只有一个输入信号, 锁相环结构更为复杂^[10]。近年来, 基于正交信号发生器(Quadrature Signal Generator, QSG)的锁相环因其在非理想电网电压条件下的鲁棒性, 在单相系统中发挥着至关重要的作用^[11-14]。

文献[15]详细研究了包括二阶广义积分器(Second-Order Generalized Integrator, SOGI)以及复系数滤波器(Complex-Coefficient Filter, CCF)在内的多种正交信号发生技术。这些方法通过单相电网电压信号生成虚拟正交信号, 具有动态响应慢、对谐波敏感等缺点。文献[16]推导了一种通用信号延迟

基金项目: 国家自然科学基金项目资助(51577162); 湖南省自然科学基金项目资助(2021JJ30674)

叠加算子(Generalized Delayed Signal Superposition Operator, GDSS), GDSS 算子能够实现对单相输入信号中任意所选频率信号的提取, 并生成其对应的正交信号。基于这种 GDSS 算子, 文献[17]提出了一种基于 GDSS 算子的锁相环结构(GDSS-PLL), 可以在谐波干扰下快速准确地提取基波及谐波信号同步信号。

在实际电网中, 由于电网故障、数字信号处理器中的 A/D 转换、地磁现象、半波整流、电流互感器饱和以及分布式发电系统的直流注入等原因^[18-19], PLL 输入电压中会产生直流偏移。而直流偏移会导致 PLL 输出波形中含二倍频波动^[20]。文献[21]给出了直流偏移对锁相环性能影响的定量分析。结果表明, 随着前级输入中直流偏移量的增大, 锁相环的带宽必须相应减小。

为消除锁相环中直流偏移的影响, 近年来学者们提出了多种解决方案^[22]。文献[23]提出一种直流消除锁相环, 通过将 $\alpha\beta$ 坐标系下正交信号与其延时信号相减, 然后进行频率自适应矩阵变换来调整基波分量的相位和幅度。这种锁相环算法动态响应良好, 但是由于使用了余切函数, 增加了计算负担。文献[24]基于延迟信号消除(Delayed Signal Cancellation, DSC)算子提出一种改进型 DSC 算法, 通过增加可调整的参数 n_s 实现对传统 DSC 的频率特性在频谱上进行平移以消除直流分量。该方法能有效降低滤波环节的时延, 但是会改变基波分量的幅值和相位。文献[25]通过添加积分支路来改进 SOGI, 消除直流偏移, 并通过引入滑动平均滤波器和去掉积分环节来抑制谐波和加快响应速度。

针对以上问题, 本文在 GDSS-PLL 的基础上, 提出一种改进单相锁相环技术。首先, 在离散域下基于直接形式的 GDSS 算子推导 GDSS 算子的递归实现形式。相对直接形式 GDSS 算子而言, 递归 GDSS 算子减小了实现复杂度, 且降低了计算量。然后, 提出了一种延迟采样周期滤波器(Delay Sampling Period Filter, DSPF)以滤除 PLL 输入中的直流偏移。并对所提 DSPF 算法的抗噪性能进行研究, 给出了相应的解决方案。接着, 通过递归 GDSS 算子提取单相输入信号中的基波及所需谐波信号, 并生成其对应的正交信号。同时引入 DSPF 滤除所得信号中的直流偏移。最后通过基于同步旋转坐标系的锁相环(Synchronous Reference Frame-Phase Locked Loop, SRF-PLL)获取电网基波频率和相位信息。仿真与实验结果表明, 所提锁相方法在不同

电网故障下都能保持良好的同步性能。

1 通用信号延迟叠加算子

1.1 滤波原理介绍及推导

考虑畸变单相电网电压或电流信号 $v(t)$, 该信号包含基波和 $n-2$ 次谐波, 可表示为

$$v(t) = \sum_{h=1}^{n-1} v^h(t) = \sum_{h=1}^{n-1} V^h \cos(\theta_h) \quad (1)$$

式中: $\theta_h = h\omega t + \varphi_h$ 为瞬时相角, $\omega = 2\pi f$ 为基波角频率, rad/s, $f = 1/T$ 为基频, Hz, T 为电压信号基波周期; V^h 、 φ_h 分别为 h 次谐波的幅值和初相位, $h=1$ 时为基波分量。

文献[16]提出一种 GDSS 算子, 其表达式为

$$GDSS1[v(t)] = \frac{2}{m+1} \sum_{l=0}^m v(t - \frac{l}{h_s} T) \cos(\frac{2l\pi}{n}) \quad (2)$$

$$GDSS2[v(t)] = \frac{2}{m+1} \sum_{l=0}^m v(t - \frac{l}{h_s} T) \sin(\frac{2l\pi}{n}) \quad (3)$$

式中: h_s 为所提取的谐波阶次; $m < h_s n$, n , l 为任意正整数。考虑 $v(t)$ 中 h 次谐波 $v_h(t) = V^h \cos(\theta_h)$, 式(2)经变换得

$$GDSS1[v_h(t)] = 2G \sum_{l=0}^m \cos(\theta_h - \frac{2hl\pi}{h_s n}) \cos(\frac{2l\pi}{h_s n}) = G \sum_{l=0}^m [\cos(\theta_h - 2kA) + \cos(\theta_h - 2kB)] \quad (4)$$

式中: $G = V^h / (m+1)$; $A = \pi(h - h_s) / (h_s n)$; $B = \pi(h + h_s) / (h_s n)$ 。

根据文献[26]给出的三角函数叠加公式, 可以将式(4)进一步简化为

$$GDSS1[v_h(t)] = \begin{cases} G(CD \csc A + EF \csc B), & h \neq h_i \\ V_h \cos(\theta_h) + GEF \csc B, & h = h_s(pn + 1) \\ V_h \cos(\theta_h) + GCD \csc B, & h = h_s(pn - 1) \end{cases} \quad (5)$$

式中: $C = \cos(\theta_h - mA)$; $D = \sin[(m+1)A]$; $E = \cos(\theta_h - mA)$; $F = [(m+1)B]$; $h_i = h_s(pn \pm 1)$ 且 p 为任意自然数。同理可得

$$GDSS2[v_h(t)] = \begin{cases} G(JD \csc A + KF \csc B), & h \neq h_i \\ V_h \sin(\theta_h) + GKF \csc B, & h = h_s(pn + 1) \\ V_h \sin(\theta_h) + GJD \csc B, & h = h_s(pn - 1) \end{cases} \quad (6)$$

式中: $J = \sin(\theta_h - mA)$; $K = \sin(\theta_h - mB)$; $h_i =$

$(1 \pm i) \cdot h_s n, i = 0, 1, 2, \dots$ 。

通过式(5)可知, 当 $m = h_s n - 1$ 时, GDSS1 算子能实现对所有 $h \neq h_s$ 次谐波分量的零增益, 而对 $h = h_s$ 的谐波分量实现单位增益和零相移。由式(6)可以分析得出同样的结论, 但 GDSS2 算子会对 h 阶 ($h = h_s$) 的谐波分量带来 $-\pi/2$ 的相移。

n 的取值决定了算法无法滤除的 h_s 次谐波, 通过调节参数 n , GDSS1 算子和 GDSS2 算子可以提取出任意的 h_s 次谐波 $v^{h_s}(t)$ 及其正交信号 $qv^{h_s}(t)$, $q = e^{-j\pi/2}$ 为正交算子。基于通用延迟信号叠加算子的谐波提取算法原理, 如图 1 所示, 其中 $a_l = \cos(2l\pi/n)$ 或 $a_l = \sin(2l\pi/n)$, $l = 0, 1, 2, \dots, m$ 。从式(2)和式(3)可以看出, GDSS 算子的最大延迟时间是 $mT/h_s n$, 算法动态响应时间不超过一个基波周期。

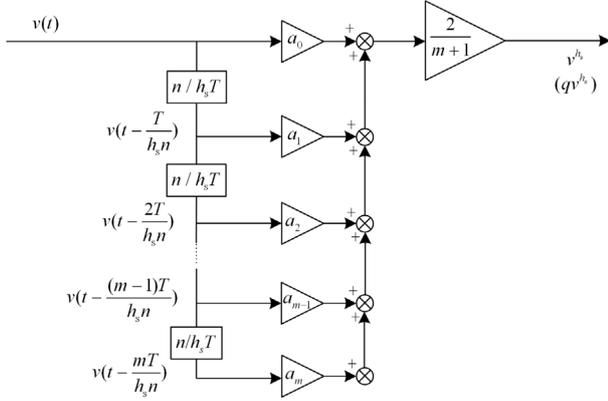


图 1 GDSS 直接实现形式
Fig. 1 Direct-form of GDSS

1.2 递归实现形式

为了简化上述 GDSS 算子, 在离散域中推导了 GDSS 算子的递归实现。假设采样频率为 $f_s = 1/T_s$, T_s 为采样周期, $N = f_s/f$ 是信号 $v(t)$ 一个基波周期内的样本总数。若连续时间在离散采样点中表示为 $t = kT_s$, 则 GDSS 算子可以表示为

$$GDSS1[v(k)] = \frac{2}{m+1} \sum_{l=0}^m v(k - \frac{Nl}{h_s n}) \cos(\frac{2l\pi}{n}) \quad (7)$$

$$GDSS2[v(k)] = \frac{2}{m+1} \sum_{l=0}^m v(k - \frac{Nl}{h_s n}) \sin(\frac{2l\pi}{n}) \quad (8)$$

从式(7)和式(8)可以看出, GDSS1 和 GDSS2 为两个有限长单位冲击响应滤波器, 每个 GDSS 算子实现需要 $(m+1)$ 次乘法和 m 次加法。且延迟信号的数量 m 随着所选择谐波阶数 h_s 的增大而增加。当要提取高次谐波时, 直接形式的 GDSS 算子计算负担

较大。设 $m = h_s n - 1$, 通过 z 变换可以得到式(7)和式(8)的传递函数分别为

$$H_1(z) = \frac{1}{m+1} \sum_{l=0}^m e^{\frac{Nl}{h_s n} s} \cdot (e^{-j\frac{2\pi l}{n}} + e^{j\frac{2\pi l}{n}}) = \frac{1}{m+1} \left[\frac{1 - e^{j2\pi} z^{-\frac{N}{h_s}}}{1 - e^{j\frac{2\pi}{n}} z^{-\frac{N}{h_s}}} + \frac{1 - e^{-j2\pi} z^{-\frac{N}{h_s}}}{1 - e^{-j\frac{2\pi}{n}} z^{-\frac{N}{h_s}}} \right] \quad (9)$$

$$H_2(z) = \frac{1}{(m+1)j} \sum_{l=0}^m e^{\frac{Nl}{h_s n} s} \cdot (e^{-j\frac{2\pi l}{n}} - e^{j\frac{2\pi l}{n}}) = \frac{1}{(m+1)j} \left[\frac{1 - e^{j2\pi} z^{-\frac{N}{h_s}}}{1 - e^{j\frac{2\pi}{n}} z^{-\frac{N}{h_s}}} - \frac{1 - e^{-j2\pi} z^{-\frac{N}{h_s}}}{1 - e^{-j\frac{2\pi}{n}} z^{-\frac{N}{h_s}}} \right] \quad (10)$$

$$e^{j2\pi} = e^{-j2\pi} = 1 \quad (11)$$

其中, j 为虚部, 根据式(11), 式(9)和式(10)可以进一步简化为

$$H_1(z) = \frac{2}{m+1} \frac{(1 - z^{-N/h_s}) [1 - \cos(2\pi/n) z^{-N/h_s n}]}{1 - 2\cos(2\pi/n) z^{-N/h_s n} + z^{-2N/h_s n}} \quad (12)$$

$$H_2(z) = \frac{2}{m+1} \frac{(1 - z^{-N/h_s}) [\sin(2\pi/n) z^{-N/h_s n}]}{1 - 2\cos(2\pi/n) z^{-N/h_s n} + z^{-2N/h_s n}} \quad (13)$$

通过式(12)和式(13)可以得到 GDSS1 和 GDSS2 的组合递归实现形式, 如图 2 所示, 称之为递归通用信号延迟叠加算子(Recursive-form Generalized Delayed Signal Superposition Operator, RGDSS)。通过 RGDSS 算子提取输入信号中的谐波信号和相应的正交信号。因此, RGDSS 算子可以看作是一种正交信号生成(Quadrature Signal Generation, QSG)算法, 可以称为基于递归广义延迟信号叠加算子的正交生成算法(RGDSS-OSG)。通过选择合适的参数 n , RGDSS-OSG 可以提取期望的谐波 $v^{h_s}(t)$ 及其对应的正交信号 $qv^{h_s}(t)$ 。

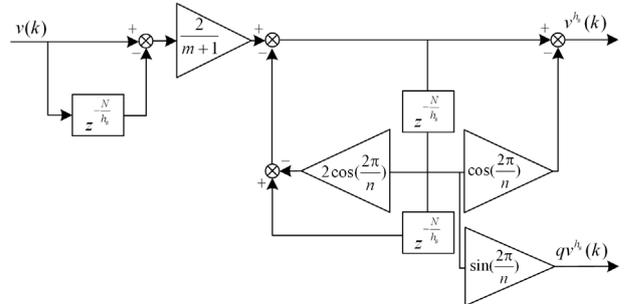


图 2 GDSS 递归实现形式
Fig. 2 Recursive-form of GDSS

对于 RGDSS-OSG 来说, 参数 n 的正确选择有着极其重要的影响, n 可以取 2 到 N 之间的任何整数值。当 RGDSS-OSG 用于提取基波分量时, 考虑两种 n 取值的极端情况, 若 $n=2$, 所提算法实质上相当于延迟 $T/2$ 个周期的延迟信号消去算子(Delay Signal Cancellation, DSC)^[27]。若 $n=N$, 此时传输延迟模块延迟时间为单位采样时间, 所提算法实质上等价于滑动离散傅立叶变换(SDFT)^[28]。DSC 和 SDFT 都可以提取输入的单相信号及其对应的正交信号, 然而, RGDSS 算子可以选择远小于 N 的 n 值, 因此 RGDSS 算子比 SDFT 算法具有更短的延迟时间。

特别地, 如果仅考虑奇数次谐波, 此时 $m = h_s n / 2 - 1$, 式(7)和式(8)的 z 域传递函数分别为

$$H_1(z) = \frac{1}{m+1} \left[\frac{1 - e^{j\pi} z^{\frac{N}{2h_s}}}{1 - e^{j\frac{\pi}{n}} z^{\frac{N}{2h_s n}}} + \frac{1 - e^{-j\pi} z^{\frac{N}{2h_s}}}{1 - e^{-j\frac{\pi}{n}} z^{\frac{N}{2h_s n}}} \right] \quad (14)$$

$$H_2(z) = \frac{1}{(m+1)j} \left[\frac{1 - e^{j\pi} z^{\frac{N}{2h_s}}}{1 - e^{j\frac{\pi}{n}} z^{\frac{N}{2h_s n}}} + \frac{1 - e^{-j\pi} z^{\frac{N}{2h_s}}}{1 - e^{-j\frac{\pi}{n}} z^{\frac{N}{2h_s n}}} \right] \quad (15)$$

进一步推导, 式(14)和式(15)可表示为

$$H_1(z) = \frac{2}{m+1} \frac{(1 + z^{-N/2h_s}) [1 - \cos(\pi/n) z^{-N/2h_s n}]}{1 - 2 \cos(\pi/n) z^{-N/2h_s n} + z^{-N/h_s n}} \quad (16)$$

$$H_2(z) = \frac{2}{m+1} \frac{(1 + z^{-N/2h_s}) [\sin(\pi/n) z^{-N/2h_s n}]}{1 - 2 \cos(\pi/n) z^{-N/2h_s n} + z^{-N/h_s n}} \quad (17)$$

由式(16)和式(17)得到的递归 GDSS 算子除不能完全消除输入信号中的偶次谐波外, 谐波分离性能几乎保持不变。此时算法动态响应时间为 $(h_s n - 2)T / (2h_s n)$, 缩短到半个基波周期内。提取特定次谐波 h_s 的 RGDSS 算子参数 m 、 n 、 h_s 关系如表 1 所示。由于实际单相电网中偶次谐波很少, 因此可以考虑优化 m 取值, 以获得更快的响应速度。

表 1 RGDSS 参数表

Table 1 Parameters of the RGDSS

h_s	m	n	h_i (除偶次外)
1	12	26	1,25,27,...
3	14	10	3,27,33,...
5	14	6	5,25,35,...
7	20	6	7,35,49,...
9	17	4	9,27,45,...

2 直流偏移滤除方法

本文采用标准的基于同步旋转坐标系的锁相环

(Synchronous Reference Frame-Phase Locked Loop, SRF-PLL)来获取频率和相位信息。由于单相电网只有一个电压向量, 不能直接进行坐标变换。将由 RGDSS-OSG 所提取的一组正交信号 $v^h(t)$ 和 $qv^h(t)$ 作为两相静止坐标系下的 $\alpha\beta$ 分量 $U_\alpha(t)$ 和 $U_\beta(t)$ 。

针对 $U_\alpha(t)$ 和 $U_\beta(t)$ 中存在直流偏移的情况, 提出了一种延迟采样周期滤波器算法。该算法通过对 $U_\alpha(t)$ 和 $U_\beta(t)$ 延迟两个采样周期 T_s , 利用 $\alpha\beta$ 坐标系下的三角函数运算滤除直流偏移。延迟采样周期滤波法计算过程如图 3 所示。 $U_\alpha(t)$ 和 $U_\beta(t)$ 可以看作由 h 次谐波分量(当 $h=1$ 时为基波)和直流偏移组成, 可表示为

$$\begin{cases} U_\alpha = U_{dc\alpha} + U_h \sin(h\omega t + \varphi_h) \\ U_\beta = U_{dc\beta} + U_h \cos(h\omega t + \varphi_h) \end{cases} \quad (18)$$

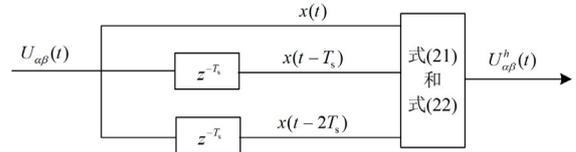


图 3 DSPF 算法原理

Fig. 3 Principle of DSPF algorithm

DSPF 算法推导如下: 式(18)中的 t 分别用 $t+T_s$ 和 $t-T_s$ 代替, 通过简单三角变换可得

$$U_\alpha(t+T_s) = U_\alpha(t) \cos(h\omega T_s) + U_\beta(t) \sin(h\omega T_s) + U_{dc\alpha} [1 - \cos(h\omega T_s)] - U_{dc\beta} \sin(h\omega T_s) \quad (19)$$

$$U_\alpha(t-T_s) = U_\alpha(t) \cos(h\omega T_s) - U_\beta(t) \sin(h\omega T_s) + U_{dc\alpha} [1 - \cos(h\omega T_s)] + U_{dc\beta} \sin(h\omega T_s) \quad (20)$$

根据式(19)和式(20), 通过推导可得 h 次谐波在 α 轴上的分量, 可表示为

$$U_\alpha^h = U_h \sin(h\omega t + \varphi_h) = \frac{U_\alpha(t+T_s) + U_\alpha(t-T_s) - 2U_\alpha(t)}{2[\cos(h\omega T_s) - 1]} \quad (21)$$

同理可得 h 次谐波在 β 轴上的分量为

$$U_\beta^h = U_h \cos(h\omega t + \varphi_h) = \frac{U_\beta(t+T_s) + U_\beta(t-T_s) - 2U_\beta(t)}{2[\cos(h\omega T_s) - 1]} \quad (22)$$

在工程实际中, DSPF 算法需要在离散域内实现, 对式(21)和式(22)进行离散化。

$$x_\alpha^h = \frac{x_\alpha(k) + x_\alpha(k-2) - 2x_\alpha(k-1)}{2[\cos(h\omega T_s) - 1]} \quad (23)$$

$$x_{\beta}^h = \frac{x_{\beta}(k) + x_{\beta}(k-2) - 2x_{\beta}(k-1)}{2[\cos(h\omega T_s) - 1]} \quad (24)$$

类似地，直流偏移 $U_{dc\alpha}$ 和 $U_{dc\beta}$ 的表达式为

$$U_{dc\alpha} = \frac{U_{\alpha}(t+T_s) + U_{\alpha}(t-T_s) - 2U_{\alpha}(t)\cos(h\omega T_s)}{2[1 - \cos(h\omega T_s)]} \quad (25)$$

$$\begin{aligned} \tilde{x}_{\alpha}^h(k) &= \frac{\tilde{x}_{\alpha}(k) + \tilde{x}_{\alpha}(k-2) - 2\tilde{x}_{\alpha}(k-1)}{2[\cos(h\omega T_s) - 1]} = \\ &= \frac{[x_{\alpha}(k) + x_n(k)] + [x_{\alpha}(k-2) + x_n(k-2)] - 2[x_{\alpha}(k-1) + x_n(k-1)]}{2[\cos(h\omega T_s) - 1]} = x_{\alpha}^h(k) + \tilde{x}_n(k) \end{aligned} \quad (27)$$

$$\tilde{x}_n(k) = \frac{x_n(k) + x_n(k-2) - 2x_n(k-1)}{2[\cos(h\omega T_s) - 1]} \leq \quad (28)$$

$$\begin{aligned} |x_n| \left| \frac{2}{\cos(h\omega T_s) - 1} \right| &= |x_n| A_{\max} \\ A_{\max} &= \left| \frac{2}{\cos(h\omega T_s) - 1} \right| \end{aligned} \quad (29)$$

式中： A_{\max} 为最大噪声放大系数； $|x_n|$ 为噪声最大值；令 $T_L = LT_s$ 为算法新的响应时间，其中 L 是响应时间与采样周期的比例因子。 A_{\max} 可进一步推导为

$$A'_{\max} = \left| \frac{2}{\cos(h\omega T_L) - 1} \right| \quad (30)$$

所提直流偏移滤除方法动态响应时间较短，且不会改变提取的基波或特定次谐波分量的相位和幅值，但会放大高频谐波。而递归 GDSS 算子对高频谐波具有良好的滤除能力。 A'_{\max} 随着 L 的增加而显著减小， L 可取 1 到 180 之间整数值，取值根据实际电网中系统的整体噪声性能进行调整，将噪声限制在可接受的范围内，可以保证期望的快速响应性能。

基于上述内容，可以建立由 RGDSS 和 DSPF 模块组成的前置滤波器和 SRF-PLL 的选择性谐波检测系统，即 MRGDSS-DSPF-PLL，当存在谐波干扰和直流偏移时，通过所提 MRGDSS-DSPF-PLL 实现单相电网基波及特定次谐波信号同步，其结构如图 4 所示。图中： θ 为基波相位，RGDSS-OSG_{*h_s*} 和 DSPF_{*h_s*} 分别为针对基波 v_1 及所需检测的 $h_s1, h_s2, \dots, h_s n$ 次谐波信号 $v_{h_s1}, v_{h_s2}, \dots, v_{h_s n}$ 设计的 RGDSS-OSG 与 DSPF 算子。

从图 4 可以看出，基波频率和相位同步是通过

$$U_{dc\beta} = \frac{U_{\beta}(t+T_s) + U_{\beta}(t-T_s) - 2U_{\beta}(t)\cos(h\omega T_s)}{2[1 - \cos(h\omega T_s)]} \quad (26)$$

所提 DSPF 算法可以滤除直流偏移，理论动态响应时间仅为两个采样周期。与目前广泛应用的 DSC 算法相比，动态响应时间明显缩短。

以 $U_{\alpha}(t)$ 为例，对 DSPF 算法的噪声放大问题进行分析。当考虑高频随机噪声时，式(23)可改写为

SRF-PLL 实现的，但其性能主要由 GDSS 算子和 DSPF 模块所组成的前置滤波级决定。因此可以根据具体应用和控制要求灵活设计 GDSS 算子和 DSPF 模块的参数和个数。由于预滤波级的 RGDSS 和 DSPF 模块滤除了谐波和直流偏移，输入信号没有失真，因此 SRF-PLL 的带宽可以设置的足够宽，PI 参数可以按照文献[29]所述设计。

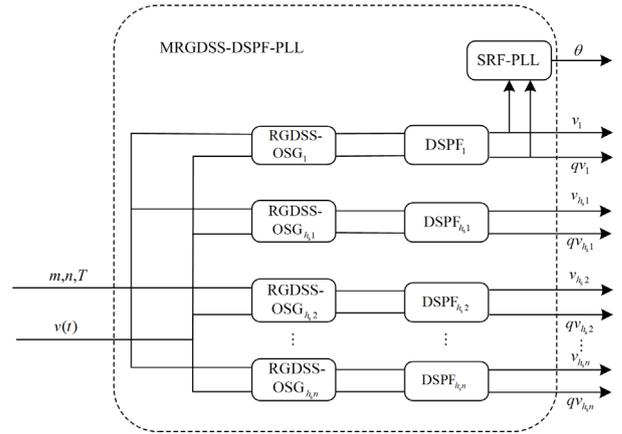


图 4 MRGDSS-DSPF-PLL 结构图

Fig. 4 Configuration of the MRGDSS-DSPF-PLL

3 仿真结果分析

为验证所提策略的有效性，在 Matlab/Simulink 搭建仿真模型，单相输入电压额定值为 311 V/50 Hz，采样频率为 18 kHz。对直接形式和递归形式的 GDSS 算子在电网电压存在谐波干扰的情况下的特定次谐波提取进行了测试。在 $t = 0.4$ s 时，向单相电网电压注入 0.2 p.u. 的 5 次谐波和 0.1 p.u. 的 7 次谐波，仿真结果如图 5 所示。可以看到两种形式的 GDSS 算子都能快速准确地提取所需谐波，动态响应时间在半周期内。因此，递归形式的 GDSS 算子可以通过更少的计算和更简单的结构获得相同的性能。

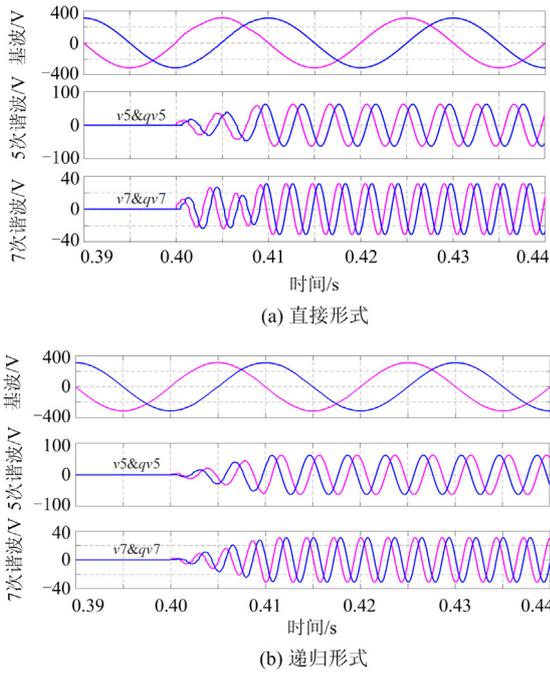


图5 特定次谐波提取仿真结果

Fig. 5 Simulation results for the extraction of desired harmonics

在 $t = 0.4 \text{ s}$ 时, 向单相电网注入 0.2 p.u. 的 5 次谐波, 0.1 p.u. 的 7、11、13 次谐波以及 0.1 p.u. 的直流偏移。图 6 显示了 RGDSS-DSPF-PLL 和 GDSS-PLL 估算频率波形的仿真结果。显然, 虽然两者都能准确估计出基频, 但是 GDSS-PLL 不能滤除直流分量, 导致其估计频率在稳态时存在二倍频波动。而 RGDSS-DSPF-PLL 能有效消除谐波分量和直流分量, 实现稳定锁频。RGDSS-DSPF-PLL 动态响应过程受参数 L 的影响, L 取值越大, 锁相环动态过程超调越小, 但动态响应时间也随之增加。显然, DSPF 算法在解决直流偏移问题的同时, 也对锁相环整体性能造成了一定的影响。

为进一步检验 MRGDSS-DSPF-PLL 的动态性能和稳定性, 设置了电压跌落、相角跳变和频率跳变 3 种工况。

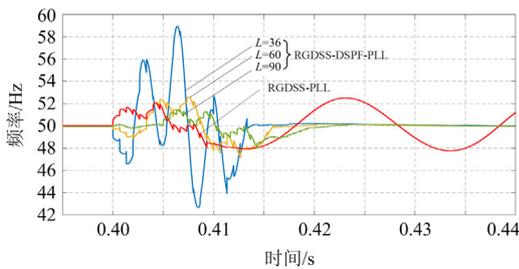


图6 在直流偏移和谐波干扰下的仿真结果

Fig. 6 Phase-locked interference results with DC and harmonics

1) 电压跌落。当单相电网存在上述谐波干扰和直流偏移时, 电网电压在 $t = 0.4 \text{ s}$ 时跌落 0.5 p.u. , 其仿真结果如图 7 所示。所提锁相环在电压跌落情况下动态过程超调量较小, 调整时间约 42 ms 。

2) 相角跳变。当 $t = 0.4 \text{ s}$ 时, 相角跳变 30° , 其仿真结果如图 8 所示, 所提改进单相锁相环技术在相角跳变后超调量相对较大, 约 10.12% 。

3) 频率跳变。当 $t = 0.4 \text{ s}$ 时, 电网基波频率由 50 Hz 跳变到 50.5 Hz , 其仿真结果如图 9 所示。尽管直接形式的 GDSS 算子频率自适应是稳定的, 但对递归形式的 GDSS 算子而言, 由于传递函数式(12)和式(13)在偏离基波频率时零极点不能完全抵消,

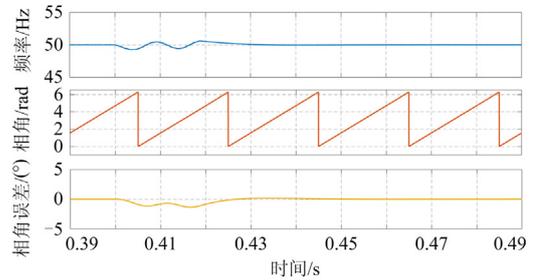


图7 电压跌落的仿真结果

Fig. 7 Simulation results of voltage sag

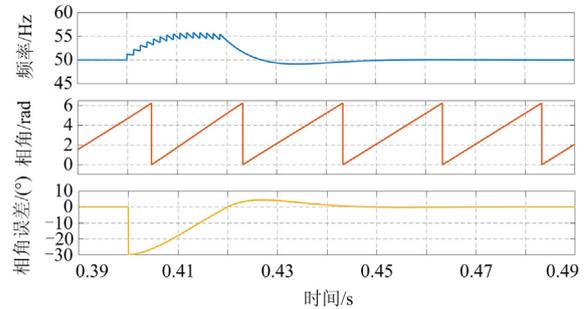


图8 相角跳变的仿真结果

Fig. 8 Simulation results of phase angle mutation

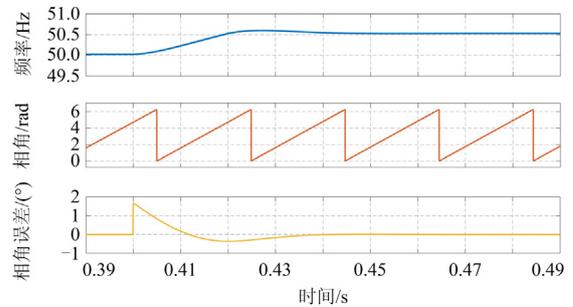


图9 频率跳变的仿真结果

Fig. 9 Simulation results of frequency mutation

因此采用闭环频率自适应可能导致系统不稳定。此外，与 GDSS-PLL 一样，当电网频率发生小范围波动时，所提单相锁相性能并未发生太大变化。

4 实验结果分析

本文实验基于 StarSim 半实物平台进行验证，如图 10 所示，实验平台主要由快速控制原型器、I/O 信号转接板、实时仿真器以及主机操控平台组成。通过基于 FPGA 的实时仿真器模拟单相电压信号，锁相环算法经过编译后下载到快速控制原型器中运行，锁相结果可通过示波器或上位机显示。实验中参数设置与仿真一致，实验结果如图 11 所示。

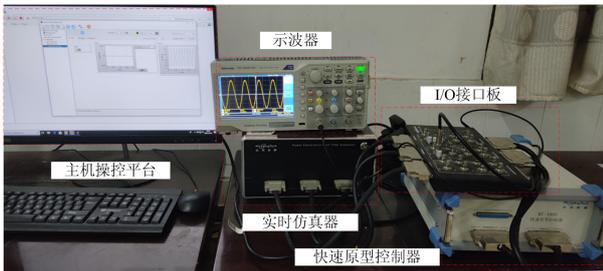


图 10 半实物平台组成

Fig. 10 Composition of semi-physical platform

图 11 分别是锁相环在直流偏移与谐波干扰时，电压跌落、相角跳变以及频率突变等故障下的实验结果，三个波形分别是频率误差 $\Delta\omega$ 、相角 θ 以及相角误差 $\Delta\theta$ 。

所提单相锁相环在直流偏移和谐波干扰下的实验结果如图 11(a)所示。对比图 6 仿真结果以及图 11 的实验结果，动态过程超调量和响应时间基本一致，可以看出所提方法能够实现基波频率快速准确的估计，由 RGDSS 和直流偏移滤除算法所组成的前置滤波级可以有效且快速地消除直流偏移和谐波干扰的影响，进而使 SRF-PLL 成功锁相。

图 11(b)是电压跌落时锁相环的输出波形，可以看到锁相环动态响应时间较短，约 25 ms 时锁相环输出达到稳定，且频率波形超调也较小，约为 4%，与仿真结果相吻合。图 11(c)是相角跳变时的实验结果，由于加入了 DSPF 算法，频率估计过程超调量较大。频率突变时的实验结果如图 11(d)所示，在频率偏移情况下锁相环仍能准确估计频率。实验证明了所提单相锁相环结构在电网常见故障下仍能精准锁相，尽管 DSPF 算法会增大频率估计时动态响应的超调量，但能通过调节 L 使其表现出满意的性能。

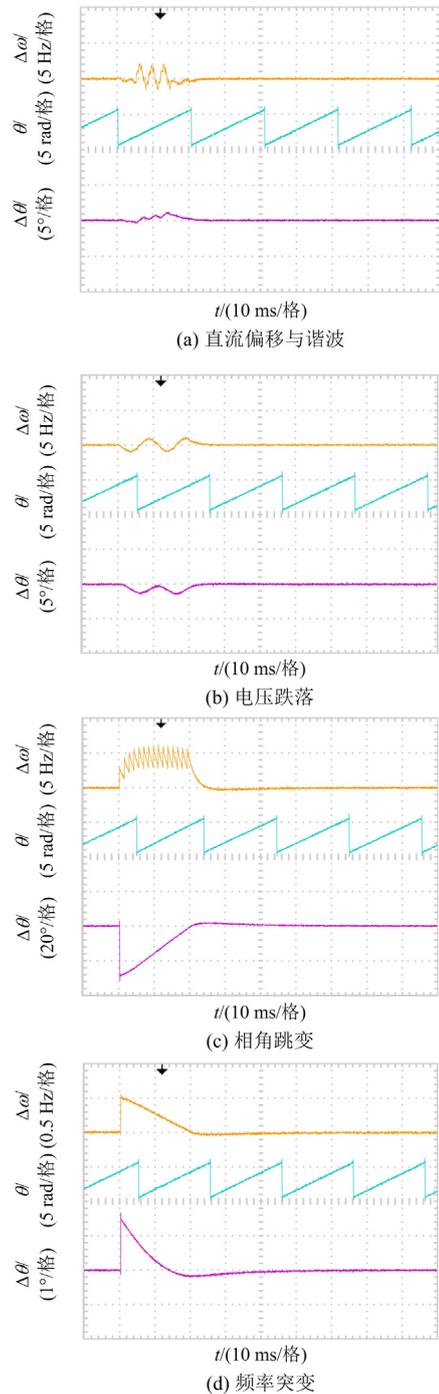


图 11 实验结果

Fig. 11 Experimental results

5 结论

从仿真和实验结果可以看出，相比于 GDSS-PLL，RGDSS-DSPF-PLL 能消除直流偏移的影响，准确获取电网基波及特定次谐波信息。相比直接形式的 GDSS 算子，所推导的递归 GDSS 算子在滤波

性能和动态响应速度上基本相同,但其结构更简单,同时减小了计算量。针对 GDSS 算子不能滤除直流偏移的情况,提出了一种延迟采样周期法。通过合理设置参数 L , 延迟采样周期法对单相锁相环结构的动态性能不会造成显著影响。所提出的 MRGDSS-DSPF-PLL 具有同时消除直流偏移和谐波干扰的能力,能够在非理想电网情况下快速准确地实现基波和多重谐波信息同步。此外, MRGDSS-DSPF-PLL 在面对电网电压幅值跌落、相位跳变及频率变化等故障仍能保证较好的同步效果,具有较强的鲁棒性。

参考文献

- [1] PRAKASH S, SINGH J K, BEHERA R K, et al. A type-3 modified SOGI-PLL with grid disturbance rejection capability for single-phase grid-tied converters[J]. IEEE Transactions on Industry Applications, 2021, 57(4): 4242-4252.
- [2] MENG Xin, ZHU Yanbin, LIU Lei, et al. Research on power control strategy of household-level electric power router based on hybrid energy storage droop control[J]. Protection and Control Modern Power Systems, 2021, 6(2): 178-180.
- [3] BAMIGBADE A, KHADKIKAR V, AL HOSANI M. Single-phase type-1 frequency-fixed FLL for distorted voltage condition[J]. IEEE Transactions on Industrial Electronics, 2021, 68(5): 3865-3875.
- [4] TANG M, BIFARETTI S, PIPOLO S, et al. A novel low computational burden dual-observer phase-locked loop with strong disturbance rejection capability for more electric aircraft[J]. IEEE Transactions on Industry Applications, 2021, 57(4): 3832-3841.
- [5] 王佳浩, 潘欢, 纳春宁, 等. 复杂电网环境下基于 DDM-QT1-PLL 的并网同步方法[J]. 电力系统保护与控制, 2020, 48(13): 132-141.
WANG Jiahao, PAN Huan, NA Chunqing, et al. Grid-connected synchronization method based on DDM-QT1-PLL under complex grid conditions[J]. Power System Protection and Control, 2020, 48(13): 132-141.
- [6] 朱建红, 黄琼, 孟棒棒. 基于 $\alpha\beta$ 分量滤波直接解耦风电并网锁相环设计[J]. 电力系统保护与控制, 2018, 46(24): 135-141.
ZHU Jianhong, HUANG Qiong, MENG Bangbang. Direct decoupling wind power grid-connected phase-locked loop design based on $\alpha\beta$ component filtering[J]. Power System Protection and Control, 2018, 46(24): 135-141.
- [7] 汪娟娟, 龚英明, 文兆新, 等. 一种基于级联延迟信号消去锁相环的高压直流输电同步触发控制[J]. 中国电机工程学报, 2021, 41(2): 524-536.
WANG Juanjuan, GONG Yingming, WEN Zhaoxin, et al. A firing control of HVDC based on cascaded delayed signal cancellation phase locked loop[J]. Proceedings of the CSEE, 2021, 41(2): 524-536.
- [8] 许津铭, 卞申一阳, 钱浩, 等. 弱电网下单相并网逆变器延时锁相环的鲁棒控制及优化方法[J]. 中国电机工程学报, 2020, 40(7): 2062-2070, 2386.
XU Jinming, BIAN Sheniyang, QIAN Hao, et al. Robust control and optimization of delay-based phase-locked loop of single-phase grid-connected inverters under weak grid conditions[J]. Proceedings of the CSEE, 2020, 40(7): 2062-2070, 2386.
- [9] 朱建红, 顾菊平, 孟棒棒, 等. 软硬锁相环在分布式风电并网控制中的联合应用[J]. 太阳能学报, 2022, 43(1): 36-43.
ZHU Jianhong, GU Juping, MENG Bangbang, et al. Integrated application of software and hardware phase-locked loop on grid connection control for distributed wind power[J]. Acta Energetica Sinica, 2022, 43(1): 36-43.
- [10] 张振波, 王海云, 王维庆, 等. 基于改进型环路滤波器的单相锁相环[J]. 电力系统保护与控制, 2021, 49(13): 135-141.
ZHANG Zhenbo, WANG Haiyun, WANG Weiqing, et al. Single phase locked loop based on improved loop filter[J]. Power System Protection and Control, 2021, 49(13): 135-141.
- [11] SALEEM K, ALI Z, MEHRAN K. A single-phase synchronization technique for grid-connected energy storage system under faulty grid conditions[J]. IEEE Transactions on Power Electronics, 2021, 36(10): 12019-12032.
- [12] 陈四雄, 易龙强, 黄文俊, 等. 基于构造非正交向量的单相锁相技术研究[J]. 电工技术学报, 2019, 34(2): 398-408.
CHEN Sixiong, YI Longqiang, HUANG Wenjun, et al. Single-phase phase-locked technique based on constructing non-orthogonal vector[J]. Transactions of China Electrotechnical Society, 2019, 34(2): 398-408.
- [13] GOLESTAN S, GUERRER J M, VASQUEZ J C. A nonadaptive window-based PLL for single-phase applications[J]. IEEE Transactions on Power Electronics, 2018, 33(1): 24-31.
- [14] SALEEM K, MEHRAN K, ALI Z. An improved pre-filtering moving average filter based synchronization algorithm for single-phase V2G application[C]// 2020 IEEE Energy Conversion Congress and Exposition

- (ECCE), October 11-15, 2020, Detroit, MI, USA: 4088-4093.
- [15] HAN Y, LUO M, ZHAO X, et al. Comparative performance evaluation of orthogonal-signal-generators-based single-phase PLL algorithms—a survey[J]. IEEE Transactions on Power Electronics, 2016, 31(5): 3932-3944.
- [16] 卢勇, 肖国春, 臧龙飞. 一种基于通用信号延迟叠加算子的单相电网基波及谐波同步算法[J]. 中国电机工程学报, 2017, 37(7): 1974-1982.
LU Yong, XIAO Guochun, ZANG Longfei. Single-phase grid fundamental and harmonic component detection method based on generalized delayed signal superposition[J]. Proceedings of the CSEE, 2017, 37(7): 1974-1982.
- [17] LU Y, XIAO G, WANG X, et al. Grid synchronization with selective harmonic detection based on generalized delayed signal superposition[J]. IEEE Transactions on Power Electronics, 2018, 33(5): 3938-3949.
- [18] KANJIYA P, KHADKIKAR V, ELMOURSI M S. Adaptive low-pass filter based DC offset removal technique for three-phase PLLs[J]. IEEE Transactions on Industrial Electronics, 2018, 65(11): 9025-9029.
- [19] 李欣悦, 李凤婷, 尹纯亚, 等. 直流双极闭锁故障下送端系统暂态过电压计算方法[J]. 电力系统保护与控制, 2021, 49(1): 1-8.
LI Xinyue, LI Fengting, YIN Chunya, et al. Transient overvoltage calculation method of HVDC sending-end system under DC bipolar blocking[J]. Power System Protection and Control, 2021, 49(1): 1-8.
- [20] MOHAMADIAN S, PAIRO H, GHASEMIAN A. A straightforward quadrature signal generator for single-phase SOGI-PLL with low susceptibility to grid harmonics[J]. IEEE Transactions on Industrial Electronics, 2022, 69(7): 6997-7007.
- [21] LUO S, WU F. Improved two-phase stationary frame EPLL to eliminate the effect of input harmonics, unbalance, and DC offsets[J]. IEEE Transactions on Industrial Informatics, 2017, 13(6): 2855-2863.
- [22] 张建武, 陈权, 李国丽, 等. 非理想电网下改进二阶广义积分器锁相环研究[J]. 电力电子技术, 2021, 55(7): 7-11.
ZHANG Jianwu, CHEN Quan, LI Guoli, et al. Research on improved second order generalized integrator phase-locked loop in non-ideal power grid[J]. Power Electronic, 2021, 55(7): 7-11.
- [23] GOLESTAN S, GUERRERO J M, VASQUEZ J C. DC-offset rejection in phase-locked loops: a novel approach[J]. IEEE Transactions on Industrial Electronics, 2016, 63(8): 4942-4946.
- [24] 回楠木, 王大志, 李云路. 改进型 DSC 的并网锁相环直流偏移消除方法[J]. 东北大学学报(自然科学版), 2018, 39(11): 1526-1531.
HUI Nanmu, WANG Dazhi, LI Yunlu. DC-offset elimination method for grid-connected phase-locked loop by modified DSC[J]. Journal of Northeastern University (Natural Science Edition), 2018, 39(11): 1526-1531.
- [25] 曾君, 岑德海, 陈润, 等. 针对直流偏移和谐波干扰的单相锁相环[J]. 电工技术学报, 2021, 36(16): 3504-3515.
ZENG Jun, CEN Dehai, CHEN Run, et al. Single-phase phase-locked loop for DC offset and harmonic interference[J]. Power System Protection and Control, 2021, 36(16): 3504-3515.
- [26] GRADSHTEYN I S, RYZHIK I M. Table of integrals, series, and products[M]. San Diego: Academy Press, 2007, 36.
- [27] 杨旭红, 吴斌, 孙克帅, 等. 一种频率自适应延迟周期法的锁相环研究[J]. 电机与控制学报, 2020, 24(2): 96-101.
YANG Xuhong, WU Bin, SUN Keshuai, et al. Frequency adaptive phase-locked loop based on delayed signal cancellation[J]. Electric Machines and Control, 2020, 24(2): 96-101.
- [28] SUMATHI P, JANAKIRAMAN P A. Integrated phase-locking scheme for SDFT-based harmonic analysis of periodic signals[J]. IEEE Transactions on Circuits Systems II: Express Briefs, 2008, 55(1): 51-55.
- [29] WANG Y F, LI Y W. Three-phase cascaded delayed signal cancellation PLL for fast selective harmonic detection[J]. IEEE Transactions on Industrial Electronics, 2013, 60(4): 1452-1463.

收稿日期: 2021-08-27; 修回日期: 2021-12-28

作者简介:

刘勇(1976—), 男, 硕士, 副教授, 研究方向为微网稳定性和新能源微网逆变器; E-mail: xtdx_ly@163.com

杨涛(1995—), 男, 通信作者, 硕士研究生, 研究方向为新能源并网锁相环技术; E-mail: 2945185118@qq.com

盘宏斌(1972—), 男, 博士, 教授, 研究方向为可再生能源发电与并网技术。E-mail: pan_hongbin@xtu.edu.cn

(编辑 许威)