

DOI: 10.19783/j.cnki.pspc.210802

新一代自主可控保护装置软硬件平台技术

仲伟, 王仲, 陶保震, 严洪峰, 王宏宇

(江苏金智科技股份有限公司, 江苏 南京 211100)

摘要: 为满足智能变电站不断提升的海量高速数据处理要求, 采用多核 SoC+FPGA 硬件方案, 基于 SylixOS 嵌入式实时操作系统, 研究分布式、多板卡结构的保护装置平台技术。提出 FPGA 高速前置数据处理设计, 讨论多板卡互联的 LVDS 高速总线和 CAN 实时通信技术, 并给出多板卡精确时钟同步和采样同步方案。基于异构多处理软件模型, 研究了多核多任务并行处理架构, 提出利用多板卡数据相互校核进一步提高装置可靠性的技术方案。最后基于软硬件平台技术, 采用国产化器件, 完成了一系列继电保护装置的研制和测试。通过现场试运行检验, 验证了该自主可控技术方案的可靠性和先进性。

关键词: 自主可控; 继电保护; 实时操作系统; 多核 SoC; FPGA; 背板总线

Software and hardware platform technology of an independent controllable relay protection device

ZHONG Wei, WANG Zhong, TAO Baozhen, YAN Hongfeng, WANG Hongyu
(Wiscom System Co., Ltd., Nanjing 211100, China)

Abstract: There is an increasingly high level of requirement for high-speed smart substation data processing. Based on multi-core SoC and FPGA hardware and SylixOS embedded real-time operating system software scheme, this paper studies distributed, multi board relay protection device platform technologies. High-speed front-end data processing design of an FPGA is proposed and the LVDS high-speed bus and real-time CAN bus communication technology for multi board interconnection are discussed. A scheme of accurate clock synchronization of multi boards and sampling synchronization is proposed. Based on an asynchronous multi processing (AMP) software model, the architecture of multi-core and multi task parallel processing is studied and a technical scheme to improve reliability of the device is proposed. This employs data mutual checking between multi boards. Finally, based on the software and hardware technologies proposed, a series of relay protection devices that apply fully domestic components are developed and tested. The reliability and advantages of our independent and controllable technical solution are verified by field trial operations.

This work is supported by the National Key Research and Development Program of China (No. 2018YFB2100100).

Key words: independent and controllable; relay protection; RTOS; multi-core SoC; FPGA; backplane bus

0 引言

近年来, 为了妥善应对复杂多变的国际形势对国家用电安全的冲击, 积极响应国家电网及南方电网公司关于大力推进二次设备国产化应用的号召, 急需开发出一套适用于智能和常规变电站二次设备的统一的软硬件平台。该平台应满足新一代控制保护装置平台化、模块化、网络化、智能化方向发展的需要, 采用国产化的芯片方案, 使用国产嵌入

式实时操作系统, 适用于国网、南网的智能及常规变电站二次设备产品应用。

1 硬件平台设计

微机保护经过二三十年的发展, 其硬件架构不断进步, 目前中高压保护装置在硬件设计上大多采用多板卡多 CPU 核的分布式设计方式, 充分利用多核 CPU 的处理能力, 将功能按照需求合理分布在多 CPU 或多个 CPU 核心上执行, 提高了平台的整体性能以及可靠性^[1-3]。同时由于当前智能变电站大容量高速数据处理的要求, 特别是在三网(SV、GOOSE、

基金项目: 国家重点研发计划项目资助(2018YFB2100100)

MMS)合一情况下,如果仅仅使用 CPU 对这些数据进行处理,在极端环境下(如网络风暴)可能会影响高实时性的计算,例如 SV 插值、保护计算等。因此需要利用现场可编程门阵列 FPGA (Field-programmable Gate Array)的高集成度、高性能、并行处理的特点,对这些数据进行预处理,过滤筛选后,才将有效数据交给 CPU 进一步处理,有效降低了 CPU 的处理工作量,提高了系统实时性。

参照当前相对成熟的基于进口芯片的保护装置平台方案^[4-11]以及行业相关技术规范的要求,平台总体硬件架构设计如图 1 所示。

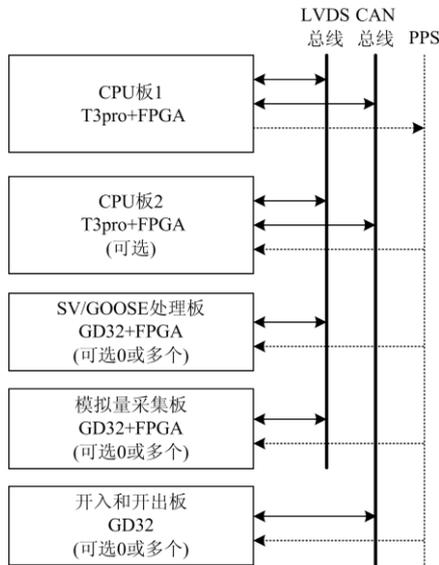


图 1 平台硬件架构

Fig. 1 Diagram of the hardware architecture

根据平台化、模块化的原则,将主要硬件按照功能划分为 CPU 板、SV/GOOSE 处理板、模拟量采集板和开入开出板四大模块,各模块均采用智能板卡设计,板卡之间采用背板总线进行通信。除 CPU 板卡模块必选一块外,其他板卡均根据产品需求可选配,例如低压保护和测控装置可只选择一块 CPU 板模块,而高压保护可选多块 CPU 板模块,以实现多个 CPU 数据的相互校核,提高保护的可靠性^[12-14];对于智能装置,则输入输出模块选择一块或多块 SV/GOOSE 处理板模块,而常规装置则选择模一块或多块模拟量采集板和开入开出板模块。

1.1 主 CPU 模块硬件设计

平台的 CPU 板模块均采用全志 T3pro 和紫光同创 FPGA 来实现,全志 T3pro 是一颗包含 4 核 ARM Cortex-A7 架构处理器的芯片,主频 1.2 GHz,功耗低、性能强、接口丰富、性价比高,其四个核心可以 AMP (Asymmetric Multi-Processing)模式分别运

行不同的软件系统。

T3pro 与 FPGA 之间采用千兆 GMAC 通信,具有传输速度快,通道带宽大的特点,有效保证了 T3pro 与 FPGA 之间数据交互的实时性。主 CPU 板硬件总体架构如图 2 所示。

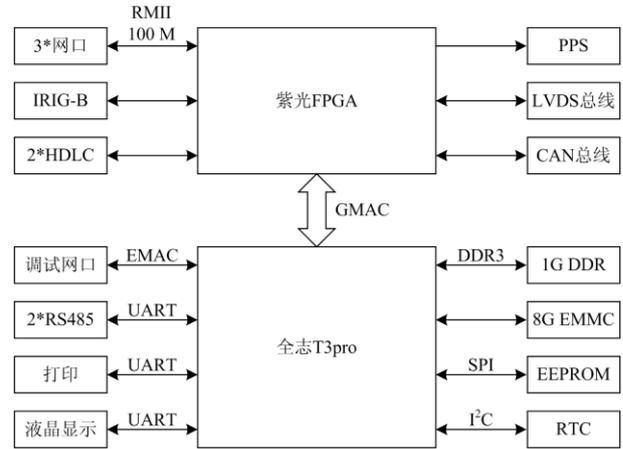


图 2 CPU 板硬件架构

Fig. 2 Hardware architecture of CPU board

全志 T3pro 自带的 EMAC 接口,用于实现调试网口;自带的多个 UART 接口实现 2 路 RS485、232 打印和串口液晶功能;通过内置 DDR3 控制器提供 1G 的片外 DDR RAM 空间;8G EMMC 用于实现操作系统的文件系统,主要用于存储引导代码、固件、设定值文件、报告、录波等数据;T3pro 的 SPI 连接 EEPROM 芯片,用于存储掉电保存设定值;外部 RTC 芯片经 I²C 接入 T3pro,为整装置提供实时时间。

FPGA 实现 3 组站控层网口,并通过 FPGA 逻辑给这三个站控层网口提供报文过滤、风暴抑制等功能,提高站控层网络的稳定性^[15];外部对时信号 IRIG-B 也接入 FPGA,由 FPGA 负责对 IRIG-B 信号进行时间解码;此外,FPGA 还提供 2 路 HDLC 接口,用以实现纵联差动与对侧装置的通信功能需求;主 CPU 板 FPGA 输出 2 路 PPS 差分信号,用于多板卡之间的采样同步和精确时钟同步;LVDS 总线实现板间全双工的数据通信,主要用于 CPU 板与 CPU 板之间、CPU 板与 SV/GOOSE 处理板之间以及 CPU 板与模拟量采集板之间高速数据交互,传输波特率 160 Mbps^[16-17];CAN 总线主要用于 CPU 板与开入开出板模块之间的高实时数据传输,传输波特率 1 Mbps。

相比目前行业内已广泛使用的 Xilinx Zynq-7015(双核 Cortex-A9,主频 800 MHz)进口 SoC 芯片方案,T3pro 的 CPU 核心数更多、主频也更高,相应的计算速度也更快,结合 AMP 模式的应用并合

理分配 CPU 各核的处理任务,使用更少的 CPU 芯片即可实现同样的功能;T3pro 的外设资源同样不弱于 Zynq-7015,只是 Zynq-7015 作为 SoC 芯片,片内还集成了 47K 的 FPGA 逻辑资源,这是目前国产同类芯片所不具备的。

1.2 SV/GOOSE 采集板

SV/GOOSE 采集板模块主要应用于智能装置,用以获取过程层 SV 数据和收发过程层 GOOSE 数据,采用兆易创新的 GD32+紫光 FPGA 的硬件架构。GD32 是一颗 Cortex-M4 架构的 MCU 处理器,集成了 128K 片上 RAM,以及 3072K 的片上 FLASH,通过芯片内置的 SPI 总线挂载 FPGA,用以实现 FPGA 程序的引导加载和调试功能。SV/GOOSE 采集板的绝大部分功能均由 FPGA 实现,包括:提供 8 路光纤以太网口,每个光口均可实现 SV 数据采集以及 GOOSE 收发功能;输入的差分 PPS 信号,用以同步主 CPU 的精确时钟,并且实现多 SV/GOOSE 板卡间的采样插值同步;LVDS 总线用于 SV/GOOSE 采集板与 CPU 板间的数据交互,SV 经过二次同步插值后的采样数据以及 GOOSE 滤包后的数据均通过 LVDS 总线发送给 CPU 板进一步处理。

1.3 模拟量采集板

模拟量采集板模块主要用以实现常规装置的模拟量采集功能,同样采用 GD32+紫光 FPGA 的硬件架构。MCU 处理器 GD32 在这块板卡上只是起到 FPGA 程序的引导加载和调试作用,模拟量采集的功能均由 FPGA 实现。每块板卡提供最多 4 片 AD 芯片,每片 AD 提供 8 个模拟量通道,通过 SPI 总线分别接入 FPGA,由 FPGA 负责定时触发 AD 采样转换以及读取 AD 采样转换后的模拟量数值,FPGA 将所有模拟量通道的采样值组织打包成一帧报文后通过背板 LVDS 总线发送到 CPU 板以进行下一步计算处理。板卡输入的 PPS 差分信号主要用于多块模拟量采集板之间的采样同步,以保证同一台装置所有模拟量通道都在同一时间进行采样转换。

1.4 开入和开出板

开入板和开出板主要实现常规装置的开关量输入和输出功能,采用 GD32 作为主处理器,开入和开出功能均直接使用 GD32 芯片的 GPIO 实现。开入和开出板与主 CPU 板之间采用 GD32 内置支持的 CAN 总线进行通信,CAN 总线没有主从之分,采用多主竞争式总线结构,任意一个节点可以向任何其他(一个或多个)节点发起数据通信,靠各个节点信息优先级先后顺序来决定通信次序,特别适用于传输开关量信息这样的小数据量,高实时性要求的场合。板卡输入的 PPS 差分信号,用于同步主 CPU

板的时间信息,以获取精确的开入变位时间。

2 软件平台设计

为适应现代电力系统的智能化、自动化发展趋势以及智慧能源的发展需求,对于继电保护等二次设备处理复杂问题能力的要求不断提升,使得装置软件趋于复杂^[18],相应地,对于实时性、可靠性及稳定性要求更加严苛。为此,如何合理地布局 and 分配 CPU 资源,充分利用多 CPU 及多核架构优势是十分必要的。

2.1 CPU 板软件架构设计

软件平台的设计以前文的硬件平台为基础,采用多 CPU 多核的分布式设计原则,T3pro 拥有 4 个 ARM Cortex-A7 核心,分别标记为 CORE0-CORE3,CPU 以 AMP 模式运行,其主 CPU 的总体软件架构如图 3 所示。

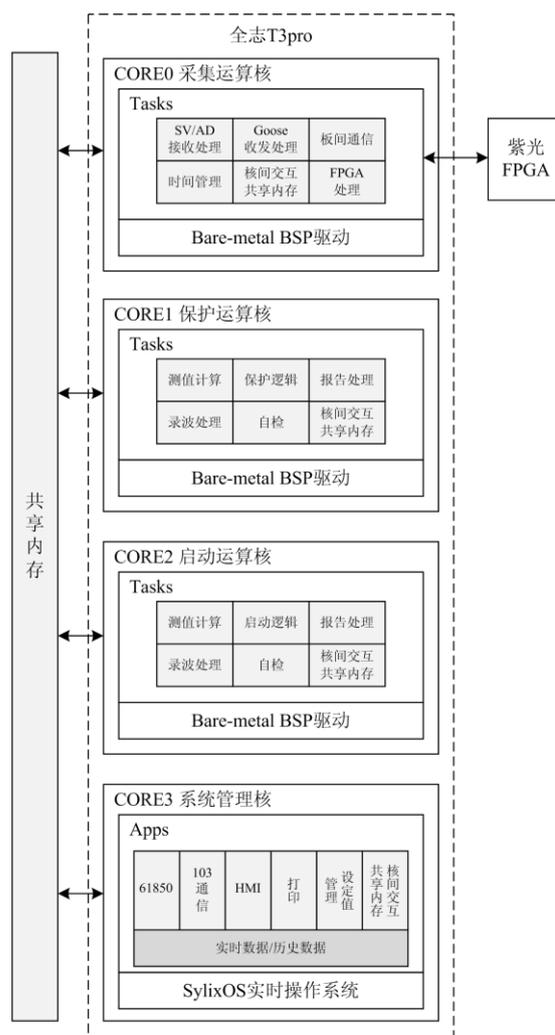


图 3 CPU 板软件架构

Fig. 3 Software architecture of CPU board

1) CORE0 是采集运算核,以 Bare-metal 裸跑模式运行, 主要实现 FPGA 交互处理及其他外设的接口, 以及输入数据的预处理、输出数据的执行; 实现 SV 和 AD 数据的接收预处理、GOOSE 收发处理、统一时间管理、板间背板总线通信(CAN 和 LVDS 总线)、开入开出处理等任务。上电时 CORE1-CORE3 也是由 CORE0 负责引导加载, 并且正常运行时 CORE0 也会定期监视 CPU 其他核是否运行正常, 如果发现有异常则会触发看门狗复位整个 CPU。

2) CORE1 是保护运算核,以 Bare-metal 裸跑模式运行, 实现保护逻辑计算功能, 完成测量计算、保护逻辑计算、报告处理、录波处理、自检等任务。

3) CORE2 是启动运算核,以 Bare-metal 裸跑模式运行, 实现保护逻辑计算功能, 完成测量计算、启动逻辑计算、报告处理、录波处理、自检等任务, 与 CORE1 保护运算核配合, 实现完整的保护功能。

4) CORE3 是系统管理核,运行 SylixOS 操作系统, SylixOS 是一款完全开源的国产自主硬实时嵌入式操作系统, 采用多任务抢占式内核, 具有优秀的实时性能, 兼容 POSIX 编程标准。CORE3 的具体功能以 APP 应用软件的形式运行在操作系统之上, 主要包括: IEC61850 通信(MMS 和 CMS)、HMI 液晶显示、103 通信、打印等功能软件。

以上 T3pro 4 个核的软件运行相互独立, 核间采用 IPC(Inter-Processor Communication)与共享内存配合进行数据通信^[19], 同时利用 T3pro 的 MMU(Memory Management Unit)对各核使用的内存进行划分, 这样各核的私有内存空间将对其他核不可访问, 保证了内存数据的相对独立性, 提高了软件系统的稳定性。

2.2 板间通信设计

在本平台中, 板间通信主要是 LVDS 总线和 CAN 总线通信两种方式。

LVDS 总线适用于大数据量高实时要求的通信方式^[20-22], 主要实现多 CPU 板之间的数据交互、CPU 板与 SV/GOOSE 板之间 SV 数据和 GOOSE 数据的传输以及 CPU 板与模拟量采样板之间 AD 采样数据的传输。各板卡上的 LVDS 总线通信逻辑均由 FPGA 实现, 最多支持 16 个节点, 节点地址为 0 到 15。通信采用总线竞争机制, FPGA 会实时判别总线是否空闲。如果总线空闲, 则占用 LVDS 总线并发送数据; 如果总线已被占用, 则等待总线空闲后再占用并发送数据; 如果同时多个节点请求总线, 则节点地址低的优先占用。

CAN 总线适用于小数据量高实时要求的通信传输方式, 主要实现 CPU 板与开入、开出板之间开

关量状态的传送。开关量信息在状态发生变化后立刻通过 CAN 发送, 后续参考 GOOSE 发送机制按照 2 ms-2 ms-4 ms-8 ms-5 s 间隔重复发送, 保证了 CAN 总线信息传输实时性和可靠性, 同时减轻了通信负担。

2.3 板间同步设计

板间同步主要利用 PPS 信号实现, 分为采样同步 PPS 和时间同步 PPS, 这两种 PPS 信号均由主 CPU 板上 FPGA 产生, 其他板卡均为被同步端。采样同步 PPS 用于同步多块 SV/GOOSE 板卡和模拟量采样板的采样时刻, 时间同步 PPS 用于精确同步板卡的时钟信息。

当前 SV 网络的组网方式分为星形组网和点对点^[23], 星形组网方式利用全站同步时钟源进行同步采样, 采样值缓冲区报文中的采样计数 SmpCnt 相同的即为同一时刻的数据。但是由于一般装置计算所需要的采样频率与合并单元的采样频率(一般为 4 kHz)并不一致, 因此都需要进行二次采样插值, 以获取装置所需采样频率的数据; 而点对点方式下, 装置与一个或多个合并单元点对点连接, 各合并单元之间并未进行采样同步, 需要根据 SV 报文的接收时刻和额定延时进行二次同步采样。为了保证模拟量数据处理的一致性, 模拟量采样板也是采用合并单元的采样频率, 即 4 kHz 进行采样, 然后经过二次同步采样插值后再将最终的采样数据提供给 CPU 板^[24]。二次采样均在各自板卡的 FPGA 中, 根据采样同步 PPS 信号进行精确同步插值。

为了保证装置多板卡绝对时钟的一致性, 平台设计了时钟同步 PPS 信号, 该信号在绝对时钟 0 ms 时刻产生上升沿脉冲, 结合 LVDS 和 CAN 总线的时间同步报文, 可以实现多板卡之间的时钟完全同步。

3 平台的应用

基于本文的软硬件平台开发了应用于智能和常规变电站的线路、变压器、母差保护装置, 及测控、合并单元、智能终端等二次设备。以 110 kV 变压器智能保护装置为例具体说明本平台的应用。

根据元件保护相关技术规范的要求, 设计 110 kV 变压器智能保护装置硬件方案: 除电源板、液晶板和总线板之外, 选择使用 2 块 CPU 板和 2 块 SV/GOOSE 处理板, 这样就按需组成了一台完整的变压器保护装置, 对外提供 16 路过程层光口用于收发 SV 和 GOOSE 报文、3 个站控层网口提供 MMS 服务、1 个调试网口、1 个时间同步信号输入(PPS 或 IRIG-B), 以及 1 个 RS232 打印口。CPU 板和 SV/GOOSE 采集板如图 4 所示。



图4 CPU板和SV/GOOSE采集板

Fig. 4 CPU board and SV/GOOSE processing board

110 kV 变压器智能保护装置软件方案: 采用双 CPU 板方案。一块为主 CPU 板, 除实现保护功能外, 还对外提供 MMS 通信服务, 以及实现人机交互、打印、时间同步等功能; 另一块为辅 CPU 板, 只实现保护功能, 并不对外提供其他服务。得益于 T3pro 的 4 核 AMP 方案, 软件采用双 CPU “保护+保护” 架构, 每块 CPU 板均实现完整的 “保护+启动” 逻辑功能。两个 CPU 板之间采用 LVDS 总线互联并交互数据, 同时各 CPU 板卡上的 T3pro 也会对另一 CPU 板 T3pro 的重要数据进行实时校核, 只有两块 CPU 数据及保护动作行为一致时, 才表示保护装置工作正常。

包括 110 kV 变压器智能保护装置在内的基于本软硬件平台开发的二次设备均一次性通过了第三方检测, 主要测试内容包括: 保护功能和性能、动模、电磁兼容、网络压力、通信规约、网络安全等, 各项检测均合格。其关键指标如下: 保护动作电流精度和动作时间均满足或超过检测标准要求; 在多主站通信中支持 ≥ 16 个 MMS 客户端访问链接和 ≥ 12 个报告实例; 在网络压力和网络安全测试中装置无死机、重启、面板死机现象, 无异常报文。测试结果表明其各项性能及关键指标均不输于基于进口芯片的同类装置。并且双 CPU “保护+保护” 架构相比当前多采用的 “保护+启动” 架构要更可靠、更稳定, 可以极大地降低由于单 CPU 软件异常、单芯片故障、单粒子翻转错误等情况造成保护误动、拒动等装置异常的可能性。

4 结语

新一代自主可控保护装置软硬件平台很好地满足了当前智能变电站和常规变电站对二次设备的应用要求, 在该平台的基础上实现了线路、变压器、母线保护以及测控、智能终端等一系列装置, 且已

通过了第三方检测, 具备了入网资格, 并且部分设备已参加试点站投运以及挂网试运行近一年。测试及实际运行情况均表明该自主可控平台稳定可靠, 性能优异, 随着自主可控国产化软硬件的逐步应用将极大增强变电站抵御外部风险的能力, 为国家信息安全和产业经济安全提供可靠保障。

参考文献

- [1] 汪冬辉, 王志华, 陈明, 等. 多核 DSP 在就地化保护测试中的关键技术研究[J]. 电力系统保护与控制, 2020, 48(18): 138-145.
WANG Donghui, WANG Zhihua, CHEN Ming, et al. Research on key technologies of multi-core DSP in outdoor installation protection testing[J]. Power System Protection and Control, 2020, 48(18): 138-145.
- [2] 陈彬. 通用非对称多核方案设计[J]. 计算机系统应用, 2021, 30(7): 277-282.
CHEN Bin. Design of general asymmetric multiprocessing program[J]. Computer Systems & Applications, 2021, 30(7): 277-282.
- [3] 黄国睿, 张平, 魏广博. 多核处理器的关键技术及其发展趋势[J]. 计算机工程与设计, 2009, 30(10): 2414-2418.
HUANG Guorui, ZHANG Ping, WEI Guangbo. Key techniques of multi-core processor and its development trends[J]. Computer Engineering and Design, 2009, 30(10): 2414-2418.
- [4] 李响, 刘国伟, 冯亚东, 等. 新一代控制保护系统通用硬件平台设计与应用[J]. 电力系统自动化, 2012, 36(14): 52-55.
LI Xiang, LIU Guowei, FENG Yadong, et al. Design and application of general hardware platform for new generation control and protection system[J]. Automation of Electric Power Systems, 2012, 36(14): 52-55.
- [5] 黄雄, 刘晓铭, 郝永奇, 等. 智能变电站新型通用保护测控平台研制[J]. 电力系统自动化, 2014, 38(7): 66-69, 94.
HUANG Xiong, LIU Xiaoming, HAO Yongqi, et al. Development of a new and universal protection and measurement-control platform for smart substation[J]. Automation of Electric Power Systems, 2014, 38(7): 66-69, 94.
- [6] 仲伟, 李亚锋. 面向中低压系统保护的嵌入式软硬件平台设计[J]. 江苏电机工程, 2010, 29(4): 4-7, 11.
ZHONG Wei, LI Yafeng. The design of the software and hardware platform for medium-low voltage relay protection[J]. Jiangsu Electrical Engineering, 2010, 29(4): 4-7, 11.
- [7] 习伟, 姚浩, 蔡田田. 芯片化保护测控装置方案研究[J]. 电网与清洁能源, 2016, 32(11): 91-97.
XI Wei, YAO Hao, CAI Tiantian. Research on chip-based protection and measuring and control devices[J]. Power System and Clean Energy, 2016, 32(11): 91-97.
- [8] 丁毅, 陈新之, 潘可, 等. 基于电力专用多核异构芯片架构的低压保护测控装置设计[J]. 南方电网技术, 2020, 14(1): 58-64.

DING Yi, CHEN Xinzhi, PAN Ke, et al. Design of low voltage protection device integrated with measurement and control function based on power dedicated multi-core heterogeneous chip architecture[J]. Southern Power System Technology, 2020, 14(1): 58-64.

[9] 阮青亮. 一种就地化保护装置硬件架构设计[J]. 电工技术, 2021(11): 116-117, 120.
RUAN Qingliang. Hardware architecture design of a local protection device[J]. Electric Engineering, 2021(11): 116-117, 120.

[10] CHAO Wujie, TANG Zhijun, LIN Guodong, et al. Construction of plug-and-play local protection system for smart substation[J]. Journal of Physics: Conference Series, 2021, 1754(1).

[11] BO Z Q, LIN X N, WANG Q P, et al. Developments of power system protection and control[J]. Protection and Control of Modern Power Systems, 2016, 1(1): 1-8.

[12] 周浩, 石磊, 彭涛, 等. 一起继电保护装置单粒子翻转软错误分析及应对措施[J]. 电力系统保护与控制, 2021, 49(7): 144-149.
ZHOU Hao, SHI Lei, PENG Tao, et al. Analysis and countermeasures of single event upset soft errors in a relay protection device[J]. Power System Protection and Control, 2021, 49(7): 144-149.

[13] ZHOU Hualiang, ZOU Zhiyang, XIA Yu, et al. Functional safety analysis and promotion for relay protection device platform[C] // 2019 8th International Conference on Informatics Environment Energy and Applications (IEEA 2019), March 16-17, 2019, Osaka, Japan: 186-192.

[14] 曾东华. 一种嵌入式系统软错误率评估方法[J]. 信息技术与信息化, 2020, 38(2): 118-120.
ZENG Donghua. An evaluation method of soft error rate in embedded system[J]. Information Technology & Informatization, 2020, 38(2): 118-120.

[15] 谢黎, 周华良, 于同伟, 等. 一种智能变电站新型双网冗余设备及实现[J]. 电力系统保护与控制, 2019, 47(11): 151-156.
XIE Li, ZHOU Hualiang, YU Tongwei, et al. A new network redundancy device for smart substation and its implementation[J]. Power System Protection and Control, 2019, 47(11): 151-156.

[16] 于同伟, 丁岳, 李良, 等. 用于就地化保护关键技术的 SoC 设计[J]. 电力系统保护与控制, 2019, 47(21): 150-155.
YU Tongwei, DING Yue, LI Liang, et al. SoC design for key technologies of outdoor installation protection[J]. Power System Protection and Control, 2019, 47(21): 150-155.

[17] 丁毅, 陈福锋, 张云, 等. 基于背板总线的站域保护控制装置设计[J]. 电力系统自动化, 2014, 38(24): 102-107.
DING Yi, CHEN Fufeng, ZHANG Yun, et al. Design of substation-area protection and control equipment based on backboard bus[J]. Automation of Electric Power Systems, 2014, 38(24): 102-107.

[18] 陈波, 陈浩敏, 郭晓斌, 等. 一种通用继电保护软件平台的设计[J]. 自动化技术与应用, 2018, 37(5): 77-80, 97.
CHEN Bo, CHEN Haomin, GUO Xiaobin, et al. Design of a general software platform for relay protection[J]. Techniques of Automation and Applications, 2018, 37(5): 77-80, 97.

[19] 潘可. 多核异构模式下有管理的共享内存设计方法[J]. 单片机与嵌入式系统应用, 2021, 21(1): 27-33.
PAN Ke. Managed shared memory design on multi-core heterogeneous system[J]. Microcontrollers & Embedded Systems, 2021, 21(1): 27-33.

[20] 徐方明, 彭文才, 骆健, 等. 多点互联的高速通信背板总线研究[J]. 自动化仪表, 2020, 41(5): 54-57.
XU Fangming, PENG Wencai, LUO Jian, et al. Research on multi-point interconnection high speed communication backplane bus[J]. Process Automation Instrumentation, 2020, 41(5): 54-57.

[21] 张波, 李杰, 张海鹏, 等. 基于 FPGA 的 LVDS 传输链路的可靠性设计[J]. 电子器件, 2018, 41(5): 1237-1241.
ZHANG Bo, LI Jie, ZHANG Haipeng, et al. An LVDS transmission link reliability design based on the FPGA[J]. Chinese Journal of Electron Devices, 2018, 41(5): 1237-1241.

[22] 王政, 张宾. 一种基于 FPGA 的 LVDS 数据接收方法[J]. 数字技术与应用, 2019, 37(7): 115-116.
WANG Zheng, ZHANG Bin. LVDS data receiving method based on FPGA[J]. Digital Technology & Application, 2019, 37(7): 115-116.

[23] 电力自动化通信网络和系统 第 9-2 部分: 特定通信服务映射(SCSM)-基于 ISO/IEC 8802-3 的采样值 DL/T 860.92—2016[S]. 北京: 国家能源局, 2016.
Communication networks and systems for power utility automation part9-2: specific communication service mapping (SCSM)-sampled values over ISO/IEC 8802-3 DL/T 860.92—2016[S]. Beijing: National Energy Administration, 2016.

[24] 王智勇, 裘愉涛, 董新涛, 等. 基于冗余通信的就地化分布式母线保护研究[J]. 电力系统保护与控制, 2020, 48(6): 158-164.
WANG Zhiyong, QIU Yutao, DONG Xintao, et al. Research on outdoor installation distributed busbar protection based on redundant communication[J]. Power System Protection and Control, 2020, 48(6): 158-164.

收稿日期: 2021-07-01; 修回日期: 2021-08-16

作者简介:

仲伟(1978—), 男, 通信作者, 硕士, 高级工程师, 研究方向为电力系统继电保护; E-mail: flyzhongwei@foxmail.com

王仲(1983—), 男, 本科, 工程师, 研究方向为电力系统自动化;

陶保震(1984—), 男, 硕士, 工程师, 研究方向为电力系统控制保护硬件平台。

(编辑 葛艳娜)