

DOI: 10.19783/j.cnki.pspc.210450

# 考虑寄生参数影响的芯片 RC-HBM 静电测试模型

熊素琴<sup>1</sup>, 李求洋<sup>1</sup>, 肖志强<sup>2</sup>

(1. 中国电力科学研究院有限公司, 北京 100192; 2. 湖南大学电气与信息工程学院, 湖南 长沙 410082)

**摘要:**采用常规的人体模型(Human Body Model, HBM)进行静电释放(Electro-Static Discharge, ESD)测试时往往容易受到寄生参数的影响,使得电源芯片抗静电能力测量值与实际抗静电能力存在偏差,导致劣质产品通过 HBM ESD 测试,影响电源芯片产品良品率的提升。为此,提出了一种 RC-HBM 模型,通过引入 RC 并联支路,校正因寄生参数引起的静电放电电流的偏差,满足电源芯片静电可靠性测试的要求。首先阐述了静电对电源芯片的损坏机理。其次,分析了寄生参数对 ESD 电流的影响,阐述了常规 HBM ESD 测试的局限性。并提出了一种新型的 RC-HBM 模型,给出了 RC 并联支路参数的设计依据。最后,通过批量实验验证了所提 RC-HBM 模型的准确性和合理性。  
**关键词:** 电源芯片; HBM 模型; ESD; 寄生参数; 静电放电电流

## RC-HBM electrostatic test model of chip considering the influence of parasitic parameters

XIONG Suqin<sup>1</sup>, LI Qiuyang<sup>1</sup>, XIAO Zhiqiang<sup>2</sup>

(1. China Electric Power Research Institute Co., Ltd., Beijing 100192, China; 2. School of Electrical and Information Engineering, Hunan University, Changsha 410082, China)

**Abstract:** When the conventional human body model (HBM) is used for electro-static discharge (ESD) testing, the measured value of the power chip's antistatic ability deviates from the actual antistatic ability because of a parasitic effect, resulting in inferior products passing the HBM ESD test. This affects the improvement of the yield rate of power chip products. To this end, an improved HBM model is proposed, one which corrects the deviation of the electrostatic discharge current caused by parasitic parameters by introducing an RC parallel branch to meet the requirements of the electrostatic reliability test of the power chip. First, the mechanism of how static electricity causes damage to the power chip is described. Secondly, the influence of parasitic parameters on the ESD current is analyzed, and the limitations of the conventional HBM ESD test are elaborated. Then a new RC-HBM model is proposed, and the design basis of the RC parallel branch parameters is presented. Finally, batch experiments verify the accuracy and rationality of the HBM model proposed.

This work is supported by the Science and Technology Project of State Grid Corporation of China (No. 5100-201946434A-0-0-00).

**Key words:** power chip; HBM model; ESD; parasitic parameters; electrostatic discharge current

## 0 引言

电源芯片是发电厂、变电站中众多电子设备中不可或缺的能量转换部分,尤其是控制、保护和自动化等装置,对电源芯片供电质量要求更高<sup>[1-5]</sup>。电源芯片的质量和可靠性在很大程度上影响着整个设备的可靠性、失效率及维修率<sup>[6-8]</sup>。电源芯片作为许多设备内部核心元器件,其失效常常导致控制、继电保护等装置失效,从而导致设备瘫痪,给电力

系统带来重大损失,威胁电网安全<sup>[9-12]</sup>。因而,可靠的电源芯片对电网来说至关重要。

然而,随着芯片制造工艺的不断提升,电源芯片的尺寸越来越小,栅氧化层也越来越薄<sup>[13]</sup>,使得电源芯片产品在生产、运输、使用等过程中越来越容易受到静电的损坏。据报道,全球芯片行业每年由于静电问题造成的损失高达 50 亿美元<sup>[14]</sup>。因而,电源芯片在设计时多采用 ESD 静电防护电路来保护芯片<sup>[15]</sup>。同时,芯片出厂时还需进行 ESD 可靠性测试,确保芯片抗静电能力达到指标要求<sup>[16]</sup>。

目前对于芯片 ESD 测试主要通过人体放电模型、机器放电模型、充电器件放电模型来模拟芯片

**基金项目:** 国网公司科技项目资助“继电保护装置成熟国产存储和隔离电源替代技术研究”(5100-201946434A-0-0-00)

受到不同类型的静电打击<sup>[17-19]</sup>。其中, 人体模型放电是引起电源芯片失效的重要原因, 为便于芯片静电可靠性测试, 国际电子工业以及国际电工委员会对人体模型制定了相关的工业标准(EIA/JEDEC STANDARD、IEC/TC 47)<sup>[20]</sup>。但实际上在进行人体模型静电测试时, 往往由于测试电路中的寄生参数造成测试设备放电波形偏离标准波形, 导致芯片抗静电能力实测值与实际值存在偏差, 造成部分芯片产品在未满足静电指标的情况下通过静电释放测试, 严重影响芯片产品良品率的提升<sup>[21]</sup>。

针对此问题, 文献[22]建立了含寄生参数的 HBM 等效电路模型, 给出了寄生参数的取值范围。文献[23]建立了含寄生参数的四阶 HBM 模型数学模型, 从时域的角度分析了寄生参数对 ESD 测试的影响。文献[24]建立了含寄生参数下的 HBM 模型的频率模型, 从频域的角度分析了寄生参数对 HBM 模型测试结果的影响。但上述研究仅分析了寄生参数对 ESD 测试结果的影响, 并未给出消除寄生参数影响的方法。此外, 电子工业联盟协会提出了改进的 HBM ESD 测试标准, 即 JEDEC JESD22-A114\_B<sup>[25]</sup>, 汽车电子协会也提出了 AEC-Q100-002 测试标准等<sup>[26]</sup>, 但实际的寄生参数与测量电路密切相关, 该类标准仍无法完全解决寄生效应带来的影响。

为此, 本文提出了一种 RC-HBM 模型, 通过引入 RC 并联支路, 消除 HBM 模型寄生参数带来的影响, 使得芯片静电测试结果更加精确。本文首先阐述了静电释放对电源芯片损伤的机理; 其次分析了常规 HBM 模型的局限性, 阐述了 RC-HBM 模型的基本原理, 并给出了 RC 的设计依据; 最后通过批量实验验证了本文所提 RC-HBM 模型的准确性和合理性。

## 1 电源芯片静电损伤的原理

静电对电源芯片的损坏主要可分为两种: 一种是强电场导致芯片栅氧击穿或 MOS 管电容击穿, 即电失效; 另一种是电流发热导致多晶电阻或 PN 结区硅烧毁、金属间电弧等, 即热致失效。电源芯片多为开关电源, 转化效率可达到 90% 以上, 但其多采用 MOS 器件进行电源变换, 容易受到静电损伤而失效。

静电放电可能出现在电源芯片的任意两只管脚之间, 当 ESD 发生在不相干的两支管脚之间时, 静电放电电流会先经芯片进入  $V_{DD}/V_{SS}$  电源管脚, 再由  $V_{DD}/V_{SS}$  电源管脚进入另一支管脚。如图 1 所示为在 ESD 保护电路作用下, 静电释放电流通过芯片 I/O 输入管脚进入, 从  $V_{DD}$  电源管脚流出的过程。

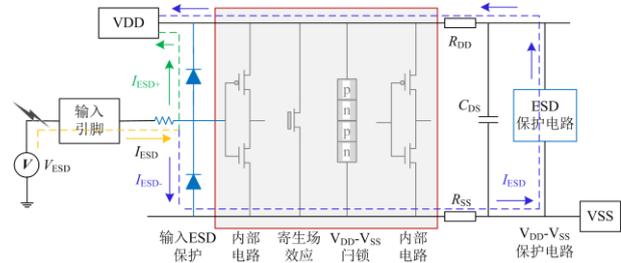


图 1 芯片输入管脚对  $V_{DD}$  静电放电电流通道

Fig. 1 Electrostatic discharge current channel from input pin to  $V_{DD}$

图 1 中电源芯片包括输入 ESD 保护电路、芯片内部电路、 $V_{DD}-V_{SS}$  ESD 保护电路等。当静电积累的电荷为负电荷时, 负电荷经输入管脚、输入 ESD 保护电路、 $V_{DD}-V_{SS}$  ESD 保护电路流入  $V_{DD}$  电源管脚, 形成 ESD 电流  $I_{ESD-N}$  (实际方向为  $V_{DD}$  流向输入管脚); 当所积累电荷为正电荷时, 形成的 ESD 电流  $I_{ESD-P}$  直接从输入 ESD 电路流向  $V_{DD}$  电源管脚。当静电释放通道按照上述两种方式流过芯片时, 在 ESD 保护电路中形成放电回路, 将不会造成芯片损坏。但实际上 ESD 保护电路存在损坏或未及时响应的情况, 此时 ESD 电流可能流入芯片内部, 引起芯片损伤, 如图 2 所示。

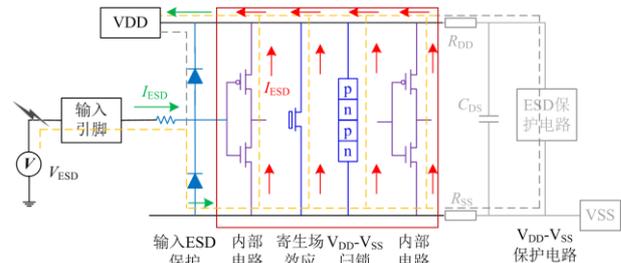


图 2 输入管脚对  $V_{DD}$  静电放电电流通道(经芯片内部)

Fig. 2 Electrostatic discharge current channel from input pin to  $V_{DD}$  (via the chip inner circuit)

图 2 中, 当 ESD 保护电路失效或未及时响应时, ESD 电流  $I_{ESD}$  将经芯片内部电路流入  $V_{DD}$  电源管脚, 从而造成芯片内部发热或电击穿, 引起芯片损伤。

因此, 当静电电流未及时通过 ESD 保护电路进行泄放而流入芯片内部时将造成芯片损伤, 导致芯片功能失效。

## 2 RC-HBM 模型 ESD 测试原理分析

本节建立了常规 HBM 模型测试电路的数学模型, 阐述了常规 HBM 模型测试的局限性, 并从时域角度分析了寄生参数对 HBM ESD 测试结果的影响。

### 2.1 基于 HBM 模型的 ESD 测试局限性

图 3 为常规 HBM 模型等效电路, 用于模拟人体积累电荷后, 通过直接接触的方式将电荷传递至芯片管脚的过程。其中,  $V$  为高压脉冲发生器,  $R_{\text{charge}}$  为充电电阻,  $C_{\text{H}}$  为人体等效电容, 约 100 pF,  $R_{\text{H}}$  为人体等效放电电阻, 约为 1.5 k $\Omega$ ,  $C_{\text{L}}$  为测试板和测试器件的寄生电容,  $R_{\text{L}}$  为被测器件等效电阻,  $R_{\text{H}}$  为人体等效放电电阻。当开关处于 1 时, 高压脉冲发生器通过  $R_{\text{charge}}$  给人体等效电容  $C_{\text{H}}$  充电; 当开关处于 2 时, 人体积累的静电电荷通过  $R_{\text{H}}$  向测试器件放电。

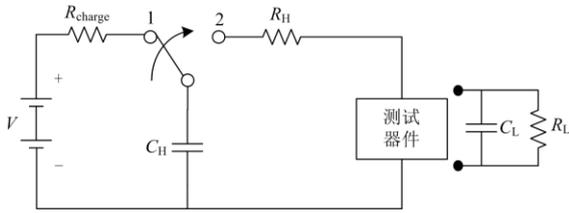


图 3 HBM 模型等效电路

Fig. 3 Equivalent circuit of HBM model

由于寄生参数的影响, 采用常规 HBM 模型进行测试往往与实际测试标准存在偏差。图 4 为考虑寄生参数的 HBM 仿真对比图, 图中红色曲线为标准的 HBM ESD 放电曲线(无寄生参数影响), 静电放电电流的峰值达 1.33 A, 蓝色曲线为实际 ESD 测试电路中(有寄生参数)ESD 放电曲线, 静电释放放电峰值出现明显下降, 放电波形偏离标准波形。

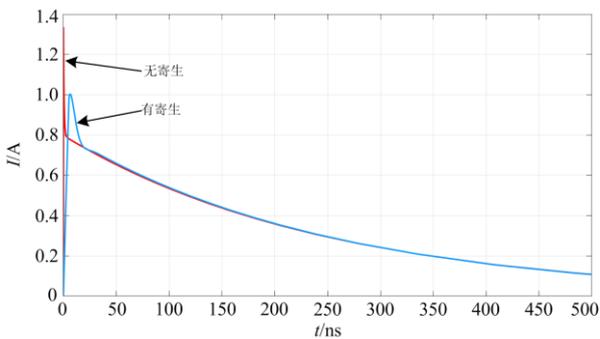


图 4 有无寄生参数对放电电流的影响

Fig. 4 Influence of parasitic parameters on the discharge current

根据上述分析可知, 由于实际电路中寄生参数的影响, 测试的静电释放放电波形偏离标准的放电电流, 这很可能导致 ESD 耐压能力未达标的芯片由于测试电路中寄生参数的影响而通过测试, 使得劣质产品通过测试而进入市场, 从而降低产品的良品率。

### 2.2 HBM 模型寄生参数影响分析

图 5 为考虑寄生参数下的 HBM 模型等效电路。其中,  $L_{\text{H}}$  为寄生电感,  $C_{\text{s}}$  为与  $R_{\text{H}}$  互联的寄生杂散电容。

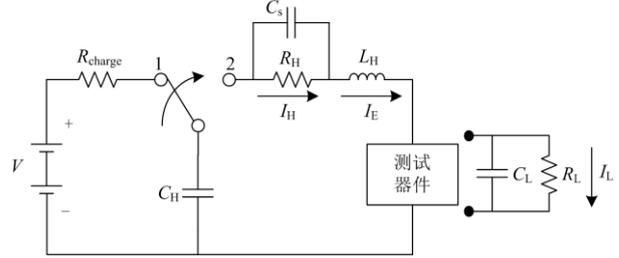


图 5 含寄生参数的 HBM 模型等效电路

Fig. 5 Equivalent circuit of HBM model with parasitic parameters

根据图 5 所示的 HBM 模型等效电路, 可建立如式(1)所示微分方程组。

$$\begin{cases} U_{C_s} + L_{\text{H}} C_{\text{H}} \frac{d^2 U_{C_{\text{H}}}}{dt^2} + U_{C_{\text{L}}} = U_{C_{\text{H}}} \\ R_{\text{H}} \cdot I_{\text{H}} = U_{C_s} \\ I_{\text{H}} + C_{\text{s}} \frac{dU_{C_s}}{dt} = C_{\text{H}} \frac{dU_{C_{\text{H}}}}{dt} \\ R_{\text{L}} \cdot I_{\text{L}} = U_{C_{\text{L}}} \\ I_{\text{L}} + C_{\text{L}} \frac{dU_{C_{\text{L}}}}{dt} = C_{\text{H}} \frac{dU_{C_{\text{H}}}}{dt} \\ I_{\text{E}} = C_{\text{H}} \frac{dU_{C_{\text{H}}}}{dt} \end{cases} \quad (1)$$

式中:  $U_{C_{\text{H}}}$ 、 $U_{C_s}$ 、 $U_{C_{\text{L}}}$  分别为人体等效电容  $C_{\text{H}}$ 、杂散电容  $C_{\text{s}}$  和  $C_{\text{L}}$  两端的电压;  $I_{\text{H}}$ 、 $I_{\text{L}}$ 、 $I_{\text{E}}$  分别为  $R_{\text{H}}$  支路、 $R_{\text{L}}$  支路和寄生电感  $L_{\text{H}}$  的电流,  $I_{\text{E}}$  也即 ESD 放电电流。

对上述方程组进行求解及化简可得 HBM 模型电流波形计算式, 其表达式如式(2)。

$$I_{\text{E}}(t) = VC_{\text{H}} \frac{\omega_0^2}{\sqrt{a^2 - \omega_0^2}} e^{-at} \sinh(\sqrt{a^2 - \omega_0^2} t) \quad (2)$$

式中,  $a$  为阻尼因子。  $a$  和  $\omega_0$  的具体表达式为

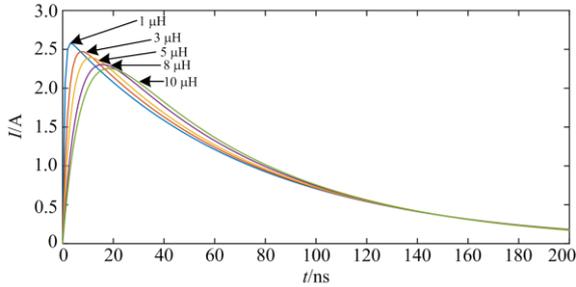
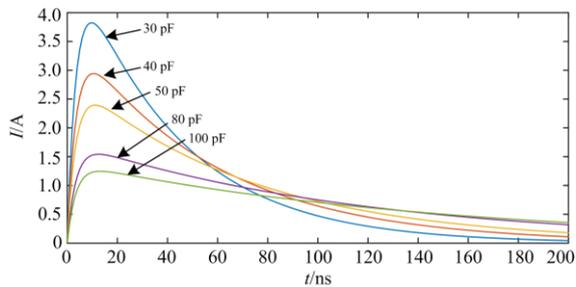
$$\begin{cases} a = R_{\text{H}} / 2L_{\text{H}} \\ \omega_0 = 1 / \sqrt{L_{\text{H}} C_{\text{s}}} \end{cases} \quad (3)$$

在实际情况下, 由于  $a > \omega_0$ , HBM 模型 ESD 放电电流上升时间  $t$  可由式(4)估算。

$$t = \frac{2L_{\text{H}}}{R_{\text{H}}} \quad (4)$$

根据式(4)可知, 当寄生电感  $L_{\text{H}}$  达到 7.5  $\mu\text{H}$  时,

ESD 放电上升时间约为 10 ns, 但由于电路中寄生参数的存在, 实际的 ESD 放电上升时间与标准的时间存在偏差, 放电电流波形也偏离标准波形。图 6 为考虑寄生电感  $L_H$ 、寄生电容  $C_s$  影响下的放电电流曲线。

(a) 寄生电感  $L_H$  对放电电流的影响(b) 寄生电容  $C_s$  对放电电流的影响图 6 寄生参数  $L_H$ 、 $C_s$  对放电电流的影响Fig. 6 Influence of parasitic parameters  $L_H$  and  $C_s$  on the discharge current

如图 6(a) 所示, 随着寄生电感  $L_H$  的值不断增大, HBM 模型放电峰值电流逐渐减小, 达到放电峰值电流的上升时间逐渐增加, 但衰减时间几乎不变, 不同寄生电感参数下的具体放电电流峰值和达到峰值的上升时间如表 1 所示。

表 1 寄生电感  $L_H$  对放电电流峰值、达到峰值时间的影响Table 1 Influence of parasitic parameter  $L_H$  on discharge current peak value and peak time

电感 $L_H$ 值/ $\mu\text{H}$	电流 $I_E$ 峰值/A	达到峰值时间/ns
1	2.577	3
3	2.471	8
5	2.395	11
8	2.304	16
10	2.254	18

如图 6(b) 所示, 随着寄生电容  $C_s$  的值不断增大, HBM 模型放电电流峰值逐渐减小, 达到放电峰值电流的上升时间略微增加, 衰减时间显著增加, 具体数值如表 2 所示。

表 2 寄生电容  $C_s$  对放电电流峰值、达到峰值时间的影响Table 2 Influence of parasitic capacitance  $C_s$  on peak discharge current and peak time

电容 $C_s$ 值/pF	电流 $I_E$ 峰值/A	达到峰值时间/ns
30	3.825	10
40	2.941	10
50	2.395	11
80	1.541	12
100	1.247	13

根据上述分析可知, 寄生电感和寄生电容均会影响 ESD 静电放电峰值电流, 寄生电感对放电峰值电流的上升时间影响较大, 对衰减时间影响较小, 而寄生电容对达到放电峰值电流的上升时间影响较小, 对衰减时间影响较大。

### 3 RC-HBM 模型校正原理分析

为减少寄生参数对 ESD 放电电流的影响, 本文提出了一种 RC 型 HBM 模型, 通过引入 RC 并联支路来调节 ESD 放电电流峰值和放电时间, 减少电路中寄生参数的影响, 使 ESD 放电电流曲线逼近标准 HBM ESD 放电电流波形。

图 7 为本文所提 RC-HBM 模型, 图中阴影部分为引进的 RC 并联补偿支路。在等效人体电容  $C_H$  放电时提供 ESD 放电电流支路, 使得 ESD 放电电流曲线逼近标准的 HBM 模型 ESD 放电电流曲线。

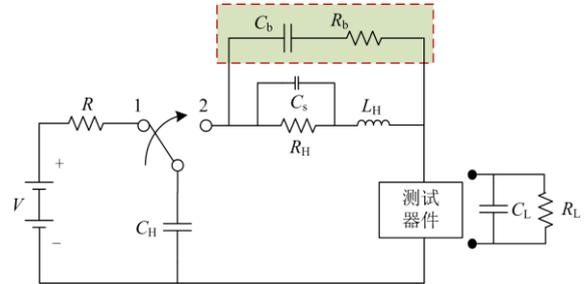


图 7 改进 HBM 模型电路

Fig. 7 Improved HBM model circuit

为研究并联 RC 支路不同参数对 HBM 模型下静电释放电流的影响, 分别对不同补偿电阻  $R_b$  和补偿电容  $C_b$  的 ESD 放电电流峰值和放电时间进行仿真分析。图 8 为不同补偿电阻  $R_b$  和补偿电容  $C_b$  参数下的 ESD 电流仿真波形。

如图 8(a) 所示, 随着补偿电阻  $R_b$  的不断增大, ESD 电流峰值不断减少, 当  $R_b$  接近 1 500  $\Omega$  时, 其放电电流峰值与标准 ESD 放电电流峰值较为接近, 但存在较大的电流振荡, 放电曲线与标准 HBM ESD 曲线还存在差距。表 3 为不同  $R_b$  参数下, ESD 放电电流峰值具体数值。

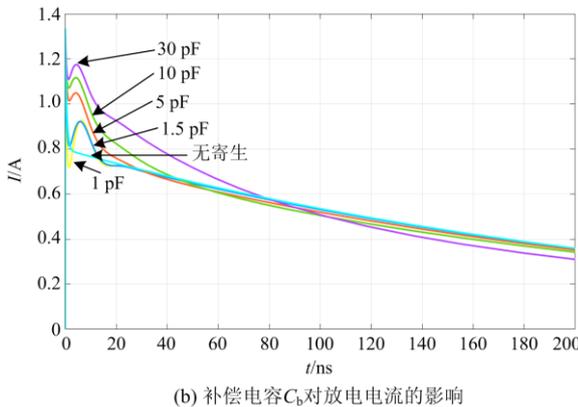
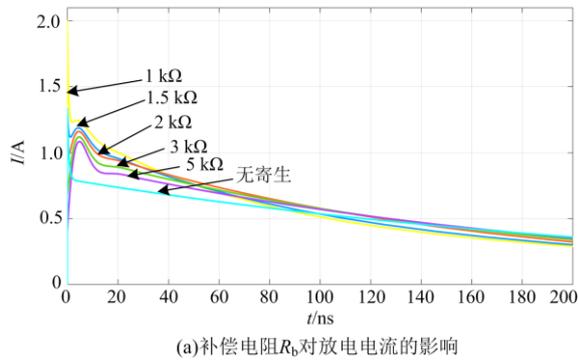


图 8 补偿器件  $R_b$ 、 $C_b$  对放电电流的影响

Fig. 8 Influence of compensation components  $R_b$  and  $C_b$  on the discharge current

表 3 补偿器件  $R_b$  对放电电流峰值的影响

Table 3 Influence of the compensation device  $R_b$  on the peak discharge current

电阻 $R_b$ 值/k $\Omega$	电流 $I_E$ 峰值/A
1	2.000
1.5	1.333
2	1.153
3	1.115
5	1.083
无寄生	1.333

表 4 补偿器件  $C_b$  对放电电流振荡峰值的影响

Table 4 Influence of the compensation components  $C_b$  on the peak value of the discharge current oscillation

电容 $C_b$ 值/pF	电流振荡峰值/A
1	0.926 8
1.5	0.921 6
5	1.049
10	1.117
30	1.175
无寄生	无振荡

图 8(b)为  $R_b$  固定在 1 500  $\Omega$ ，补偿电容  $C_b$  不断变化时的 ESD 电流波形图，随着补偿电容  $C_b$  不断

增大，ESD 电流振荡峰值也不断增大，ESD 放电速度不断减慢。表 4 为不同  $C_b$  参数下，ESD 放电电流振荡峰值具体数值。

由上述分析可知，可以通过不断调节  $R_b$  和  $C_b$  的取值来调节 ESD 电流峰值和放电时间，使校正后的 ESD 电流逐步逼近标准 HBM 模型 ESD 放电电流曲线，从而消除寄生参数对 HBM 静电可靠性测试的影响。如图 8(b)所示，当  $R_b$  为 1 500  $\Omega$ ， $C_b$  为 1.5 pF 时，ESD 电流与标准 HBM 模型 ESD 放电电流较为接近，可作为本文测试电路下的补偿参数。

#### 4 电源芯片 ESD 测试对比实验

图 9 为本文采用的电源芯片 ESD 现场测试平台，脉冲发生器采用普锐马电子触摸式全智能脉冲群发生器(型号为 EFT61004TB)，输出电压 0.2~ $\pm$ 4.8 kV，脉冲频率在 1~1 200 kHz 连续可调。



图 9 ESD 现场试验平台

Fig. 9 ESD test platform

为验证本文所提 RC 型 HBM 模型的正确性，分别对一批电源芯片进行了 ESD 可靠性测试分析。图 10 为电源芯片 HBM ESD 静电可靠性测试方案，包括外观检测、电性测试、HBM 模型静电测试等。

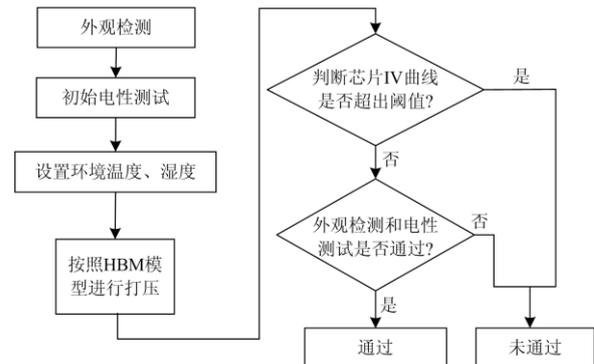


图 10 静电可靠性双模式测试流程图

Fig. 10 Electrostatic reliability dual-mode test flow chart

HBM 模型静电可靠性测试具体测试步骤和内容如下：

① 外观检测：通过显微镜或者扫描设备判断电源芯片是否有外部损毁，筛选出正常芯片。

② 电性测试: 检查芯片功能等是否正常, 筛选出正常芯片。

③ 设置环境温度为 25 °C, 湿度 55% RH(饱和空气含水量)。

④ HBM 静电测试: 所有的芯片管脚对地打上  $\pm 2$  kV 电压, 对  $V_{cc}$  打上  $\pm 2$  kV 电压, I/O 对 I/O 打上  $\pm 2$  kV 电压, 循环 3 次, 间隔 1 min。

⑤ 与数据手册 IV 曲线进行对比, 判断芯片是否损伤。

⑥ 再次通过外观检测和电性测试判断是否有损伤, 从而完成芯片静电可靠性测试, 生成静电可靠性测试报告。

同时, 在 HBM 静电可靠性测试时, 需要注意如下事项:

① 避免造成管脚间短路: 电压测量或用示波器探头测试波形时, 避免造成管脚间短路, 最好在与管脚直接连通的外围印刷电路上进行测量。

② 勿轻断芯片的好坏: 芯片绝大多数为直接耦合, 一旦某一电路不正常, 可能造成多处电压变化, 这些变化不一定是由芯片损坏引起的; 同时有些情况下测得芯片各管脚电压与正常值相符或接近, 也不能说明芯片是完好的, 因为部分软故障并不会直接引起芯片管脚直流电压的变化。

③ 芯片散热: 芯片 HBM 静电测试时应保持散热良好, 不允许不带散热器而处于大功率的状态下工作。

对于上述测试步骤④中的芯片管脚的静电测试, 其管脚的静电测试共有 ALL- $V_{DD}$ , IO- $V_{SS}$ , IO-IO 三种组合, 其中, ALL- $V_{DD}$  表示所有管脚与  $V_{DD}$  电源管脚的连接组合, IO- $V_{SS}$  表示 I/O 端口管脚与  $V_{SS}$  电源管脚连接组合, IO-IO 则表示 I/O 端口对 I/O 端口管脚连接组合。表 5 为上述三种组合的具体连接方式, 其中,  $V_{D1}$ 、 $V_{D2}$  等表示  $V_{DD}$  管脚,  $V_{S1}$ 、 $V_{S2}$  等表示  $V_{SS}$  管脚,  $a_1$ 、 $a_2$ 、 $b_1$ 、 $b_2$  等是普通 IO 管脚; 1 代表对应管脚组合需要进行 ESD 测试。

如表 5 所示, 在 HBM 模型测试中管脚组合的方式主要分为电源管脚和非电源管脚两种, 其测试过程总结如下:

1) 对于电源管脚, 当其接地时, 芯片所有其他管脚依次接正负极性的静电电压进行放电测试。

2) 对于非电源管脚, 依次接受正负极性的放电测试, 芯片所有其他非被测的非电源管脚全部接地。

采用上述测试方案, 分别对常规 HBM 模型和本文所提的 RC-HBM 模型进行对比测试。芯片样品数为 1 000, 分为 A1、A2 两批(各包含 500 个样品),

其中样品 A1 采用常规 HBM 模型进行 ESD 测试, 样品 A2 采用本文所提 RC-HBM 模型进行 ESD 测试, 采用常规 HBM 模型样品 A2 再采用 RC-HBM 模型进行 ESD 测试, 称为批次 A3。测试结果如表 6 所示, A1 批次基本可以通过 ESD 测试, 仅 2 个样品未通过测试, A2 批次有 10 个、A3 批次有 12 个样品未通过测试。由此可说明, A1 中部分芯片 ESD 耐压能力未达标, 却通过了测试, 降低了产品的良品率。

表 5 HBM 模型测试管脚组合

Table 5 Test pin combination of HBM model

接地引脚		All- $V_{DD}$			IO- $V_{SS}$			IO-IO					
		$V_{DD}$			$V_{SS}$			IO1			IO2		...
测试引脚		$V_{D1}$	$V_{D2}$	...	$V_{S1}$	$V_{S2}$	...	$a_1$	$a_2$	...	$b_1$	$b_2$	...
	$V_{DD}$	$V_{D1}$	1										
$V_{D2}$			1										
...				1									
$V_{SS}$	$V_{S1}$				1	1	1						
	$V_{S2}$					1	1						
	...						1						
IO1	$a_1$							1	1	1	1	1	1
	$a_2$								1	1	1	1	1
	...									1	1	1	1
IO2	$b_1$										1	1	
	$b_2$												1
...													1

表 6 ESD 测试结果

Table 6 ESD test results

批次	样品数	通过	未通过
A1	500	498	2
A2	500	490	10
A3	500	488	12

图 11 为 IO-IO 管脚组合下分别采用常规 HBM 模型和本文所提 RC-HBM 模型电源芯片内部放大图。如图 11(a)所示, 当采用常规 HBM 模型, 被测芯片未出现明显损伤; 而采用本文所提 RC-HBM 模型, 被测芯片出现明显损伤, 如图 11(b)所示。

图 12 为 All- $V_{DD}$  管脚组合下分别采用常规 HBM 模型和本文所提 RC-HBM 模型电源芯片图。如图 12(a)所示, 采用常规 HBM 模型, 电源芯片并未损坏; 而采用本文所提 RC-HBM 模型 ESD 测试, 如图 12(b)所示, 被测芯片受损严重, 被测芯片  $V_{DD}$  和地管脚出现烧毁, 说明部分芯片并未通过本文所提 HBM 模型 ESD 测试。

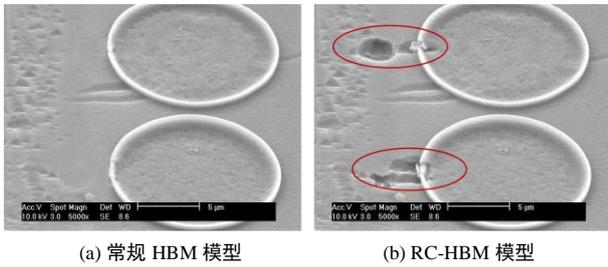


图 11 电源芯片 HBM ESD 测试后芯片内部图

Fig. 11 Internal diagram of the power chip after HBM ESD test

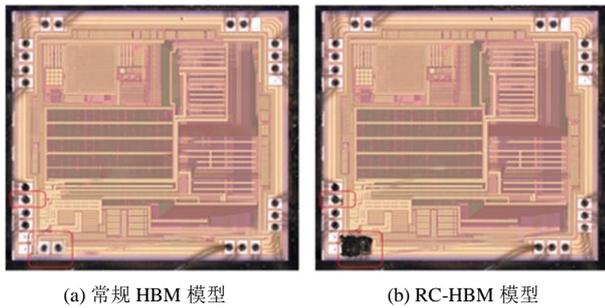


图 12 电源芯片 IO-IO 管脚 ESD 测试图

Fig. 12 ESD test diagram of IO-IO pin of power chip

可见,采用本文所提 RC-HBM 模型相比于常规 HBM 模型提高了 HBM 模型 ESD 放电电流,消除了 ESD 测试时寄生元件的影响,使得实际放电电流波形逼近标准的 HBM 放电电流曲线,在一定程度上提高了芯片 HBM 模型 ESD 测试精度和可靠性,同时也说明了本文所提 RC-HBM 改进模型在实际 ESD 测试过程中更加精确和可靠。

### 5 总结

本文研究了电源芯片 ESD 测试的 HBM 模型,针对常规 HBM 模型测试电路因寄生参数对芯片 ESD 测试结果的影响,提出了一种可有效消除寄生参数影响的 RC-HBM 模型。

1) 阐述了静电对电源芯片的损坏机理,以芯片输入管脚对  $V_{DD}$  的静电释放为例,分析了电源芯片静电保护与损伤的基本原理。

2) 详细阐述常规 HBM 模型的局限性,进一步分析了寄生参数对 HBM 模型 ESD 放电电流的影响;同时,提出了一种 RC-HBM 模型,可校正因寄生参数引起的 ESD 放电电流误差,提高静电可靠性测试精度。

3) 给出了一种电源芯片 HBM 模型 ESD 测试方法,并对常规 HBM 模型与 RC-HBM 模型进行了对比测试,通过批量实验验证了 RC-HBM 模型正确性。

### 参考文献

[1] 潘晴宇. 考虑分布式电源接入的变电站规划关键技术研究[J]. 电力系统保护与控制, 2021, 49(6): 98-104.  
 PAN Qingyu. Research on key technologies of substation planning considering distributed power access[J]. Power System Protection and Control, 2021, 49(6): 98-104.

[2] 孙立明, 杨博. 蓄电池/超导混合储能系统非线性鲁棒分数阶控制[J]. 电力系统保护与控制, 2020, 48(22): 76-83.  
 SUN Liming, YANG Bo. Nonlinear robust fractional-order control of battery/superconducting hybrid energy storage system[J]. Power System Protection and Control, 2020, 48(22): 76-83.

[3] WANG F, WANG Q, FAN Z, et al. A coordinated control scheme to realize uninterruptible power supply for AC-side system in AC/DC hybrid distribution grid[C] // 2019 IEEE 8th International Conference on Advanced Power System Automation and Protection (APAP), October 21-24, 2019, Xi'an, China: 517-520.

[4] 陈喜峰, 任玮蒙, 武侠. 适用于低频振荡分析的电力电子接口电源模型研究[J]. 电力科学与技术学报, 2020, 35(6): 61-67.  
 CHEN Xifeng, REN Weimeng, WU Xia. Research on power supply model with a power electronic interface for low frequency oscillation analysis[J]. Journal of Electric Power Science and Technology, 2020, 35(6): 61-67.

[5] 李斌, 王晨阳, 何佳伟, 等. 自适应限流型固态断路器的直流电源设计[J]. 电力系统自动化, 2020, 44(5): 30-37.  
 LI Bin, WANG Chenyang, HE Jiawei, et al. Design of DC power supply for self-adaptive current-limiting solid-state circuit breaker[J]. Automation of Electric Power Systems, 2020, 44(5): 30-37.

[6] 宋文强. 集成电路 ESD 静电防护设计及闩锁免疫研究[D]. 成都: 电子科技大学, 2020.  
 SONG Wenqiang. Research on ESD protection design and latch-up immunity of integrated circuits[D]. Chengdu: University of Electronic Science and Technology, 2020.

[7] ZHANG B, HAO Z, BO Z. New development in relay protection for smart grid[J]. Protection and Control of Modern Power Systems, 2016, 1(2): 121-127.

[8] 黄吉涛, 周媛奉, 梁飞, 等. 以 IR46 电表测试为例的硬件检测综述[J]. 电力系统保护与控制, 2020, 48(3): 99-105.  
 HUANG Jitao, ZHOU Yuanfeng, LIANG Fei, et al. Overview of hardware detection taking IR46 meter test as an example[J]. Power System Protection and Control,

- 2020, 48(3): 99-105.
- [9] LI R, WONG P, WANG K, et al. Power quality enhancement and engineering application with high permeability distributed photovoltaic access to low-voltage distribution networks in Australia[J]. *Protection and Control of Modern Power Systems*, 2020, 5(3): 183-189.
- [10] 张蓬鹤, 薛阳, 张起豪. 智能电能表用计量芯片失效分析研究[J]. *电子测试*, 2013(17): 95-96.  
ZHANG Penghe, XUE Yang, ZHANG Qihao. Research on failure analysis of metering chip for smart electric energy meter[J]. *Electronic Testing*, 2013(17): 95-96.
- [11] 赵东元, 胡楠, 傅靖, 等. 提升新能源电力系统灵活性的中国实践及发展路径研究[J]. *电力系统保护与控制*, 2020, 48(24): 1-8.  
ZHAO Dongyuan, HU Nan, FU Jing, et al. Research on China's practice and development path to improve the flexibility of new energy power system[J]. *Power System Protection and Control*, 2020, 48(24): 1-8.
- [12] 陈磊, 何慧雯, 王磊, 等. 基于限流器与断路器协调的混合直流输电系统故障隔离方法[J]. *电力系统保护与控制*, 2020, 48(19): 119-127.  
CHEN Lei, HE Huiwen, WANG Lei, et al. Hybrid DC transmission system fault isolation method based on coordination of current limiter and circuit breaker[J]. *Power System Protection and Control*, 2020, 48(19): 119-127.
- [13] 成周杰. 双界面卡芯片静电放电防护设计研究[D]. 北京: 中国科学院大学, 2020.  
CHENG Zhoujie. Research on the electrostatic discharge protection design of dual-interface card chips[D]. Beijing: University of Chinese Academy of Sciences, 2020.
- [14] 张启辰. 静电放电对混合集成 DC/DC 变换器影响的研究[J]. *电子质量*, 2020(8): 91-96.  
ZHANG Qichen. Research on the influence of electrostatic discharge on hybrid integrated DC/DC converter[J]. *Electronic Quality*, 2020(8): 91-96.
- [15] 米丹, 周昕杰, 周晓彬. 基于 130nm SOI 工艺数字 ASIC ESD 防护设计[J]. *半导体技术*, 2021, 46(4): 279-285.  
MI Dan, ZHOU Xinjie, ZHOU Xiaobin. Digital ASIC ESD protection design based on 130nm SOI process[J]. *Semiconductor Technology*, 2021, 46(4): 279-285.
- [16] 李盛. 集成电路 ESD 保护及其可靠性检测研究[D]. 西安: 西安电子科技大学, 2017.  
LI Sheng. Research on integrated circuit ESD protection and reliability detection[D]. Xi'an: Xidian University, 2017.
- [17] Human body model electrostatic discharge test: AEC-Q100-002Rev-C[S]. Automotive Electronics Council, 2001.
- [18] Electrostatic discharge (ESD) sensitivity testing machine model (MM): JESD22-A115-A[S]. JEDEC Solid State Technology Association, 1997.
- [19] Standard test method for electrostatic discharge sensitivity testing-charged device model (CDM) component level: ESD STM5.3.1—1999[S]. ESD Association, 1999.
- [20] Mechanical and climatic test methods, part 26: electrostatic discharge susceptibility (ESD) testing-human body model (HBM)[S]. Semiconductor Devices, 2013.
- [21] 鹿祥宾, 陈燕宁, 张海峰, 等. DOE 方法在 ESD 及 LU 测试故障定位方面的应用研究[J]. *固体电子学研究与进展*, 2020, 40(3): 226-232.  
LU Xiangbin, CHEN Yanning, ZHANG Haifeng, et al. Study on the application of DOE method in ESD and LU testing failure localization[J]. *Research & Progress of SSE*, 2020, 40(3): 226-232.
- [22] 陈志钧. CMOS 集成电路 ESD 保护技术的研究和设计[D]. 成都: 电子科技大学, 2012.  
CHEN Zhijun. Research and design of CMOS integrated circuit ESD protection technology[D]. Chengdu: University of Electronic Science and Technology of China, 2012.
- [23] VERHAEGE K, ROUSSEL P J, GROSCENEKEN G et al. Analysis of HBM testers and specifications using a 4<sup>th</sup> order lumped element model[J]. *Quality and Reliability Engineering International*, 1994, 10(4): 325-334.
- [24] MALONEY T J. HBM tester waveforms, equivalent circuits, and socket capacitance[J]. *Microelectronics Reliability*, 2013, 53(2): 184-189.
- [25] ESD Association WG 5.1. Standard test method for electrostatic discharge sensitivity testing-human body model (HBM) component level: ESD STM5.1—2001[S].
- [26] JEDEC Solid State Technology Association. Electrostatic discharge (ESD) sensitivity testing human body model (HBM): JESD22-A114-B[S]. 2000.

收稿日期: 2021-04-21; 修回日期: 2021-08-21

作者简介:

熊素琴(1979—), 女, 硕士研究生, 高级工程师, 研究方向为元器件测试分析技术; E-mail: 13778029@qq.com

李求洋(1988—), 女, 博士研究生, 工程师, 研究方向为传感量测技术; E-mail: 1243395671@qq.com

肖志强(1998—), 男, 通信作者, 硕士研究生, 研究方向为芯片 ESD 保护和 DC-DC 电源研制。E-mail: x1609680106@126.com

(编辑 葛艳娜)