

基于FPGA的多节点电力线信道仿真器的设计与实现

王毅^{1,2,3}, 邓子乔¹, 马郭亮³, 温慧安¹, 叶君², 侯兴哲², 孙洪亮², 郑可²

(1. 重庆邮电大学通信与信息工程学院, 重庆 400065; 2. 国网重庆市电力公司电力科学研究院, 重庆 401123;
3. 国网重庆市电力公司, 重庆 401123)

摘要: 电力线信道仿真器的研发能够避免大量重复、耗时的场外测试实验, 能够节省大量的人力物力, 缩短研发周期, 加快电力线通信技术的发展。基于 System Generator 平台设计了多节点的低压宽带电力线信道仿真器并通过 FPGA 进行了实现。该信道仿真器包括 AD 采样模块、信号处理模块以及 DA 输出模块, 能够对电力线网络中多个节点间的信道进行模拟, 同时能够满足信道双向通信的需求。通过理论数据与实测数据的对比分析, 结果表明该电力线信道仿真器能够根据实际电力线场景对相应的宽带电力线信道衰落进行模拟。

关键词: 电力线通信; 信道仿真器; 多节点; FPGA; System Generator

Design and implementation of multi-node power line channel emulator based on FPGA

WANG Yi^{1,2,3}, DENG Ziqiao¹, MA Guoliang³, WEN Huian¹, YE Jun², HOU Xingzhe², SUN Hongliang², ZHENG Ke²

(1. School of Communication and Information Engineering, Chongqing University of Posts and Telecommunications, Chongqing 400065, China; 2. State Grid Chongqing Electric Power Research Institute, Chongqing 401123, China;
3. State Grid Chongqing Electric Power Company, Chongqing 401123, China)

Abstract: The research of power line channel emulator can help researchers to avoid a large number of repeated and time-consuming outdoor test experiments, save a lot of manpower and resources, shorten the development cycle, and speed up the development of power line communication technology. This paper, based on the System Generator platform, designs a multi-node low-voltage broadband power line channel simulator and implements it through FPGA. The channel emulator includes AD sampling module, signal processing module and DA output module, which can emulate the channel between multi-nodes in the power line network and meet the needs of two-way communication of the channel. Through the comparison between the theoretical data and the measured data, the results show that the power line channel emulator can emulate the corresponding broadband power line channel fading according to the actual power line scene.

This work is supported by China Postdoctoral Science Foundation (No. 2015T80961) and Natural Science Foundation of Chongqing (No. cstc2016jcyjA0214).

Key words: power line communication; channel emulator; multi-node; FPGA; System Generator

0 引言

电力线通信由于其诱人的发展前景及潜在的巨大市场价值已经成为众多科研机构和公司争相研究的热点^[1-5]。随着电力线通信技术的逐渐成熟, 其相关产品变得越来越复杂, 电力线载波产品的测试工作也变得更加重要。而电力线信道仿真器的研发能

够避免大量重复、耗时的场外测试实验, 能够节省大量的人力物力, 缩短研发周期, 加快电力线通信技术的发展。

国内外对于 PLC 信道仿真器研究的相关文献已有很多^[6-9]。其中文献[6]设计了基于 FPGA 的电力线信道实时仿真平台, 然而其信道采用频域乘积处理, 需要对输入信号进行快速傅里叶变换(FFT), 由于发送端通常随机发送信号, 并非稳定周期信号, FFT 往往会丢失原始信号中的重要信息。其次, 该仿真平台为单向的点对点式信道, 无法实现对信道的双向特性进行模拟, 也无法胜任电力线载波模块

基金项目: 中国博士后科学基金项目资助(2015T80961); 重庆市自然科学基金项目资助(cstc2016jcyjA0214); 国网重庆市电力公司科技项目资助

的测试应用场景。文献[7]所提出的跨频带 PLC 信道模拟方法也是针对点对点的信道进行模拟。文献[8]设计了多输入多输出(MIMO)的电力线信道仿真器,该信道仿真器能够用于对 MIMO-PLC 调制解调器的性能进行测试,但是针对的仍然是点对点的电力线信道。由于在同一电力线网络中,多个节点间的电力线信道因具有公共的电力线路而具有一定的相关性,这会对电力线载波产品的分级合并增益产生影响,同时也会影响网络层中节点间路由选择的效果,电力线载波产品的此类性能只能通过多节点电力线信道仿真器进行测试。此外,多节点电力线信道仿真器还能够对电力线载波相关产品的链路级和系统级的性能进行测试,如组网性能测试。

本文基于 System Generator 平台设计了多节点的低压宽带电力线信道仿真器并通过 FPGA 进行了实现,该信道仿真器包括 AD 采样模块、信号处理模块以及 DA 输出模块,同时 FPGA 通过以太网与上位机连接,能够通过上位机修改相应信道参数得到不同环境下电力线衰落信道。结果显示在整个 100 kHz~20 MHz 频段内,理论数据与实测数据趋势一致且绝对差值相对平坦,对于深衰落处的幅值存在一定的误差,但整体误差不超过 6 dB。结果表明该电力线信道仿真器能够根据实际电力线场景对

相应的宽带电力线信道衰落进行模拟。

1 电力线信道模型

电力线信道建模技术可以分为自上而下^[10-11]和自下而上^[12-15]两类。由于自下而上的方法拓展性良好,能够通过调整网络拓扑结构和网络参数来实现对任意的电力线信道进行建模,电力线信道仿真器欲模拟的信道适宜用该方法进行求解。本文采用自下而上的电力线信道建模方法对多节点间的电力线信道传输函数进行求解。

图 1 给出了一种典型的树状低压配电网拓扑结构,根据基本二端口模型^[14],对于给定任意的信号发送端 s 与信号接收端 t ,可以通过分析 s 与 t 之间各节点的并联分支线路状况来计算该拓扑结构下节点 s 与节点 t 之间的信道频率响应。首先,通过最短路径算法求出 s 与 t 之间的路径,称之为主干路径,在该路径上的节点称之为主干节点集合。其次,依次分析主干节点集合中的每个主干节点的分支线路状况,如果存在分支线路,则将其等效为一个并联负载。等效过程可参考文献[15]。最后,交替累乘 s 与 t 之间的各参量矩阵即可得到 s 与 t 之间的级联参量矩阵,并可以依据该级联参量矩阵求出 s 与 t 之间的信道频率响应。

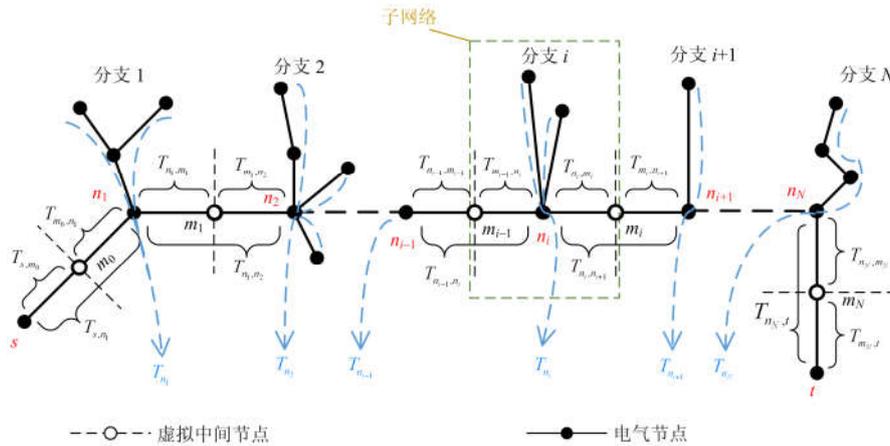


图 1 一种典型的树状低压配电网拓扑

Fig. 1 Topology of a typical tree form low voltage distribution network

在传统二端口信道模型^[14]中,收发节点间参量矩阵往往由电力传输线参量矩阵与分支线路或并联负载参量矩阵交替累乘得到,不便于程序实现。本文将相邻主干节点之间的电力线中点作为虚拟中间节点,构建以虚拟中间节点为边界、以主干节点为中心的子网络,则级联参量矩阵的求解过程可简化为子网络的累乘过程,无须区分电力传输线、分支线路或并联负载的情况。

具体求解步骤如下。

- 1) 通过最短路径算法解析给定的电力网络拓扑,获取收发节点的主干节点集合 P ,如图 1 中 $n \in \{P | s \rightarrow t\}$,其中 s 为信源节点, t 为终端节点;
- 2) 逐个分析节点集 P 中的节点 n_i ,根据分支线路情况更新节点 n_i 的等效阻抗 Z_{n_i} ,求解过程可参考文献[15]。
- 3) 由节点 n_i 的等效阻抗求出该节点的分支线路

参量矩阵 T_B 为

$$T_B = \begin{bmatrix} 1 & 0 \\ 1/Z_B & 1 \end{bmatrix} \quad (1)$$

式中, Z_B 为该分支结点的并联分支线路等效阻抗。

4) 由式(2)计算位于节点 m_{i-1} 与节点 m_i 之间的第 n_i 个子网络的参量矩阵 T_{n_i} 为

$$T_{n_i} = T_{m_{i-1}, n_i} T_{B(n_i)} T_{n_i, m_i} \quad (2)$$

其中

$$T_{m_{i-1}, n_i} = \begin{bmatrix} \cosh(\gamma_{n_i, n_i} l_{n_i, n_i} / 2) & Z_{c_{n_i, n_i}} \sinh(\gamma_{n_i, n_i} l_{n_i, n_i} / 2) \\ \sinh(\gamma_{n_i, n_i} l_{n_i, n_i} / 2) / Z_{c_{n_i, n_i}} & \cosh(\gamma_{n_i, n_i} l_{n_i, n_i} / 2) \end{bmatrix};$$

$$T_{n_i, m_i} = \begin{bmatrix} \cosh(\gamma_{n_i, n_i} l_{n_i, n_i} / 2) & Z_{c_{n_i, n_i}} \sinh(\gamma_{n_i, n_i} l_{n_i, n_i} / 2) \\ \sinh(\gamma_{n_i, n_i} l_{n_i, n_i} / 2) / Z_{c_{n_i, n_i}} & \cosh(\gamma_{n_i, n_i} l_{n_i, n_i} / 2) \end{bmatrix}.$$

式中: Z_c 表示传输线的特征阻抗; γ 表示传输线复传播常数。

5) 可由式(3)对子网络参量矩阵 T_{n_i} 累乘得到完整网络的参量矩阵 $T_{s,t}$ 为

$$T_{s,t} = T_{s, m_0} \left[\prod_{i=1}^N T_{n_i} \right] T_{m_N, t} \quad (3)$$

式中: N 为节点集 P 内节点总个数; T_{s, m_0} 为源节点 s 至第一个中间节点 m_0 的级联参量矩阵; $T_{m_N, t}$ 为最后一个中间节点 m_N 至终端节点 t 的级联参量矩阵。

令 $T_{s,t} = \begin{bmatrix} A_{s,t} & B_{s,t} \\ C_{s,t} & D_{s,t} \end{bmatrix}$, 则 s 与 t 间的信道响应

$H_{s,t}$ 可表示为

$$H_{s,t}(f) = \frac{U_t}{U_s} = \frac{Z_t}{A_{s,t} Z_t + B_{s,t} + C_{s,t} Z_s Z_t + D_{s,t} Z_s} \quad (4)$$

式中: Z_s 为发送端源阻抗; Z_t 为接收端负载阻抗。

6) 通过选择不同的收发节点重复上述计算, 得到多节点之间的多组信道频率响应。

2 信道仿真器框架设计

本文采用了 Xilinx 的 KC705 评估套件和某 FPGA 电路设计公司开发的 A/D 与 D/A 模拟信号采集子卡进行多端口信道仿真器的开发。受限于硬件逻辑资源与 I/O 端口数量, 本文仅对 4 个端口的低压宽带电力线信道仿真器进行设计并实现。该 4 端口宽带低压电力线信道仿真器的整体框图如图 2 所示。

其中 A、B、C、D 口均为 SMA 接口, 用于接入各类 PLC 设备; 模拟前端主要将 PLC 设备发送至 FPGA 方向的发送信号与 FPGA 发送至 PLC 设备的接收信道进行分离, 以防同一端口的接收信号与发送信号叠加从而造成信号干扰; 由于 FPGA 为数

字逻辑门阵列构成, 信号的处理皆在数字域完成, 则需要 A/D 与 D/A 模块来对 PLC 设备的高频载波模拟信号进行数字/模拟转换或模拟/数字转换; P_{tx} 与 P_{rx} 分别为 PLC 设备的发送信号与接收信号的数字采样信号, 其中 $P \in \{A, B, C, D\}$ 。PC 与 FPGA 可以通过网线连接, 从而实现多端口电力线信道模拟平台的信道和噪声参数的配置以及信号数据的实时采集监控等。

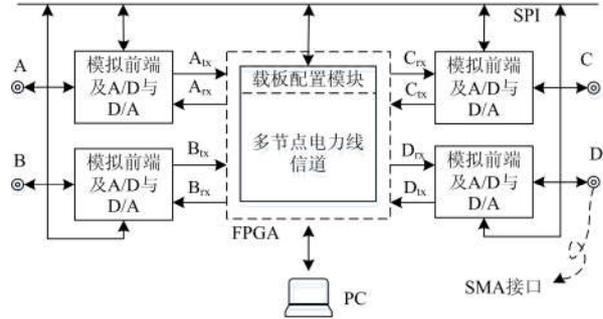


图 2 4 端口低压宽带电力线信道仿真器整体框图

Fig. 2 Overall diagram of 4-port low-voltage broadband power line channel emulator

3 模块功能实现

3.1 模拟前端及 AD/DA 转换

图 3 给出了模拟前端及 AD/DA 转换的原理框图。为避免同一端口的 D/A 模拟输出信号与 A/D 模拟输入信号叠加从而造成信号干扰, 本文选用美国 Mini-Circuits 公司 SMA 接口的 ZFDC-15-6-S+ 定向耦合器, 其能够稳定工作在 30 kHz~35 MHz 频段, 端口阻抗稳定在 50 Ω , 具备优良的隔离度, 典型值取 35 dB, 且主线衰减仅为 0.2 dB。

图中红色 26~56 dB 的相对阻塞通路表明, D/A 输出信号至 A/D 输入端将存在较大衰减, 从而减小信号环流带来的影响, 其中在 30 kHz~20 MHz 频段范围内该衰减为 34~56 dB。由于端口 A 与 A/D 输入端之间存在约 15 dB 的耦合衰减, 因此端口与端口之间将存在约 15 dB 的衰减, 而该衰减可通过 FMC 载板上 A/D 与 D/A 芯片内部的增益进行补偿或在数字域进行调节。图中 PGA 为增益控制, 分别能够通过 AD 芯片与 DA 芯片的相应控制寄存器经 SPI 总线由 FPGA 编程调节。

3.2 多节点电力线信道实现机制

图 4 给出了多节点电力线信道实现框架, 为不影响 4 个端口间 PLC 设备的自由组网及路由机制, 信道仿真器仅仅只对每个端口的采样数据进行转发处理。

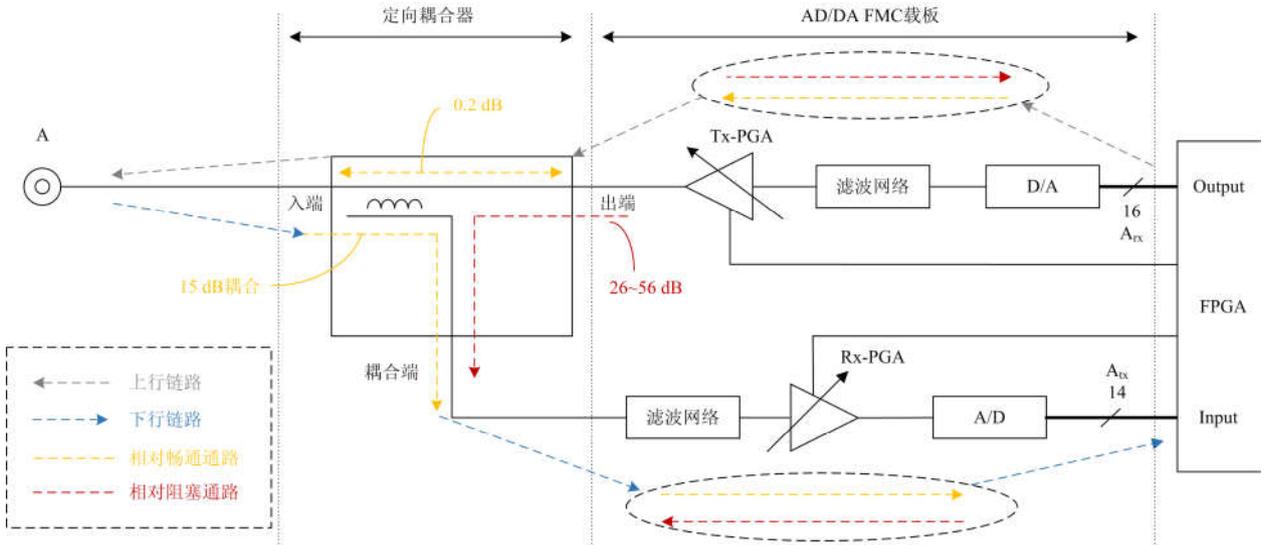


图3 模拟前端原理框图

Fig. 3 Analog front-end block diagram

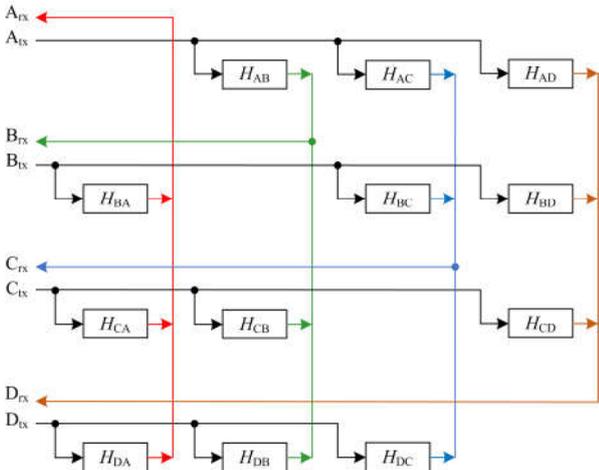


图4 多节点电力线信道框架

Fig. 4 Multi-node power line channel framework

图中，对于端口 A，若端口 A 有发送信号 x_A ，则需要通过 H_{AB} 、 H_{AC} 与 H_{AD} 信道分别广播给端口 B、C 与 D，同理可以类推至端口 B、C 与 D。即该多节点电力线信道仿真器仅仅对实际电力网络场景中的信道部分进行模拟，而对 PLC 设备自身的载波监听多路访问(CSMA)机制没有影响，使得 PLC 设备信道竞争主要取决于信道模拟平台所构建的电力网场景，这与 PLC 设备的 CSMA 机制真实情况是确切相符合的。

3.3 多节点电力线信道 FIR 实现

本文选择采用 FIR 滤波器对多节点电力线信道进行实现，FIR 滤波器的抽头系数即是其信道脉冲

响应(CIR)。然而过多的 FIR 抽头系数会造成过多的硬件资源开销，为尽量减少抽头系数个数，同时找到简洁高效的抽头系数获取方法，本文对文献[16]中的截断法、窗函数法及 Matlab 中的 invfreqz 函数法进行了对比。

表 1 给出了这三类方法在截取长度为 30、45 及 60 时的频率响应 MSE 误差对比。由表 1 可知，这三类方法导致的误差较为相近，其中窗函数在三类方法中较好，但截断法更为简洁高效。综合考虑方法的准确性与效率，本文选用截断法来获取 FIR 滤波器的抽头系数。

表 1 上述三类方法的频率响应 MSE 误差对比

Table 1 Frequency responses of the above three methods are compared with the MSE errors

截取长度	截断法	窗函数法	invfreqz 函数法
	MSE/dB	MSE/dB	MSE/dB
30	-15.300 4	-19.108 9	-15.321 8
45	-23.336 0	-23.819 9	-23.807 0
60	-24.026 2	-33.780 3	-24.966 3

图 5 给出了在 System Generator 设计平台中利用 FIR Compiler 7.2 模块实现的多节点电力线信道模型。图 6 为图 5 中的 Channel 子系统的内部结构图，每个 Channel 子系统包含了 $(N-1)$ 个 FIR Compiler 及 $(N-2)$ 个加法器， N 为所设计信道仿真平台的端口数。乘法器 CMult 作为 14 位 AD 输入到 16 位数字转换模块，同时可以在数字域调节增益。

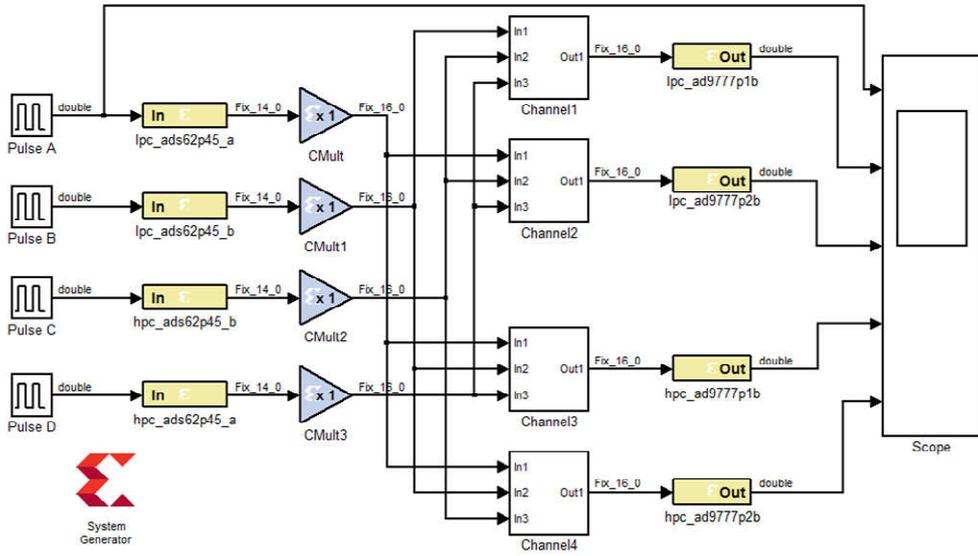


图 5 基于 System Generator 的多节点电力线信道模型

Fig. 5 Multi-node power line channel model based on System Generator

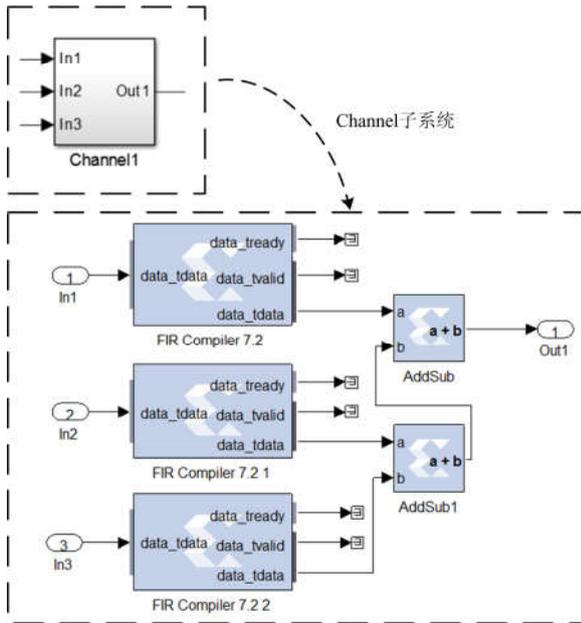


图 6 Channel 子系统的内部结构图

Fig. 6 Internal structure of the Channel subsystem

4 系统测试与验证

4.1 测试场景

图 7 给出了一个典型电力网络测试场景, 其中节点 A、B、C、D 为信息节点, 节点 E 为负载节点。采用第 1 章中的方法对网络中任意信息节点进行信道传输函数的求取, 求取过程中假设节点 E 为开路, 传输线的特征阻抗为 $Z_c=120 \Omega$, 传输线复传播常数

为 $\gamma = (a_0 + a_1 f^K) + \frac{2j\pi f}{V_p}$, 其中 $a_0=0$, $a_1=2 \times 10^{-9}$, $K=1$, $V_p=1.62 \times 10^8$, f 表示信号频率。

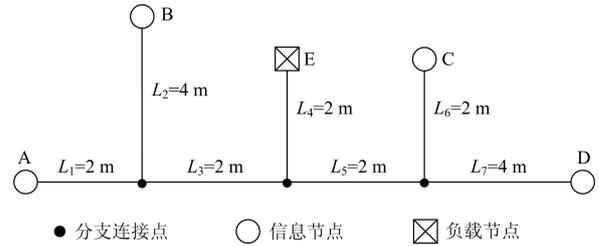


图 7 测试场景

Fig. 7 Test scenario

4.2 参考信道设定

由于 Xilinx 中多采用整数, 在加载抽头系数之前需要将 $h(n)$ 浮点数量化为定点整数 $b(n)$ 。

$$b = \text{round} \left(\frac{h}{\max(|h|)} (2^{N-1} - 1) \right) \quad (5)$$

式中: b 为 FIR 滤波器整数抽头系数行向量; h 为截断后 CIR 行向量; $\text{round}(\cdot)$ 为四舍五入取整函数; $\max(\cdot)$ 为最大值函数; N 为该模型的处理位数, 本文 N 取值 16。

根据图 7 给出的测试场景得到对应的多组信道响应, 经截断法得到 $h(n), n=1, 2, \dots, 50$, 由式(5)进行量化得到表 2 中 H_{AB} 的整数抽头系数, 其他更多 CTF 的 FIR 抽头系数可以通过同样的方法获取。

表 2 H_{AB} 的 FIR 整数抽头系数

Table 2 FIR integer tap coefficient of H_{AB}

n	1	2	3	4	5	6
$b(n)$	1 675	17 876	6 871	4 309	2 512	-1 187
n	7	8	9	10	11	12
$b(n)$	-30	-1 903	-48	424	-1 722	-3 180
n	13	14	15	16	17	18
$b(n)$	4 369	5 268	2 397	-1 389	-5	-2 244
n	19	20	21	22	23	24
$b(n)$	211	121	3 401	161	-226	4 161
n	25	26	27	28	29	30
$b(n)$	684	-689	-1 718	-964	-249	539
n	31	32	33	34	35	36
$b(n)$	-2 388	-2 450	1 835	5 441	303	-1 007
n	37	38	39	40	41	42
$b(n)$	-2 090	-504	222	175	32 767	3 963
n	43	44	45	46	47	48
$b(n)$	413	7 562	-1 785	219	-2 561	423
n	49	50				
$b(n)$	-48	453				

对于 System Generator 的 FIR Compiler 7.2 模块, 可采用 Maximize_Dynamic_Range 量化方式自动对浮点 CIR $h(n)$ 量化, 且使用 Best Precision Fraction Length 选项对系数中的整数与小数部分占用位数进行最佳精度分配。FIR Compiler 7.2 数据输出 Datapath Options 使用 16 位宽的 Symmetric_Rounding_to_Zero 取整模式, 等效 Matlab 中的 round(\cdot) 函数。

4.3 测试与验证

将上述各模块联合综合与实现, 生成二进制编译文件下载至 FPGA 芯片中, 通过 PicoScope 示波器对多节点信道模拟平台进行正弦波扫频测试, 测试时的实物连接图如图 8 所示。

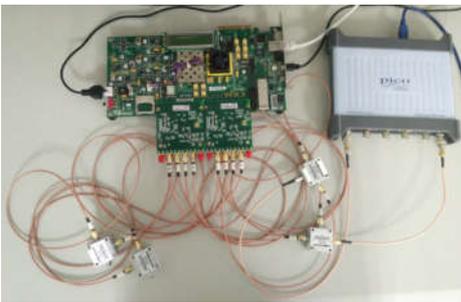


图 8 实物连接图

Fig. 8 Physical connection diagram

将测试数据导入 Matlab 并于理论数据进行对比, 结果如图 9 所示。其中理论信道为 50 阶浮点抽头系数利用 Matlab 函数 freqz(\cdot) 频响函数计算得到。由图 9 可知, 测量信道幅度响应与理论信道响应趋势一致, 测量信道幅度响应比理论信道整体略小约 2~5 dB。其误差主要由以下几个原因导致: 1) 由于 FPGA 为定点数计算, 相对于理论浮点数仿真必然

存在一定的误差, 可通过高精度 AD/DA 采样以及更多 FPGA 逻辑资源减小该误差; 2) 本次使用的 PicoScope 示波器自身测量以及频域观察设置的 FFT 参数带来的测量误差; 3) 由于定向耦合器、射频电路上 FMC 载板各端口滤波网络及外围电路导致 FPGA 外围网络频响特性并非理想信道, 可考虑在数字域对其进行补偿以提高系统性能。

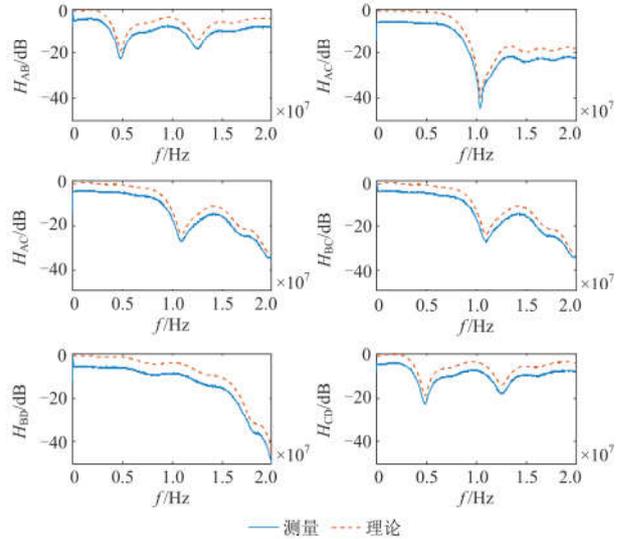


图 9 测量信道与理论信道的对比

Fig. 9 Comparison of measurement channels with theoretical channels

为更加细致地分析测量信道与理论信道的差异, 图 10 给出了它们的绝对差值。可以发现, 在整个 100 kHz~20 MHz 频段内, 两者绝对差值相对平坦, 对于深衰落处的幅值存在一定的误差, 但整体误差不超过 6 dB, 基本能够满足信道仿真器的设计需求。

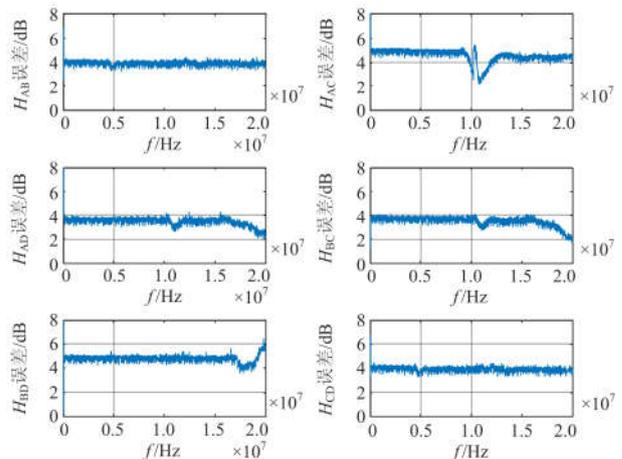


图 10 测量信道与理论信道之间的误差

Fig. 10 Error between the measured channels and the theoretical channels

5 总结

为了给电力线载波产品的相关测试提供便捷高效的硬件平台支撑, 本文基于 System Generator 平台设计了多节点的低压宽带电力线信道仿真器并通过 FPGA 进行了实现。该信道仿真器包括 AD 采样模块、信号处理模块以及 DA 模块。结果显示在整个 100 kHz~20 MHz 频段内, 理论数据与实测数据趋势一致且绝对差值相对平坦, 对于深衰落处的幅值存在一定的误差, 但整体误差不超过 6 dB。结果表明, 该电力线信道仿真器能够根据实际电力线场景对相应的宽带电力线信道衰落进行模拟。该信道仿真器还可以通过在 FPGA 中实现不同噪声信号然后叠加至信道中, 从而对电力线载波产品的性能进行更为全面的测试, 如抗噪声干扰性能测试, 这也是本文后续重点研究内容之一。

参考文献

- [1] 李映雪, 朱文广, 黄超, 等. 基于自组织临界性的电力异构通信网络稳定性研究[J]. 电力系统保护与控制, 2017, 45(5): 118-122.
LI Yingxue, ZHU Wenguang, HUANG Chao, et al. Research on power heterogeneous communications network stability with SOC[J]. Power System Protection and Control, 2017, 45(5): 118-122.
- [2] 索超男, 张慧, 赵雄文. 小波基在低压电力线信道有色背景噪声建模中的应用研究[J]. 电力系统保护与控制, 2017, 45(4): 121-125.
SUO Chaonan, ZHANG Hui, ZHAO Xiongwen. Research on the application of wavelet basis functions in modeling of colored background noise for low-voltage power line channels[J]. Power System Protection and Control, 2017, 45(4): 121-125.
- [3] 孙可, 吴臻, 尚楠, 等. 以省为实体的区域能源互联网内涵框架及发展方向分析[J]. 电力系统保护与控制, 2017, 45(5): 1-9.
SUN Ke, WU Zhen, SHANG Nan, et al. Provincial regional energy internet framework and development tendency analysis[J]. Power System Protection and Control, 2017, 45(5): 1-9.
- [4] 张保会, 付科源, 郑涛, 等. 用电设备智(自)联网的概念与实现技术(三)——电力线通信关键技术[J]. 电力系统保护与控制, 2013, 41(8): 1-6.
ZHANG Baohui, FU Keyuan, ZHENG Tao, et al. Conception and technology for the smart (autonomous) internet of power consumption equipments part 3: key technologies of powerline communications[J]. Power System Protection and Control, 2013, 41(1): 1-6.
- [5] 戚佳金, 陈雪萍, 刘晓胜. 低压电力线载波通信技术研究进展[J]. 电网技术, 2010, 34(5): 161-172.
QI Jiajin, CHEN Xueping, LIU Xiaosheng. Advances of Research on low-voltage power line carrier communication technology[J]. Power System Technology, 2010, 34(5): 161-172.
- [6] 张有兵, 赵振华, 翁国庆, 等. 基于 FPGA 的电力线信道实时仿真系统实现[J]. 电力自动化设备, 2011, 31(8): 122-126.
ZHANG Youbing, ZHAO Zhenhua, WENG Guoqing, et al. Real-time simulation of power line communication channels based on FPGA[J]. Electric Power Automation Equipment, 2011, 31(8): 122-126.
- [7] 陆阳, 李建岐, 胡超. 基于 FPGA 的跨频带 PLC 信道模拟方法与实现[J]. 电子技术应用, 2015, 41(10): 92-95.
LU Yang, LI Jianqi, HU Chao. FPGA-based cross-band PLC channel emulation method and its implementation[J]. Application of Electronic Technique, 2015, 41(10): 92-95.
- [8] WELING N, ENGELEN A, THIEL S. Broadband MIMO powerline channel emulator[C] // IEEE International Symposium on Power Line Communications and Its Applications, March 30-April 2, 2014, Glasgow, UK: 105-110.
- [9] 冯恒, 李树青. 电力线仿真系统的 FPGA 设计与实现[J]. 电子科技, 2012, 25(5): 34-37.
FENG Heng, LI Shuqing. Design and realization of power line simulation system on FPGA[J]. Electronic Science & Technology, 2012, 25(5): 34-37.
- [10] PHILIPPS H. Modelling of powerline communication channels[C] // IEEE International Symposium on Power Line Communications and Its Applications, 1999: 14-21.
- [11] ZIMMERMANN M, DOSTERT K. A multipath model for the powerline channel[J]. IEEE Transactions on Communications, 2002, 50(4): 553-559.
- [12] MENG H, CHEN S, GUAN Y L, et al. Modeling of transfer characteristics for the broadband power line communication channel[J]. IEEE Transactions on Power Delivery, 2004, 19(3): 1057-1064.
- [13] BANWELL T, GALLI S. A novel approach to the modeling of the indoor power line channel part I: circuit analysis and companion model[J]. IEEE Transactions on Power Delivery, 2005, 20(2): 655-663.
- [14] GALLI S, BANWELL T. A novel approach to the modeling of the indoor power line channel-part II: transfer function and its properties[J]. IEEE Transactions on Power Delivery, 2005, 20(3): 1869-1878.
- [15] DELESTRE C, NDO G, LABEAU F. A binary tree network topology for statistical and physical PLC channel modeling[C] // IEEE International Symposium on Power Line Communications and Its Applications, March 24-27, 2013, Johannesburg, South Africa: 327-332.
- [16] Omega_D3.2_v1.2_PLC channel.pdf[EB/OL]. [2008-08-01]. <http://www.ict-omega.eu/>.

收稿日期: 2017-08-16; 修回日期: 2017-10-25

作者简介:

王毅(1981—), 男, 通信作者, 博士后, 副教授, 研究方向为电力线通信技术, 能源互联网; E-mail: wangyi81@cqupt.edu.cn

邓子乔(1993—), 男, 硕士研究生, 研究方向为电力线信道建模. E-mail: dengzq1993@163.com

(编辑 魏小丽)