

DOI: 10.7667/PSPC201601

基于高性能 FPGA 的合并单元设计与实现

牟涛¹, 任志航², 樊占峰¹, 赵应兵¹, 郝威¹, 王楠²

(1. 许继电气技术中心, 河南 许昌 461000; 2. 许继集团有限公司, 河南 许昌 461000)

摘要: 介绍了在合并单元功能实现中 FPGA 高实时性、高精度、高可靠性的应用, 重点介绍了采用 FPGA 实现合并单元点对点 SV 报文收发的方法, 通过 FPGA 实现合并单元时间同步及守时的原理及方法。在点对点 SV 报文收发过程中, FPGA 控制 DM9000C, 将接收到的 SV 报文放在 FIFO 中缓存, 并通过内部定时器对接收的报文打时标, 在 SV 报文接收的间隙, FPGA 配合 CPU 精确地控制 SV 报文的发送时间, 保证其离散性控制在 100 ns 以内。在对时状态下, 通过 FPGA 解析 B 码和 1588 对时信息, 保持合并单元的时间同步, 并采用跟随算法记录秒脉冲时间间隔。在丢失外部同步信号时, FPGA 时间同步模块无缝切换到守时状态, 并能在长时间内保证合并单元的守时精度。

关键词: 合并单元; FPGA; IEC61850; 时钟同步; 点对点 SV

Realization of the critical technologies merging unit based on FPGA

MU Tao¹, REN Zhihang², FAN Zhanfeng¹, ZHAO Yingbing¹, HAO Wei¹, WANG Nan²

(1. XJ Electric Technology Center, Xuchang 461000, China; 2. XJ Group Corporation, Xuchang 461000, China)

Abstract: This paper introduces the features of high real-time performance, high precision, and high reliability of FPGA in merging unit function implementation. It mainly introduces the point-to-point SV message sending and receiving method by adopting FPGA. The method and the principle of realizing merging unit time synchronization and punctuality via FPGA. In the process of point-to-point SV sending and receiving, FPGA controls DM9000C, caches the received message of SV in FIFO, and marks the time scale of the received message through the internal timer. During the interval of SV message receiving, FPGA, cooperating with the CPU, controls SV packet delivery time precisely, and guarantees its discreteness not more than 100 ns. In synchronism state, B code and 1588 time synchronization information are parsed through FPGA to accurately keep time synchronized of the merging unit, and the following algorithm is used to record the interval of second pulse time. When the external synchronization signal is lost, FPGA time synchronization module will be switched to punctuality state, which can keep punctuality precision of merging unit in a long time.

Key words: merging unit; FPGA; IEC61850; time synchronization; PTP SV

0 引言

合并单元(简称 MU)是一种对一次互感器传输过来的电气量进行合并和同步处理, 并将处理后的数字信号按照特定格式转发给间隔层设备使用的装置, 是电子式电流、电压互感器的接口装置。合并单元在一定程度上实现了过程层数据的共享和数字化, 它作为遵循 IEC61850 标准的数字化变电站间隔层、站控层设备的数据来源, 作用十分重要。随着数字化变电站自动化技术的推广和工程建设, 对合并单元的功能和性能要求越来越高^[1-4]。

FPGA 工作时钟频率高, 内部延时小, 运行速

度快, 全部控制逻辑由硬件完成, 这些特点保证了逻辑实现的实时性和稳定性。FPGA 可以在内部实现对数据并行处理的机制, 较微处理器芯片精度更高, 速度更快, 能满足合并单元对信息处理的高精度, 大流量, 高实时性的要求, 作为合并单元数据处理的重要器件, FPGA 在合并单元功能实现和性能提升上扮演了越来越重要的角色。

1 点对点 SV 报文收发的 FPGA 实现

合并单元的一个主要作用是把采集器的数据进行打包处理, 并通过 SV 报文上送给保护装置。SV 报文是数字化变电站中广泛使用的一种以太网报

文, 主要用来传送电流电压等模拟量信息。

传统的以太网存在着网络延时, 网络阻塞等各种不稳定因素, 为了提高保护系统的可靠性, 合并单元与保护装置之间采用点对点的连接方式, 对 SV 的均匀性和可靠性提出了较高的要求, 其中要求 SV 报文均匀性的离散度不超过 $10 \mu\text{s}^{[5-6]}$ 。

合并单元主要分为两种, 一种是母线合并单元, 一种是间隔合并单元。间隔合并单元在发送 SV 报文的同时, 还要接收母线合并单元的级联过来的 SV 报文信息^[7]。

1.1 FPGA 实现点对点 SV 收发机制

整个系统的实现原理如图 1 所示, 硬件上主要由 CPU, FPGA 和 DM9000C 组成, DM9000C 是目前应用最广泛的以太网接口芯片, 内部集成了 MAC 和 PHY。CPU 通过总线和 FPGA 进行数据通信, FPGA 通过 DM9000C 的数据接口来驱动 DM9000C 进行报文的收发。FPGA 是系统实现的核心部分。在 FPGA 内部构建一个 32 位的定时器, 恒温晶振给定时器提供了稳定可靠的时钟, 时钟通过内部 DCM 倍频为 100 MHz, 计时器的最小分辨率可以达到 10 ns, 保证了系统的精度和可靠性。

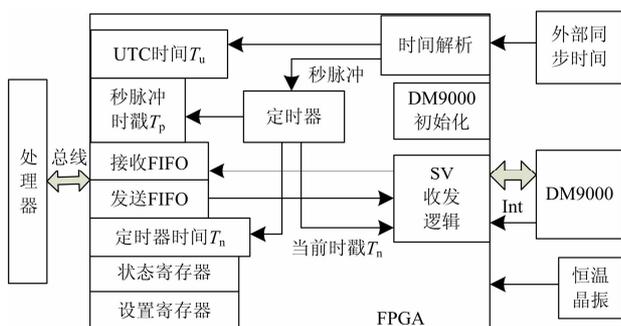


图 1 点对点 SV 报文收发实现原理

Fig. 1 Principle of PTP SV transceiver

系统通过 FPGA 解析外部同步时间信息, 并将其解析为秒脉冲和 UTC 时间, 每一秒的秒脉冲都通过 FPGA 的计时器打上时间戳。定义秒脉冲的时间戳为 T_p , UTC 时间为 T_u , CPU 通过总线来读取 T_p 和 T_u , 并定期读取 FPGA 内部定时器的时间 T_n , 以此方式来实现整个系统的时间同步功能。

系统上电以后, FPGA 先通过内部逻辑将 DM9000C 的各个寄存器初始化。CPU 将 SV 报文打好包, 并根据系统时间信息 T_u 和 FPGA 定时器的当前时间 T_n , 计算出 SV 报文的发送时间 T_s , 并将发送时间 T_s 和发送报文一起打包通过总线写入 FPGA 的发送 FIFO 中, 每写完一帧 FIFO 地址指针加 1。

FPGA 通过控制报文的发送时间, 来实现报文发送的均匀性。同时通过内部的定时器对接收到的 SV 报文打时戳, 以方便 CPU 重采样运算。

1.2 FPGA 实现逻辑

采用 FPGA 控制 SV 收发的逻辑状态机如图 2 所示, DM9000C 初始化完成后进入“查询发送 FIFO”状态, FPGA 内部的 SV 收发逻辑定期查询发送 FIFO 的指针是否有变化, 没有就跳转到“查询 DM9000C 接收缓冲”状态。如果查询到发送 FIFO 中有待发送的报文, 读取报文并将报文解析获得发送时间 T_s , 将报文写入 DM9000C 的发送缓存区, 并将发送标志信号 READY 置为 1。

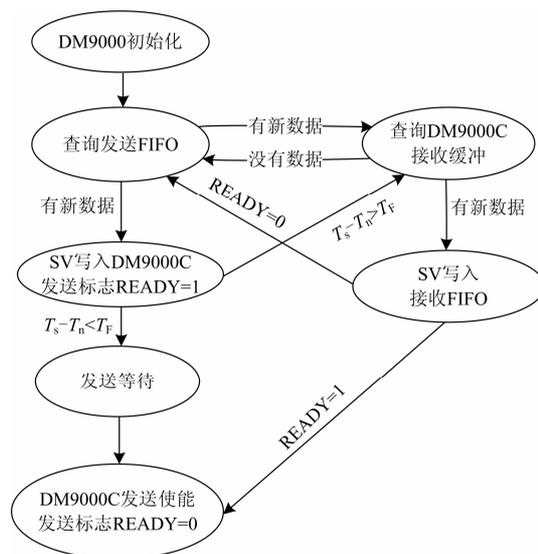


图 2 点对点 SV 的实现逻辑

Fig. 2 Implement logic of PTP SV

SV 发送需等待时间为 $T_w = T_s - T_n$, 定义 DM9000C 发送完一帧报文所需的时间为 T_F , 如果 $T_w < T_F$, 则进入“发送等待”状态, 等待 T_w 变为 0 后, 将 DM9000C 的发送使能寄存器置为有效, 完成一帧数据的发送, 然后将 READY 信号清 0。如果 T_w 足够长且 $T_w > T_F$, 则逻辑跳转到“查询 DM9000C 接收缓冲”状态, 在等待的时间间隙去查询 DM9000C 的接收缓冲是否有数据, 如果有数据, 则状态机跳转进入“接收 SV 写入接收 FIFO”状态。DM9000C 每收到一帧数据, DM9000C 的 INT 信号就会产生一个接收中断信号, FPGA 的收发逻辑要根据内部定时器的时间, 在 INT 信号的下降沿给本帧数据打上时间戳, 然后将时间戳和 SV 报文一起封装, 写入接收 FIFO, 等待 CPU 定时读取。完成一帧数据的接收后, 通过判断 READY 为 1 还是 0, 确认下一个状态是“查询发送 FIFO”, 还

是“DM9000C 发送使能”。

通过 FPGA 内部构建精度达到 10 ns 的定时器，实现了 CPU 和 FPGA 的时间同步功能，利用 CPU 较强的运算能力来打包 SV 报文，通过 FPGA 高实时性的特点来精确控制 SV 报文的发送时间，并通过 FPGA 的高精度定时器将接收报文打时戳。理论上报文的时间误差不会超过 20 ns，考虑到 CPU 计算误差等因素，整个系统的报文收发均匀性不会超过 100 ns。

2 合并单元时间同步的 FPGA 实现

合并单元作为智能变电站过程层的重要组成部分，肩负着电压互感器和电流互感器采样同步，合并上送的重要任务，因此时钟同步的稳定性和可靠性提出了更高的要求，不但要求在外同步状态时具有较高的稳定性和精度，而且在外同步信号丢失后，需无缝切换到守时状态，并在相当长的一段时间内保持较高的守时精度。其中国家电网的《智能变电站技术导则》中规定合并单元的采样同步误差不大于 1 μs，在同步消失后的 10 min 内，能满足 4 μs 的守时精度^[8]。

2.1 时间同步原理及 FPGA 实现

合并单元的时间同步机制如图 3 所示，FPGA 主要用来接收外部同步信号，包括 B 码和 1588 等报文信息，并将其解析为 PPS(秒脉冲)和时间信息。同时，FPGA 将恒温晶振的高精度时钟进行分频，来实现守时功能。FPGA 通过内部状态机跳转，实现 PPS, B 码, 1588 对时等对时方式的切换，以及由对时到守时到自产脉冲等状态的逻辑切换。CPU 接收 FPGA 解析的时间信息和秒脉冲的时间戳，并通过 CPU 的内部 MAC 与 PHY 芯片 DP83640 实现 1588 协议。装置使用恒温晶振作为外部晶振，恒温晶振的典型阿伦方差值一般都在 10⁻⁹ 数量级，有很高的频率稳定度，并且工作频率在内部温度上升到一定范围内，几乎是稳定不变的，保证了整个系统的守时和对时精度^[9]。

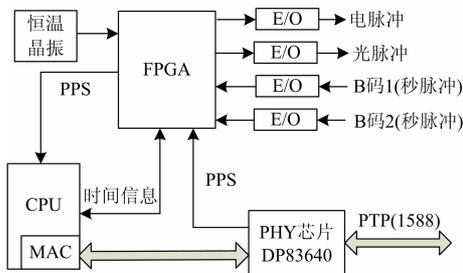


图 3 合并单元同步原理

Fig. 3 Synchronization principle of merging unit

装置上电后检测外部同步信号，如果有外部同步信号则进入同步状态，外部同步光口 1 和光口 2 互为冗余，保证了系统的可靠性。外部同步方式可以通过配置选择 B 码，秒脉冲或者 1588 同步方式。

FPGA 同步逻辑状态切换如图 4 所示，合并单元上电后如果没有检测到外部同步信号则自动进入自产脉冲状态，此时通过 FPGA 分频产生秒脉冲。由于恒温晶振的局限性，在上电的一段时间内，恒温晶振的输出是不稳定的，因此 FPGA 程序必须等待 5 min 的时间，同时在外同步信号的情况下，才能进入守时跟随状态，守时跟随超过 256 s 后进入守时状态，产生守时脉冲，在此状态下，外部同步信号丢失，逻辑自动切换到守时状态，对外输出守时脉冲。如果不满足 256 s 丢失外部同步信号，此时切换到自产脉冲状态。在守时状态下，如果检测到有外部同步信号则自动切换到同步状态。

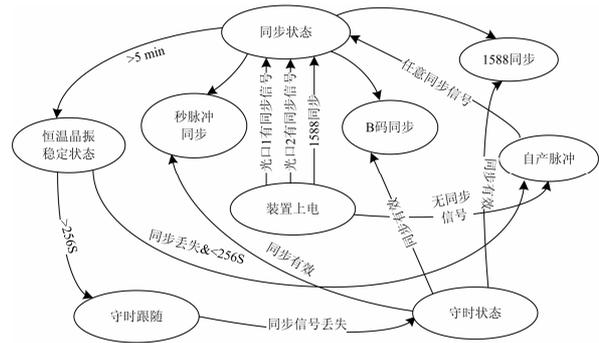


图 4 同步守时状态切换

Fig. 4 Status switching from synchronization to punctuality

2.2 守时原理及 FPGA 实现

合并单元在外同步的过程中，外部同步信号解析出的同步秒脉冲就单个秒脉冲来说都存在一定的误差 ε ， ε 属于随机误差且服从正态分布，样本数为 n ，则有 $\varepsilon \sim n(0, \sigma^2)$ 。

由于随机误差的存在，每个秒脉冲与实际时间存在误差，设 n 个秒时钟实际时间长度序列为 $t_1, t_2, t_3, \dots, t_n$ 每个秒时钟对应的随机误差为 $\varepsilon_1, \varepsilon_2, \varepsilon_3, \dots, \varepsilon_n$ ，标准秒时钟为 t_0 ，则有： $\varepsilon_i = t_i - t_0, i = 1, 2, \dots, n$ 。

由以上得随机误差平均值为

$$\bar{\varepsilon} = \frac{1}{n} \sum_{i=1}^n \varepsilon_i = \frac{1}{n} \sum_{i=1}^n (t_i - t_0) \quad (1)$$

在样本时间 n 足够长时，其累计误差趋于 0，

即 $n \rightarrow \infty, \sum_{i=1}^n \varepsilon_i = 0$ 。

可以利用该特性实现高精度守时功能。这里 n 值越大越好, 但 n 值越大其占用的 FPGA 资源越多。这里选 $n=256$, 经验证已经能够很好地满足守时精度要求^[10-11]。

守时精度的另一个误差是计数误差, 设同步脉冲一个周期的计数值为 N , 外部恒温晶振的时钟周期为 T_{clk} , 守时脉冲的周期为 t , 则

$$t = T_{clk} \times (N \pm 1) \quad (2)$$

从公式(2)可以看出, 单个脉冲的计数值存在一个 T_{clk} 的计算误差。而采用我们的守时算法, n 个秒脉冲的计数值为

$$\sum_{i=1}^n t_i = T_{clk} \times [(N \times n) \pm 1] \quad (3)$$

当 $n=256$ 时, 平均单个脉冲的计算误差变为 $T_{CLK}/256$, 即原来误差的 $1/256$, 因此守时精度得到大幅提高。

如图 5 所示, 在 FPGA 内部构建一个深度为 256 的双口 RAM, 双口 RAM 具有独立的读写两个地址和数据总线, 能够在写数据的同时读取数据。在外部同步状态下, FPGA 生成一个计数器记录外部同步脉冲的时间间隔 t_n , 并在每个脉冲的上升沿将计数器清零, $t_1 \sim t_{256}$ 依次保存在 RAM 中 1~256 的地址空间, 存够一个循环后再从首地址重新开始, 并且发出一个信号, 激活守时模块, 守时模块开始工作, 守时模块通过依次读取 $t_1 \sim t_{256}$ 的值构建新的守时脉冲, 并且每 256 s 循环一次, 由此完成对当前同步信号的跟随。当外部同步信号丢失后, 输出脉冲自动由外部同步信号切换到守时脉冲, 完成对时守时的无缝切换。根据正态分布的原理, 当 n 越大, 误差越小, 守时的精度也就越高^[12-13]。

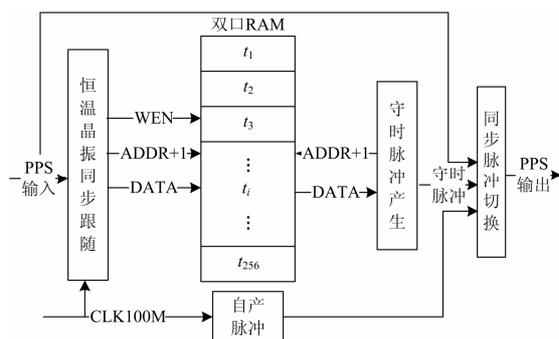


图 5 守时实现机制

Fig. 5 Realization mechanism of punctuality

3 结语

本文的方案应用于许继 DMU-831/N 系列合并

单元, 并通过了国家继电保护及自动化保护设备检测中心开普实验室的型式试验, 守时和对时精度测试结果见表 1。

表 1 时间同步测试结果
Table 1 Test result of synchronization

	规范	B 码模式	1588 模式
对时误差	1 μ s	160 ns	180 ns
守时误差 (10 min)	4 μ s	1.04 μ s	1.40 μ s

可以看出测试结果远远高于合并单元技术规范中的要求, 其中点对点 SV 报文离散性测试结果如图 6 所示。

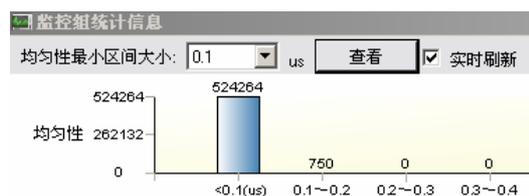


图 6 点对点 SV 离散性测试结果

Fig. 6 Discreteness result of PTP SV

测试结果来源于 RTS-100DG 继电保护测试仪, 其实际离散性小于 100 ns, 远高于 10 μ s 的要求。由此可见采用 FPGA 实现合并单元的主要功能, 能大幅提升合并单元的性能。

参考文献

- [1] Q/GDW 441-2010 智能变电站继电保护技术规范[S].
Q/GDW 441-2010 technical specification of protection for smart substation[S].
- [2] GB/T 20840.8-2007 互感器 第 7 部分: 电子式电压互感器[S].
GB/T 20840.8-2007 instrument transformers-part 7: electronic voltage transformers[S].
- [3] GB/T 20840.8-2007 互感器 第 8 部分: 电子式电流互感器[S].
GB/T 20840.8-2007 instrument transformers-part 8: electronic current transformers[S].
- [4] IEC 61850-8-1 communication networks and systems in substations, part 8-1: specific communication service mapping (SCSM) mappings to MMS (ISO 9506-1 and ISO 9506-2) and to ISO/IEC 8802-3[S].
- [5] UCA. Implementation guideline for digital interface to instrument transformers using IEC 61850-9-2[S].
- [6] 路光辉, 邓宇, 周钟. 一种基于 FT3 光纤通信的新型避雷器监测方案[J]. 电力系统保护与控制, 2015, 43(20): 119-124.

- LU Guanghui, DENG Yu, ZHOU Zhong. A new solution of lightning arrester monitoring system based on FT3 optical fiber communications[J]. Power System Protection and Control, 2015, 43(20): 119-124.
- [7] 牟涛, 周水斌, 赵应兵, 等. 基于可编程芯片技术的电子式互感器数据采集[J]. 低压电器, 2013(5): 78-81.
- MU Tao, ZHOU Shuibin, ZHAO Yingbing, et al. The data acquisition of electronic transformer based on SOPC[J]. Low Voltage Apparatus, 2013(5): 78-81.
- [8] 史帅斌, 王昕. 一种高兼容性数字式电能质量监测装置[J]. 电器与能效管理技术, 2015(7): 54-59.
- SHI Shuaibin, WANG Xin. A digital power quality monitoring equipment with high compatibility performance[J]. Electrical & Energy Management Technology, 2015(7) : 54-59.
- [9] 史皓然, 方春恩, 李伟, 等. 基于 FPGA 的合并单元数据传输编解码模块的研究[J]. 电器与能效管理技术, 2015(23): 23-28.
- SHI Haoran, FANG Chunen, LI Wei, et al. Research of data transmission and code module in merging unit based on FPGA[J]. Electrical & Energy Management Technology, 2015(23): 23-28.
- [10] 尹明, 田志国, 周水斌. 基于 ROGOVSKI 线圈的数字积分器实用化研究[J]. 电力系统保护与控制, 2010, 38(16): 57-63.
- YIN Ming, TIAN Zhiguo, ZHOU Shuibin. Research on practicability of digital integrator based on ROGOVSKI coil[J]. Power System Protection and Control, 2010, 38(16): 57-63.
- [11] 牟涛, 周丽娟, 周水斌, 等. 高精度电子式电流互感器采集器的设计[J]. 电力系统保护与控制, 2011, 39(20): 141-144.
- MU Tao, ZHOU Lijuan, ZHOU Shuibin, et al. The design of high precision electronic current transformer[J]. Power System Protection and Control, 2011, 39(20): 141-144.
- [12] 李帅, 虞小燕, 龚世敏, 等. 数字量输入合并单元的白噪声处理[J]. 电力系统保护与控制, 2016, 44(5): 128-133.
- LI Shuai, YU Xiaoyan, GONG Shimin, et al. White noise processing in merging unit of digital input[J]. Power System Protection and Control, 2016, 44(5): 128-133.
- [13] 牟涛, 周水斌, 王晓锋. 断路器机构状态监测数据采集的实现[J]. 低压电器, 2013(3): 43-48.
- MU Tao, ZHOU Shuibin, WANG Xiaofeng. Data acquisition in the mechanical condition monitoring of breaker[J]. Low Voltage Apparatus, 2013(3): 43-48.

收稿日期: 2016-04-11; 修回日期: 2016-06-01

作者简介:

牟涛(1981-), 男, 硕士, 工程师, 从事智能变电站设备研发工作; E-mail: 13653744847@139.com

任志航(1973-), 男, 工程师, 从事保护自动化系统设计工作。

(编辑 葛艳娜)