

多核处理器在智能间隔装置中的应用探讨

高传发, 王振华, 任华锋

(许继电气有限公司技术中心, 河南 许昌 461000)

摘要: 在智能间隔装置中提高系统的主频, 装置的发热与成本会急剧地增加, 但性能并不会成倍地提高。阐述了在智能间隔装置中使用多核处理器其硬件及软件上的优越性。通过一个应用实例, 分析了多核装置的内核引导顺序及引导方式, 解析了内核间内存分配模式, 剖析了多核的中断处理方式、多核操作的软件可靠性和数据安全性, 并详细说明了智能间隔装置中内核间任务分解的方式。相对于单核处理器而言, 在智能间隔设备中使用多核处理器, 通过合理的任务分解和中断向量的分配, 会极大地提高系统的运算速度, 但系统的发热及功耗相对增加很少, 可以大大提高设备的性能, 降低设备的成本。

关键词: 多核处理器; 间隔装置; 智能设备; 对称处理; 负荷平衡

Discussion about multicore processor application in smart bay equipment

GAO Chuan-fa, WANG Zhen-hua, REN Hua-feng

(XJ Electric Corporation, Xuchang 461000, China)

Abstract: By improving system frequency in smart bay equipment, the device heating and cost will increase sharply, but the device performance would not increase doubled. This paper analyses the hardware advantage and software advantage of multicore processor used in smart bay equipment. Through an application example, this paper analyses the multicore boot mode and boot sequence, parses the memory arrangement among cores, probes the multicore interrupt dealing mode, construes the software security and data reliability about multicore operation, and expounds the task distribution among cores in smart bay equipment. Relative to a single core processor, when multicore processor is used, the calculation speed can be greatly increased by logical task arrangement or interrupt distribution, but the system heating and power consume increase relatively little, and then the performance improves greatly, and the equipment price reduces significantly.

Key words: multicore processor; bay device; smart equipment; symmetric multi-processor; load balance

中图分类号: TM774 文献标识码: A 文章编号: 1674-3415(2011)06-0131-04

0 引言

伴随电子式互感器、智能终端等具有数字化接口的智能一次设备的发展, 在以太网通信平台的基础上采用IEC61850数据建模和通信服务协议, 实现了变电站监测信号、控制命令、保护跳闸命令的数字化采集、传输、处理和数据共享, 使智能变电站得到快速的发展^[1]。

但在智能变电站的发展过程中, 对于间隔层各设备(包括各种保护装置、自动化装置等)来说, 要对各个间隔过程层的实时数据信息进行汇总; 要完成各种保护、自动控制、逻辑控制功能的运算、判别、发令; 要完成各个间隔及全站操作联闭锁以及同期功能的判别; 要执行数据的承上启下通信传输功能, 同时还要完成与过程层及站控层的网络通信功能^[2], 这就对其主频和运算速度提出了更高的

要求。在智能间隔装置中使用多核处理器将是一个趋势, 本文将对此作进一步的探讨。

1 多核处理器硬件的优越性

相对于单核处理器系统来说, 多核处理器系统的硬件及软件系统更复杂, 但是却获得了更佳的性能。如果在单核上获得有相同的性能, 就需要提高系统的频率, 但伴随系统频率的提高, 带来了负作用。

第一, 伴随系统频率的提高, 系统的功耗也跟着提高了, 发热也提高了, 就需要更先进的散热设备, 同时也降低了系统的可靠性, 缩短了系统的寿命。可以说, 提高系统频率就需要增加更多的花费^[3]。

第二, 一般来说, 频率提高到两倍, 功耗就会提高到四倍。但是, 双倍的频率并不能提高到双倍

的性能。举个例子来说，对于并行指令，乱序指令，流水线操作等技术并不能随频率的提高而成比率地提高。象流水线指令的一些阶段内部需要一定的时序要求，可能与处理器频率的提高并不一致，就需要一些附加的执行周期^[4]。

第三，系统内存速度的匹配也是一个大问题。由于高速内核速度与低速片外内存、片外的IO系统需要速率的匹配，提高处理器的频率需要大量的快速的片内CACHE，就需要更大的功耗^[5]。

可以说使用多核处理器可以更方便地提高间隔设备的性能，但增加更少的功耗。

2 多核处理器的软件优越性

在间隔装置里使用多核处理器的根本目的是为了提多任务的并行处理而提高间隔装置的性能，这可以通过在多核处理器的各个内核分别并行处理多个独立的任务来实现。

在一个应用程序里，有串行代码也有并行代码，一个典型的应用的加速系数可以按Amdahl定律这样预测：

$$S(p) = 1 / (S + (1 - S) / N)$$

式中：S 是串行运算的运算比率；N 是并行运算的处理器个数。

当S = 5%，N = 2时，S(p) = 1.905左右。

当S = 5%，N = 10时，S(p) = 6.89左右。

可见，在有限的处理器个数内，处理器个数的增加会大大地提高运算速度。在单核处理器中，对多任务的处理是依靠时间片而使人幻想多任务的存在。但在多核处理器里，可以完成真正的多任务的处理。还有一点，在多核处理器里合理地分配中断向量，可以更有效地降低中断处理上下文的时间占有率。并且，多核处理器已经有许多成熟的操作系统支持，包括对称多处理技术^[6]（SMP）的操作系统和非对称多处理技术^[7]的操作系统（AMP）。见图1。

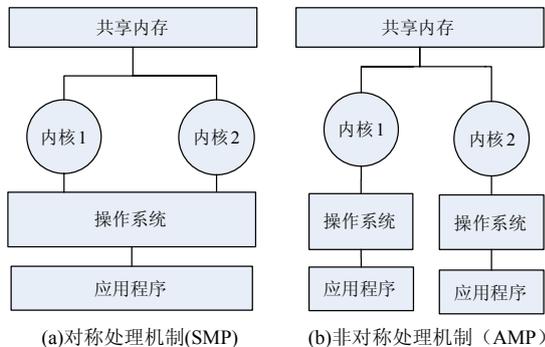


图1 对称处理机制与非对称处理机制比较

Fig.1 Comparison between SMP and AMP

在非对称多处理技术里，硬件给各个内核分配特定的任务，使每个内核的负荷平衡，每个内核都拥有自己的内存区而单独运行，处理流水线的特定阶段的任务。而在对称多处理技术里，各个内核在系统里像一个内核在运行。由于多个内核均一地共享内存，这样任何任务或进程都可以在任何时候分配给任何内核。

本文采用非对称处理机制来描述。

3 多核处理器在智能间隔装置中应用举例

飞思卡尔公司QorIQ P2平台系列的P2020通信处理器具有极高性能功耗比。

(1) 双核高性能Power Architecture e500核心，支持双精度浮点，每核心带32 KB一级指令高速缓存以及32 KB一级数据缓存，支持800 MHz至1.2 GHz时钟频率。

(2) 具有ECC功能的512 KB二级高速缓存。还可配置为SRAM以及缓冲存储器。

(3) 三个10/100/1000 Mbps增强型三速以太网控制器（eTSEC）。

(4) 支持ECC的64位DDR2/DDR3 SDRAM控制器。

(5) 可编程中断控制器（PIC），符合OpenPIC标准。

(6) 增强型本地总线控制器（eLBC）。

P2020处理器支持对称式与非对称式多任务处理，让用户能够通过线程级或应用程序级的并行机制来提升性能。

在智能间隔装置中，在多核间优化任务分解模式、数据分解模式及数据共享模式是非常重要的。现在举例说明多核处理器的内核引导，内存分配、中断处理方式、软件可靠性、数据安全性及多核处理器任务的分解方式。

3.1 多核处理器内核的引导^[8]

在P2020处理器中使用AMP（非对称处理）机制时，可以先将内核1引导起来，然后将内核2的引导程序拷贝到引导区，将内核2引导起来，并将内核2的操作系统加载，最后内核1再将自己的操作系统加载起来。这时两个内核的操作系统就独立运行起来了。见图2。

3.2 多核间内存分配

在数据分解上，除了共享的内存区外，每个内核分别使用自己的内存区和外围数据设备。图3是双核的内存分配应用举例。

在图3中，内核CORE1使用：DDR2内存1，PCIE1，LBus Bank0及部分片内外围（CCSR）设备，

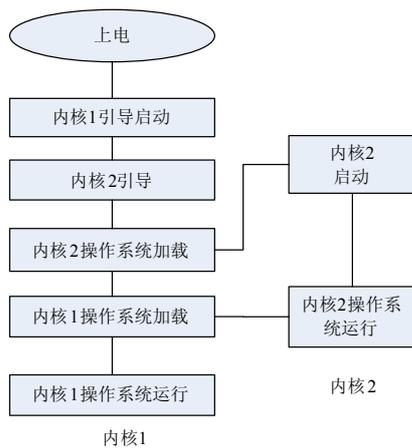


图2 P2020双核操作系统引导举例
Fig.2 P2020 dual core OS boot example

例如异步串口UART1；而内核CORE2使用：DDR2内存2, PCIE2, LBus Bank1及部分片内外围(CCSR)设备，例如异步串口UART2。这样，每个内核使用的数据区就不会有重叠的部分。

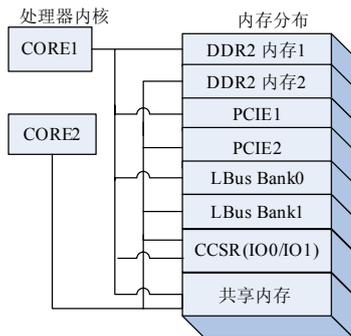


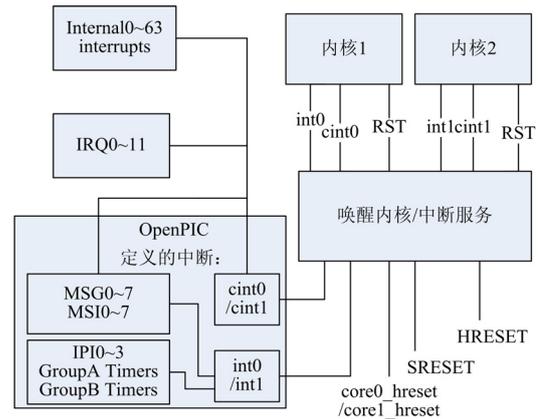
图3 多核间内存分配应用举例
Fig.3 Multicore memory arrangement example

3.3 多核间中断分配

P2020处理器提供了大量的中断源，见图4：

- MSG0~MSG7 OpenPIC定义的信息中断
- MSI0~MSI7 PCIE的输入信号量中断
- IPI0~IPI3 处理器内核间中断
- GroupA timers 定时器中断A
- GroupB timers 定时器中断B
- IRQ[0~11] INTx外部中断
- Internal0~63 片上外围中断

在多核处理器的执行中，中断控制器根据需要将每个内核复制一份中断信号。例如，INT0指向内核1，而INT1指向内核2。在多核处理器中合理地分配中断向量，例如定时器中断A分配给内核1，而定时器中断B分配给内核2，可以更有效地降低中断处理上下文的时间占有率，更好地满足内核间的负荷均衡。



(注：HRESET为硬件复位信号，SRESET为软件复位信号，core0_hreset/core1_hreset为OpenPIC中断控制器定义的内核间复位信号。)

图4 多核处理器P2020中断源框图

Fig.4 Multicore processor P2020 interrupt source

3.4 多核处理器的软件可靠性和数据安全性

在图4中断源中，IPI0—IPI3及MSG0—MSG7可以在内核间紧急交换数据信息时使用，这样可以保证在内核之间快速提供同步信息。在AMP系统中，各个内核分别使用各自的中断向量、内存空间和操作系统，处理各个内核自己的文件系统，具有极高的软件可靠性。

在多核处理器中运行的操作系统，需要使用自旋锁访问临界区域。当一个内核或进程在处理共用内存时，需要对另外的内核或进程进行互斥，直到本内核或进程处理完成^[9]。P2020的E500内核里提供的原子操作指令，可以完成这样的功能。在多核处理器共享内存时就可以使用原子操作或软件自旋锁进行互斥操作，轻松地实现内核之间交换数据。所以说多核处理器的各个内核之间交换数据是安全的、可靠的。

3.5 多核处理器任务的分解

图5是一个多核处理器任务分解的例子。在该例子中，一个内核（内核1）主要管理与过程层交互数据的平台（即运行任务1），主要处理从各间隔电子互感器采集采样数据，处理GOOSE信息，负责本装置的同步对时功能，完成与过程层的网络通信功能等^[10]，并将处理完的过程层数据信息通过DDR共享内存传递给内核2，同时从内核2接收来自站控层的数据信息。而另一个内核（内核2）主要管理与站控层交互数据的平台（即运行任务2），主要处理完成各种保护、测控功能的运算判别，完成各个间隔、全站操作联锁及同期功能的判别，完成与站控层的网络通信功能等^[11]，并将处理完的站控层数据信

息通过DDR共享内存传递给内核1,同时从内核1接收来自过程层的数据信息。

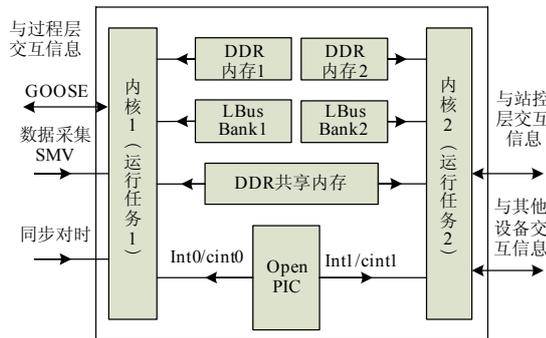


图5 多核任务分解举例

Fig.5 Multicore task distribution example

在智能间隔装置中,合理地各个内核间分配任务,给各个任务分配特定的系统资源,尽量让各个内核达到负荷平衡,可以更好地维护装置的优越性能。

4 总结

在设备中使用多核处理器,可以大大提高设备的性能,但系统的发热及功耗相对增加很少。通过在多核处理器里并行处理多个独立的任务,合理分配中断向量,会大大地提高系统的运算速度。随着智能电网测量数字化、控制网络化、状态可视化、功能一体化、信息互动化的发展^[12],多核处理器将在其中扮演重要的角色。

参考文献

- [1] 陈树勇, 宋书芳, 李兰欣, 等. 智能电网技术综述[J]. 电网技术, 2009, 33(8).
CHEN Shu-yong, SONG Shu-fang, LI Lan-xin, et al. Survey on smart grid technology[J]. Power System Technology, 2009, 33(8).
- [2] 丁峰, 陆承宇. 基于IEC61850标准的变电站防误闭锁工程应用[J]. 电力系统保护与控制, 2010, 38(9): 96-99.
DING Feng, LU Cheng-yu. The engineering application of interlocking in substation base on IEC-61850[J]. Power System Protection and Control, 2010, 38(9): 96-99.
- [3] 郝松, 都志辉, 王曼, 等. 多核处理器降低功耗技术综述[J]. 计算机科学, 2007, 34(11).
HAO Song, DU Zhi-hui, WANG Man, et al. Survey on multi-core processors power consumption reducing technologies[J]. Computer Science, 2009, 33(8).

- [4] Freescale Semiconductor, Inc. Embedded multicore: an Introduction[EB/OL]. [2009-07].
http://www.freescale.com/files/32bit/doc/ref_manual/EMBMCRM.pdf.
- [5] Frank Schirrmester, Imperas, Inc. Multicore processors: fundamentals, trends, and challenges[EB/OL].
http://www.industrialcontrols.eet-china.com/PDF/2007AUG/ICCOL_2007AUG09_PRCO_EMSW_TA_02.pdf
- [6] Wikipedia org. Symmetric multiprocessing [EB/OL].
http://en.wikipedia.org/wiki/Symmetric_multiprocessing.
- [7] Wikipedia org. Asymmetric multiprocessing [EB/OL].
http://en.wikipedia.org/wiki/Asymmetric_multiprocessing.
- [8] Freescale Semiconductor, Inc. SMP boot process for dual E500 cores[EB/OL]. [2008-01].
http://cache.freescale.com/files/32bit/doc/app_note/AN3542.pdf
- [9] 王齐. Linux PowerPC详解:核心篇[M]. 北京: 机械工业出版社, 2007.
WANG Qi. Linux power PC illustrated: kernel[M]. Beijing: China Machine Press, 2007.
- [10] 宋喻, 田丽平. IEC61850标准下合并单元的研究[J]. 电力系统保护与控制, 2009, 37(24): 146-149.
SONG Yu, TIAN Li-ping. Research on merging unit based on IEC61850[J]. Power System Protection and Control, 2009, 37(24): 146-149.
- [11] 鞠阳. 数字化变电站的网络通信模式[J]. 电力系统保护与控制, 2010, 38(1): 92-95.
JU Yang. Modes of web communication of digital substation[J]. Power System Protection and Control, 2010, 38(1): 92-95.
- [12] 高翔. 数字化变电站应用技术[M]. 北京: 中国电力出版社, 2008.
GAO Xiang. Application technology in digital substation[M]. Beijing: China Electric Power Press, 2008.

收稿日期: 2010-04-07; 修回日期: 2010-05-04

作者简介:

高传发(1972-), 男, 工程师, 本科, 长期从事继电保护及自动装置产品研发工作; E-mail: gaochuanfa@xjgc.com

王振华(1978-), 男, 高级工程师, 硕士, 长期从事继电保护及自动装置产品研发工作;

任华锋(1976-), 男, 工程师, 本科, 主要从事变电站自动化研发工作。