

# UPFC 控制器 IP 设计

李兰英, 沈艳红

(哈尔滨理工大学计算机科学与技术学院, 黑龙江 哈尔滨 150080)

**摘要:** 针对统一潮流控制器 (UPFC) 的物理模型控制系统实现时要求频率跟踪电网、幅值和相位连续可调的关键技术问题, 采用现场可编程门阵列 (FPGA) 的设计方法, 给出了 UPFC 物理模型控制系统的 FPGA 解决方案。阐述了其软硬件设计思想和方法, 利用 Altera 公司的 EDA 开发工具 Quartus II, 采用开关损耗最小脉宽调制 (PWM) 方法设计了一个基于 Avalon 总线接口的统一潮流控制器的 IP 核, 给出了 UPFC IP 核的功能及其结构, 对调制波幅值和相位设置、调制波寻址、数据查找及幅值计算等子模块进行了详细描述, 并利用 Simulator 和嵌入式逻辑分析仪 SignalTap II 进行了仿真验证。UPFC 的 FPGA 解决方案使其整体性能大幅度提高。

**关键词:** 统一潮流控制器; 现场可编程门阵列; 开关损耗最小脉宽调制; IP 核; 仿真

## IP design of unified power flow controller

LI Lan-ying, SHEN Yan-hong

(Computer Science & Technology College, Harbin Univ of Sci and Tech, Harbin 150080, China)

**Abstract:** Aiming at the key technology of physical model implement of the Unified Power Flow Controller (UPFC) which requires power network tracking of frequency, amplitude value and phase continuously regulated, by using design method of FPGA, an implement scheme of UPFC physical model is presented. The design thoughts and methods of hardware and software are proposed. By using Altera Quartus II, an IP core based on Avalon bus which adopts minimal switching losses Pulse Width Modulation (PWM) technology is designed, the system architecture and detailed design methods of every submodule are introduced which include the setting module of modulation wave amplitude and phase, modulation wave addressing module, data searching and amplitude calculation module. The effectiveness of the UPFC IP core is illustrated through simulation of Simulator and SignalTap II. The performance of the UPFC based on FPGA is improved greatly.

**Key words:** unified power flow controller; field programmable gate array; minimal switching losses PWM; IP core; simulation

中图分类号: TM762 文献标识码: A 文章编号: 1674-3415(2010)11-0104-05

## 0 引言

Altera 公司的 32 位 Nios II 嵌入式处理器软核概念的提出及 FPGA (Field Programmable Gate Array, 现场可编程门阵列) 软硬件综合解决方案, 彻底颠覆了传统的系统设计理念, 从硬件和软件整体设计上将系统设计进行了极大的推动, 使得系统的硬件电路更加简单有效, 易于理解, 软件设计变得轻松、移植性更强<sup>[1]</sup>。SOPC 一般采用大容量 FPGA 作为载体, 除了在一片 FPGA 中定制 MCU 处理器和 DSP 功能模块外, 还可以设计其他逻辑功能模块。Altera 提供的 SOPC Builder 不仅可以创建和配置用户的 Nios II, 还可以添加自定义 IP 核设计, 它不但可以用硬件实现过去只能通过软件实现的一些算法, 提高了运算处理速度, 而且可以大大

提高系统的集成度、可靠性, 以及抗干扰能力。UPFC 的物理模型控制性能的实现依赖于其控制系统, 控制系统包含两部分, 一是双桥协调控制, 二是两路完全相同的幅值、相角和频率控制。前者主要有上位机实现, 后者由下位机来实现<sup>[2-3]</sup>。下位机主要功能是控制输出逆变波形, 其实现的关键技术是: 输出波形的频率跟踪电网频率; 输出波形的幅值和相位可以调节。开关损耗最小 PWM 调制方式简单实用, 可应用于 UPFC 控制系统。本文重点讨论了其关键技术 UPFC 控制器 IP 核的设计与实现, 并通过计算机仿真和采用 FPGA 进行验证。

## 1 开关损耗最小 PWM 控制原理

在正弦波 PWM 中, 正弦信号波和三角载波进行比较, 在两波形相交时进行开关切换。但在实际

应用中, 变频器的输出端 U、V、W 没有中心点, 只有三个自由度, 换句话说, 此时不考虑相电压, 只要输出三个线电压就可以了。如果适当地利用一下这个多出来的自由度, 将得到性能更好的 PWM 控制方法。这里的开关损耗最小脉宽调制 PWM (Minimize switching losses PWM) 不具备正负半周对称, 称为线电压控制方法, 如图 1 所示。

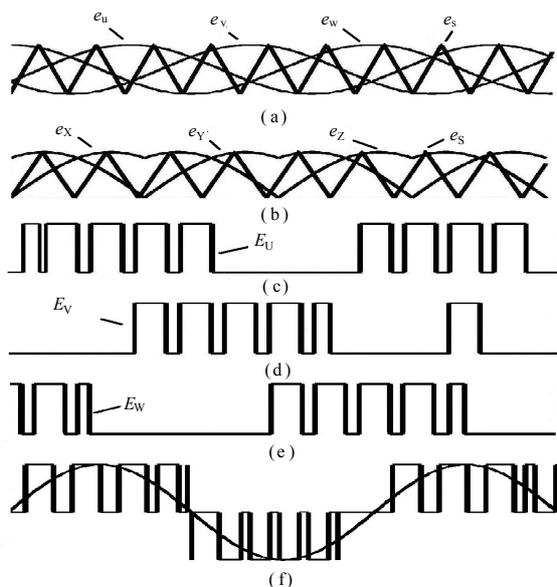


图 1 开关损耗最小 PWM 模式

Fig.1 Minimal switching losses PWM model

图 1 是开关损耗最小 PWM 模式, 图 1 (a) 称为相电压控制方式, 图 1 (b) 称为线电压控制方式。图 1 (a) 给出了  $e_u$ ,  $e_v$ ,  $e_w$  三相电压, 如果给上述相电压同时加上任意偏压  $e_p$ , 作为线电压来说, 由于这些偏压可以相互抵消, 不会出现在线电压里。但是如果巧妙地利用偏压  $e_p$  的特点, 能大大地改善变频器的输出特性。令图 1 (a) 信号波负包络线的极值与三角波的峰值相一致, 取:

$$\begin{aligned} e_p &= -\min(e_u, e_v, e_w) \\ e_x &= e_u + e_p, e_y = e_v + e_p, e_z = e_w + e_p \end{aligned} \quad (1)$$

这样得到的三相调制波形如图 1 (b) 所示。乍一看, 图 1 的波形很复杂, 其实该图上的包络线就是三相线电压的上包络线。式 (1) 表示在  $(0, 2\pi)$  区间内  $\sin$  函数  $e_u$ ,  $e_v$ ,  $e_w$  和偏压  $e_p$  分别叠加, 从而得到调制波函数  $e_x$ ,  $e_y$ ,  $e_z$ 。从实际应用和波形整齐性考虑, 选取如下的  $e_u$ ,  $e_v$ ,  $e_w$  正弦表达式:

$$\begin{aligned} e_u &= \sin\left(t - \frac{\pi}{6}\right) \\ e_v &= \sin\left(t - \frac{5\pi}{6}\right) \\ e_w &= \sin\left(t + \frac{\pi}{2}\right) \end{aligned} \quad (2)$$

由式 (1) 和式 (2) 可以得到相应的  $e_x$ ,  $e_y$ ,  $e_z$  表达式, 式 (3) 为  $e_x$  的表达式。

$$e_x = \begin{cases} \sin t, & t \in (0 \sim 2\pi/3) \\ \sin(t - \pi/3), & t \in (2\pi/3 \sim 4\pi/3) \\ 0, & t \in (4\pi/3, 2\pi) \end{cases} \quad (3)$$

图 1 (a) 是双极性调制, 调制深度可以达到极值; 图 1 (b) 是单极性调制, 调制深度仍然可以达到极值。由  $e_x$ ,  $e_y$ ,  $e_z$  对三角波  $e_s$  调制后 U、V、W 端子的输出电压波形如图 1 (c)、(d)、(e) 所示, 线电压如图 1 (f) 所示。可以看出图 1 (c)、(d)、(e) 中每相功率晶体管只有  $2/3$  周期在工作, 还有  $1/3$  周期处于截止状态, 这就减少了  $1/3$  的开关损耗。在这  $1/3$  周期里, 尽管晶体管不工作, 但输出线电压仍为正弦波<sup>[4]</sup>。

## 2 UPFC 控制器的主要功能

UPFC 控制器主要用来输出三路相位分别相差  $2\pi/3$  的调制波和一路三角波。由于 UPFC 控制系统采用开关损耗最小 PWM 调制技术, 所以要求 UPFC 控制器 IP 核输出的三路调制波频率跟给定电网频率, 其幅值和相位可以根据需要进行调节, 而输出的三角波频率、幅值、相位则保持不变。

UPFC 控制器 IP 的功能结构如图 2 所示。它有六路输入信号和四路输出信号。其中输入信号分别为时钟信号 `clk`、低有效复位信号 `resetrn`、读信号

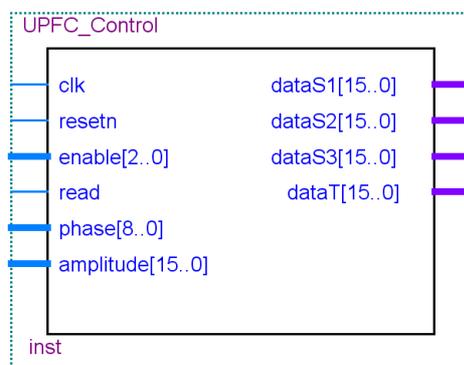


图 2 UPFC\_Control 功能结构图

Fig.2 Function and structure scheme of UPFC\_Control

read、调制使能信号 enable、相位调节信号 phase、幅值调节信号 amplitude; 输出信号是三路相位分别相差  $2\pi/3$  的调制波 dataS1、dataS2、dataS3 和一路三角载波 dataT。

### 3 IP 核的实现

UPFC 控制器的 IP 核主要由 2 个大模块构成: 调制波模块和三角波模块。其中调制波模块包括数据初始化模块, 幅值、相位调制模块以及数据寻址输出模块; 三角波模块包括数据配置模块和数据寻址输出模块。每个模块都是由 Verilog HDL 语言实现的。

由于调制波模块和三角波模块的实现方法大致相同, 而调制波模块相对三角波模块又多了几个限制, 即调制波要求频率跟定给定电网, 幅值、相位可以调节, 实现起来相对较复杂, 所以这里重点只介绍调制波模块的实现。

由于开关损耗最小 PWM 要求调制波频率跟定给定电网频率, 所以 UPFC 的控制器 IP 核的频率必须进行调整, 这里可以通过 PLL 把电网频率倍频 360 倍后作为调制波输出的脉冲信号。下面介绍调

制波模块的实现。

#### 3.1 调制波数据初始化模块

这个模块相当于调制波发生器, 可以通过两种方式来实现: LPM 和 Verilog HDL。LPM 是 Quartus II 中的 MegaWizard Plug-In Manage 工具提供的, 它需要一个事先定制的数据初始化文件。而 Verilog HDL 直接由程序方式实现。两种方式都是将构成 ROM 的数据进行存储, 首先将要存储的调制波形量化, 然后选用一种方式将量化后的数据存储起来, 供后继模块使用。本文采用的是第二种方式, 即 Verilog 方式实现 ROM 存储数据。考虑到调制波的一个周期为  $2\pi$ , 即  $360^\circ$ , 所以量化值最好为 360 的整数倍, 也有利于量化数据的获得, 这里量化值定为 360, 也就是相位的偏移分辨率为  $1^\circ$ <sup>[4]</sup>。例如, 若存储的函数为  $\sin t$ , 那么这个函数的量化公式为  $dout = \text{int} [A * \sin 2k\pi / N]$ , 其中  $N$  为量化值,  $k$  为相位偏移值,  $A$  为最大幅值 (大小和选取的输出数据位数有关),  $dout$  为经量化后的函数值。因为 UPFC 控制器 IP 核的地址范围为 0~359, 输出的波形数据是 16 位, 所以 ROM 应由 360 个 16 位数据构成, 地址线为 9 位, 数据线为 16 位。复位信号 reset 和读有效信号 read 都为高电平有效。

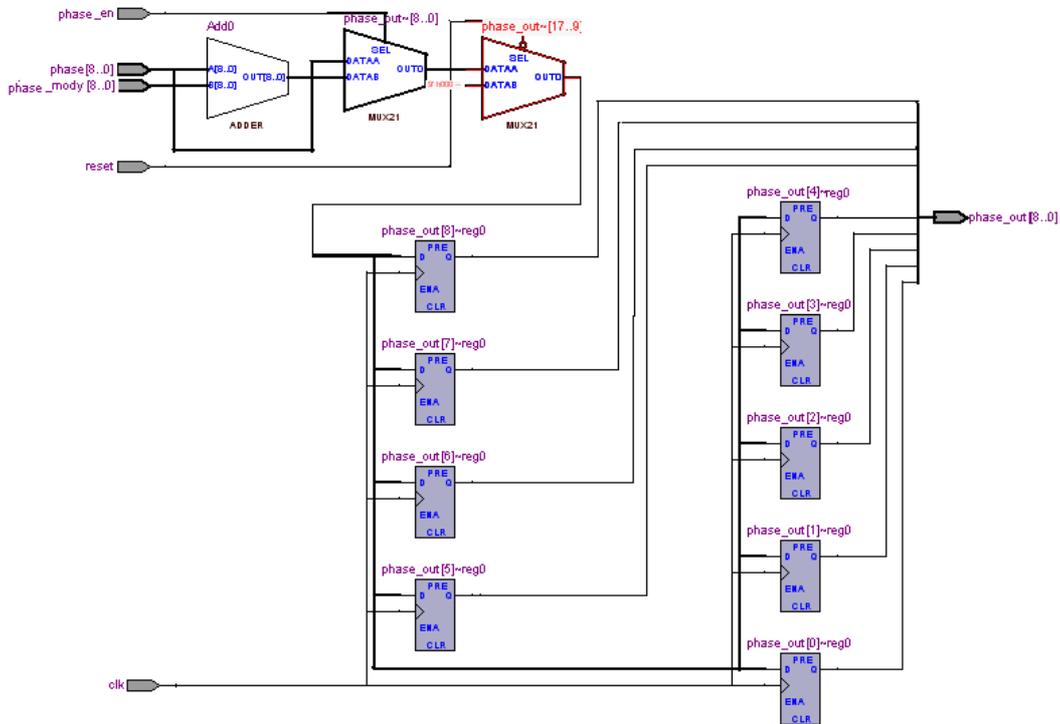


图 3 相位调制模块功能图

Fig.3 Function scheme of phase modulation module

#### 3.2 相位幅值调制模块

相位幅值调制模块通过相位幅值使能信号实现

相位幅值的变化。相位调制调节的是相应的地址, 从而实现相位调整。幅值调制使得调制波的输出数

据发生变化, 但相应的地址不变。由于幅值调制和相位调制很相像, 这里只介绍相位调制模块。该模块也是由 Verilog HDL 实现的。其功能结构如图 3 所示。该模块有五个输入和一个输出, 其中 phase 位初相, phase\_mody 为调制相, 即要改变的相位值, phase\_en 为相位调制使能信号, 只有在该信号有效 (高电平) 的情况下才能进行相位的调整。下面为实现相位调制的一段 Verilog HDL 代码。

```

always@ (posedge clk)
if (reset==1'b0) phase_out<=9'b0;
else if (phase_en)
    phase_out<=phase+phase_mody;
else phase_out<=phase;
    
```

### 3.3 调制波数据寻址模块

该模块的实现过程如下: 当 clk (电网频率经 PLL 倍频 360 后) 的第一个上升沿到来时, 地址使能信号 addr\_en 为高电平, 此后控制器 IP 开始计算调制波的数据。调制波的数据为 clk 个数的累加值与相位值 phase 之和, 假设为 K (由于调制波数据的周期性, K 一定在 0~360 之间, 如果大于 360, 则对 K 取模 360), 把 K 作为数据存储模块的地址输入项, 从而可以得到调制波的相应点数据。

将以上各模块综合起来, 再进行布局布线, 就得到产生调制波的模块, 图 4 为整合模块图。通过调节幅值相位, 可以输出任意相位偏移的调制波。

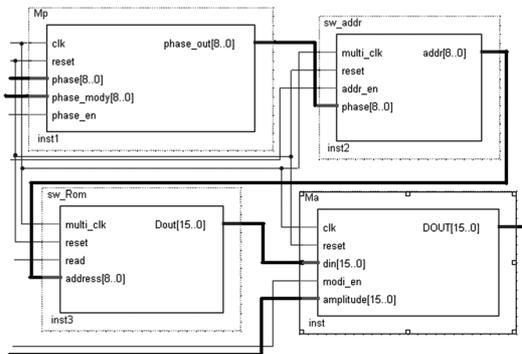


图 4 调制波整合模块

Fig.4 Modulation wave integration module

## 4 验证

这里使用 Quartus II7.2 对控制器 IP 核 Verilog 程序进行综合, 并选取 Altera 公司的 CycloneII EP2C35 板子进行评估。该板有 33 216 个逻辑单元, 105 个 M4k 存储模块, 35 个 18×18 乘法单元, 4 个 PLL 和 475 个 I/O 引脚。UPFC 控制器 IP 在 Quartus II 7.2 中编译通过后, 可以利用波形编辑器对其进行

功能仿真。图 5 是功能仿真波形。图 6 为幅值相位调制波形。从图 5 和图 6 的对比可以看出, 当相位使能信号 enable 有效时, 给相位 phase 一个初值 1, 相当于移动一个相位, 所得到的调制波向后移动一个相位, 而三角波的相移未发生变化, 符合设计要求。幅值调节同理。

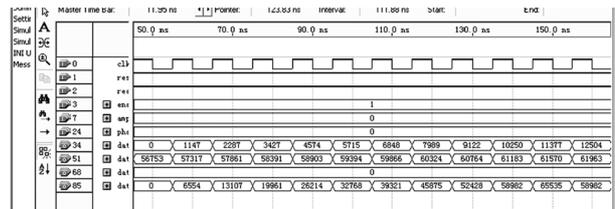


图 5 功能仿真波形

Fig.5 Function simulation wave

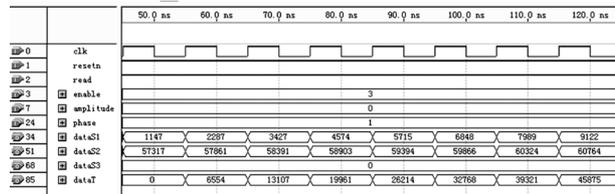


图 6 调制仿真波形

Fig.6 Modulation simulation wave

Quartus II 7.2 还提供了嵌入式逻辑分析仪 SignalTap II<sup>[5]</sup>, 可以对输出信号进行实时测试。在实际监测中, 通过 SignalTap II 可将测得的样本信号暂时存于目标器件的嵌入式 RAM 中, 然后通过器件的 JTAG 端口和 USB Blaster 下载线将采集到的信息传出, 并送入主机进行分析。图 7 为 UPFC 控制器 IP 核通过嵌入式逻辑分析仪测得的波形, 从中可以看出, 三路调制波相位分别相差 120°, 符合系统设计要求。且每路调制波每个周期有 1/3 的波形为零, 即 1/3 处于截止状态, 从而减少了 1/3 的开关损耗, 具很大的调制优势。

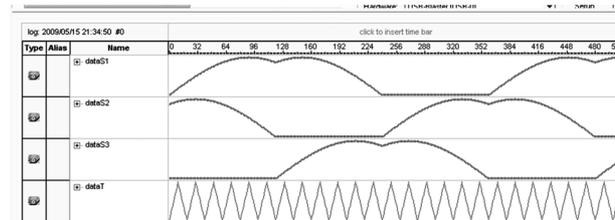


图 7 逻辑分析仪仿真波形

Fig.7 Logic analyzer simulation wave

## 5 结论

使用 Verilog 语言设计 UPFC IP, 较之单纯采用

软件合成调制波的方法，效率高、速度快，能够实现输出的调制波的频率跟踪电网频率，输出的调制波的幅值和相位可以根据需要进行调节等关键技术；同时输出的三角载波的频率、幅值和相位保持不变。在此基础上，进行处理系统设计，可在一片 FPGA 上实现软核处理器模块、存储器模块、其他通用控制器以及专用控制器 IP 核，构成一个专用的处理系统。整个硬件系统可以根据需求，在外围电路不变的情况下，也可以重新设计处理系统，具有很强的灵活性。

若要减少交流侧输出电压谐波分量，提高幅值控制精确度，只需适当增加 ROM 表中所存调制波数据的点数，提高输出数据的位数，除了锁相环的参数需要调整外，整个硬件系统不需作任何其他变化，只需在 Quartus II 中修改 UPFC IP 的相应模块，即相应的 Verilog 文件之后对设计重新编译、综合、布局、验证、编程，即可完成系统的修改。若 FPGA 的容量足够大，可在一片 FPGA 上实现两路完全独立的 Nios II 处理器系统，在电路板外扩相应的外设后，即可实现 UPFC 下位机的两路完全相同的幅值、相角和频率控制系统。这将大幅度提高系统的整体性能。另外开关损耗最小 PWM 还减少了 1/3 的开关损耗，因此本文所讨论的开关损耗最小 PWM IP

设计思路和方法具有很重要的现实意义。

参考文献

[1] DENG Qing-xu, XU Hai, SHUI Sheng-wei. An embedded SOPC system using automation design[C]. //proceedings on international conference on parallel processing work-shops. 2005.232-239.

[2] WANG Jian, WU Jie. Overview of UPFC modeling and control[J]. Electric Power Automation Equipment, 2000, 20 (6): 41-45.

[3] XU Ning-yi, ZHOU Zu-cheng. Avalon bus and an example of SOPC system[J]. Semiconductor Technology, 2003, 28 (2): 1-20.

[4] 陈国呈. 新型电力电子变换技术[M]. 北京: 中国电力出版社, 2004: 24-53.

[5] Altera Corp. Nios II software developer's handbook[Z]. Altera, 2005.

收稿日期: 2009-07-15; 修回日期: 2009-08-20

作者简介:

李兰英 (1964-), 女, 教授, 硕士, 主要研究方向为计算机控制和嵌入式系统;

沈艳红 (1983-), 女, 硕士研究生, 主要研究方向为嵌入式系统. E-mail: syhjms@sina.com

(上接第 80 页 continued from page 80)

LI Ming, TONG Min. Treatment and analysis of an abnormal optical fiber channel for RCS-931 AMM protection[J]. Hubei Electric Power, 2009, 33(2): 32-33.

[11] 刘宏君, 张兆云, 李辉. 光纤通道路径不一致对线路差动保护的影响[J]. 电力系统保护与控制, 2008, 36 (12): 52-55.

LIU Hong-jun, ZHANG Zhao-yun, LI Hui. Influence of the fiber route with difference on line differential protection[J]. Power System Protection and Control, 2008, 36 (12): 52-55.

[12] 尹成群, 杨贵. 继电保护光纤通道仿真测试及研究[J]. 继电器, 2006, 34 (13): 54-57.

YIN Cheng-qun, YANG Gui. Tests and studies of protection optical fiber channel simulation[J]. Relay, 2006, 34 (13): 54-57.

收稿日期: 2009-07-17; 修回日期: 2009-08-20

作者简介:

许庆强 (1976-), 男, 高级工程师, 工学博士, 研究方向为电力系统继电保护; E-mail: xuqq2008@126.com

张勇刚 (1977-), 男, 工程师, 工学硕士, 研究方向为电力系统继电保护;

周栋骥 (1951-), 男, 高级工程师, 本科, 研究方向为电力系统继电保护和现场事故处理。