

基于单路 FIFO 的多通道同步采集存储系统的研究

张耀政, 王文廉, 张志杰

(中北大学信息与通信工程学院, 山西 太原 030051)

摘要: 设计了一种多通道同步采集存储测试系统, 利用 CPLD (复杂可编程逻辑器件) 和单路 FIFO (先入先出存储器) 缓存实现了四路 ADC 同步转换数据到 FLASH 存储器的数据存储方式。此设计方案实现了在采样速率变化的情况下, FIFO 自适应完成缓存速率调整的功能, 并且多通道数据能连续不间断地存储到 FLASH 存储器中。这对于多通道变采样的存储测试系统设计具有一定的借鉴意义。

关键词: 同步采集; CPLD; FIFO; 自适应

Study on multi-channel synchronization acquisition and storage system based on one FIFO

ZHANG Yao-zheng, WANG Wen-lian, ZHANG Zhi-jie

(School of Information and Communication Engineering, North University of China, Taiyuan 030051, China)

Abstract: In this paper, a new multi-channel synchronous acquisition and storage system is designed, which makes use of complex programmable logic device (CPLD) and one-way first in first out memory (FIFO) cache to realize data storage mean of the four simultaneous ADC conversion data to FLASH memory. This design implements that in the variable sampling rate, FIFO cache can achieve self-adaptive function of the rate adjustment and multi-channel data can be stored uninterrupted in FLASH memory. It has referable value on the multi-channel variable sampling design of the storage measurement system.

Key words: synchronous acquisition; CPLD; FIFO; self-adaptive

中图分类号: TP274 文献标识码: A 文章编号: 1674-3415(2010)08-0100-05

0 引言

数据采集存储是信号处理过程中的一个重要环节, 已经广泛应用于温度测试、冲击波测试、瞬态信号测试、无线探伤等领域^[1]。近年来, 随着数字化技术的不断发展, 数据采集技术也呈现出通道更多、数据量更大的发展态势^[2-4]。然而, 要让多通道同步的、实时的采集存储, 中间不能出现任何断点, 且要保证采集的高精度, 比较困难。传统上大部分的多通道数据采集系统, 模拟信号需要经过多路模拟开关, 分时切入模数转换器进行循环采样^[5-7], 并没有做到多通道的、实时同步采样存储。因此, 本文将介绍一种新的多通道同步采集存储系统的设计方法, 实现在一次 A/D 转换过程中, 多路数据同时采样、转换, 并且以 FIFO 为缓存, 最终存储到 FLASH 存储器中的研究方法。

1 系统的设计思路和结构

1.1 系统设计思路

本系统设计整体思路是在一次的模数转换周期中, 以 FIFO 为桥梁和过渡, 把多路 AD 转换器转换完成的数据实时地、不间断地存储到 FLASH 存储器。本系统以四路为例。四路模拟信号经过低滤波处理后进入四片 AD 存储器进行转换, 为了确保模数转换的同步性, 由 CPLD 分频提供四片 AD 相同的转换信号, 并且在 CPLD 时序电路的控制下, 在一次模数转换周期内, 四路 12 位的数据进入 9 位的单片 FIFO 中。此后, 单片机提供 FIFO 的读时钟, 完成从 FIFO 到 FLASH 存储器数据的存储。

1.2 系统结构

系统框图如图 1 所示。ADC 采用 AD 公司推出的 12 位高速、低功耗、逐次逼近式 AD 转换器 AD7492。它的数据通过率为 1 MSPS。输入信号从 CONVST 的下降沿开始被采样, 忙信号线 BUSY 在转换起始时为高电平, 最大在 880 ns 后变为低电平表示转换结束, 转换结果通过 CS 和 RD 的信号从并行口取走。FIFO 使用的是 CY7C4261, 它具有 16K 的数据深度和 9 位的数据宽度, 最大时钟周期频率

可达到 100 MHz, 电源电压为 3.3 V。RCLK 和 WCLK 分别读时钟和写时钟, WEN1 和 WEN2 为 FIFO 的写使能, REN1 和 REN2 为读使能, OE 为输出使能, RS 为复位输入端。CY7C4261 有四个状态标志位: 空 EF、近空 PAE、满 FF、近满 PAF。近空和近满的标志位可以编程得到, 它本身默认为 ± 7 。本文的 CPLD 采用的是 XILINX 公司的 XCR3256XL, 它含有 256 个宏单元, 其引脚到引脚的传输延时为 7.5 ns, 该器件采用的 TQFP-144 封装, 系统频率可达到 140 MHz。FLASH 采用 K9F1G08X0A, 它是一个 1 056 Mbit 存储器, 该存储器阵列是由 32 个串连的单元组成的一个 NAND 结构。编程和读操作都是基于页执行的, 擦除操作则是基于块执行的。单片机采用 PIC18F8722, 它是微芯公司的产品, 采用 16 位的类 RISC 指令系统, 含有 AD 转换器、内部 EEPROM 存储器、比较输出、捕捉输入、PWM 输出和 SPI 总线接口电路、异步串行通信接口电路等功能, 最大可支持 40 M 的时钟频率。

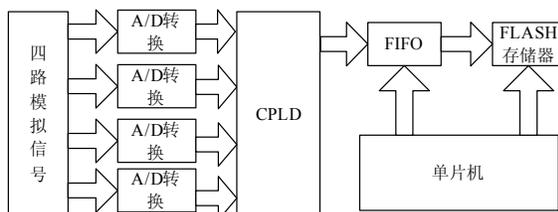


图 1 系统结构框图

Fig.1 System functional block diagram

2 系统的工作原理

2.1 四片 AD 同步转换

AD 同步转换部分的原理框图如图 2 所示。由外部提供给 CPLD 高频的工作时钟, 通过编程产生一个能够满足 AD 转换频率的时钟 CONVST, 由它来提供四片 AD 的采样频率, AD 从 CONVST 的下降沿开始被采样, 忙信号在转换起始时为高电平, 转换完成后变为低电平, 得到的四路 BUSY 信号再提供给 CPLD, 通过 CPLD 内部的或门, 反过来提供四片 AD 的 CS 和 RD 控制信号。每路 A/D 的 12 bit 的数据位都与 CPLD 对应的数据位相连, 作为一条数据总线。在整个过程中, 依据同步转换的要求, 四路 AD 的转换时钟 CONVST 必须由同一个时钟源来提供, 这样经过 AD 内部得到的 BUSY 信号几乎是同步的, 再经过 CPLD 的控制, 实现 CS 和 RD 为低电平期间, 四路数据通过数据总线同步进入 CPLD。

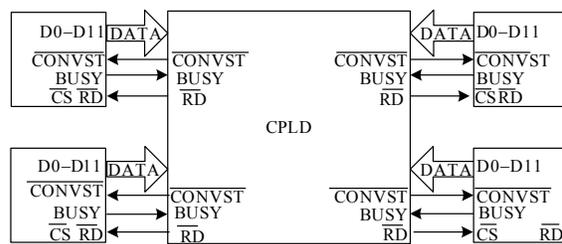


图 2 AD 同步转换原理框图

Fig.2 AD synchronous conversion functional block diagram

2.2 单路 FIFO 实现缓存的工作原理

数据由 CPLD 进入 FIFO 的关键在于: CPLD 如何给 FIFO 的提供写时钟 WCLK, 使得在一次 A/D 转换的过程中, 实时地将四路同步转换的数据顺序地写入 FIFO 中。

2.2.1 四路数据存储到 FIFO

由于 FIFO 的数据位和 AD 的数据位不同, 本系统利用分割, 把 12 位的数据分割为两个 8 位的数据, 依次存入 FIFO 的两个相邻的存储单元, 即, 在一次 RD 时钟周期内, CPLD 提供稳定的 8 个时钟给 FIFO 的写时钟 WCLK。

本文采取一种从高频时钟提取的方法来产生 8 个脉冲写时钟 WCLK, 即, 由 CPLD 提供一个高频时钟频率 CLK, 当 RD 低电平的时候, CPLD 从这个高频时钟 CLK 中提取出 8 个稳定的时钟信号 WCLK, 之后在 WCLK 下降沿来临时, 把数据放到数据总线上, 在 WCLK 的上升沿来临时, 把数据写入 FIFO 中。CPLD 的控制逻辑如图 3 所示。由于高频时钟 CLK 在 RD 的下降沿处, 可能处于任何一种状态, 因此需要从这个高频时钟 CLK 中获得一个稳定的时钟信号 CLK1。CPLD 分两步完成时序的设计。首先, 提取的对象应该是稳定的, 不能有多种可能, 所以经过 CPLD 编程首先要得到一个稳定的波形 CLK1, 稳定波形的产生按照以下思想来编写, 当系统复位后, CLK1 初始值为高电平, 直至 RD 变低

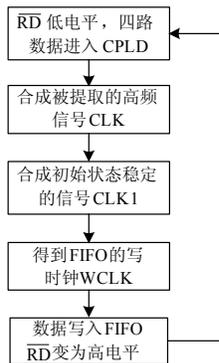


图 3 CPLD 控制逻辑

Fig.3 CPLD control logic

电平时才开始发生变化。在 \overline{RD} 为低电平期间，以 \overline{RD} 上升沿为敏感信号，CLK1的电平开始发生高低电平的变化，在 \overline{RD} 为高电平期间，CLK1时钟为高电平，按照此方式最终得到一个初始为高电平的新时钟CLK1。第二步，时钟的提取。在 \overline{RD} 为低电平期间，编写记录8个时钟的计数器，从CLK1中再提取8个时钟得到 WCLK。仿真结果如图4所示。

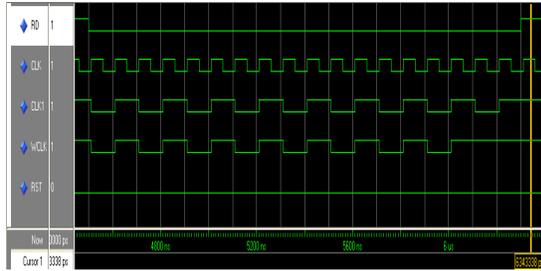


图4 时序仿真

Fig.4 Time sequence simulation

2.2.2 FIFO自适应性

从上面的时序设计中可以看出，随着采样频率的变化 WCLK 的频率也在跟着变化，也就是说 FIFO 存储的速率在发生变化。那么 CPLD 时钟频率为 f_1 和采样频率 f_2 之间要满足一定的条件，才能从中提取出这稳定的8个时钟。

在 AD 采样频率允许的条件下，为了确保能够提取 8 个时钟，在 \overline{RD} 为低电平期间，二分频信号 CLK1 也最少应该有 8 个时钟，那么 CPLD 时钟频率为 f_1 最少应该包括 16 个脉冲信号，假设 ADC 转换时钟 CONVST 模数转换所需最长时间 t_1 s，则可以得出 f_1 和 f_2 之间的约束关系：

$$f_2 \leq \frac{1}{\frac{16}{f_1} + t_1} \quad (1)$$

整理得：

$$f_2 \leq \frac{16 + t_1 f_1}{f_1} \quad (2)$$

同时这个频率也应该小于 AD 的采样频率 f_1 ，从而得到满足系统的采样频率的范围为：

$$f_2 \leq \min\left(\frac{16 + t_1 f_1}{f_1}, f_1\right) \quad (3)$$

上述过程实现了四路数据从 AD 存入 FIFO 中，实际的存储系统都是以某个触发信号作为控制信号，实现数据最终存储，因此本系统利用单片机检测 FIFO 的近满标志位 \overline{PAF} ，每 32（4 次采样的数据）

FIFO 地址为一组数据，释放 FIFO 的空间，避免 FIFO 写满，直至触发信号有效，才开始把数据存入 FLASH 存储器中。

2.3 FIFO 数据存储到 FLASH 存储器的工作原理

数据存储到 FLASH 存储器的关键有两点：1) FIFO 读时钟 RCLK 和写时钟 WCLK 的频率的配合，若是读取速度比写入的速度快，那么 FIFO 会被读空，导致写入闪存中的数据不连续，无法完成后续的数据处理，若是读取的速度比写入的速度慢，FIFO 会被写满，使得从 CPLD 输出的数据丢失。2) 闪存是按页写入的，一页为 2Kbit 的存储单元，每写完一页需要换页配置地址，要保证在配置地址期间数据不丢失（FIFO 不被写满）。

2.3.1 单片机控制 FLASH 存储器的存储原理

考虑到上述两个问题，本系统使用 FIFO 的近满标志位 \overline{PAF} 作为从 FIFO 往 FLASH 中写数据的控制标志位。单片机控制数据写入 FLASH 的流程图如图 5 所示。

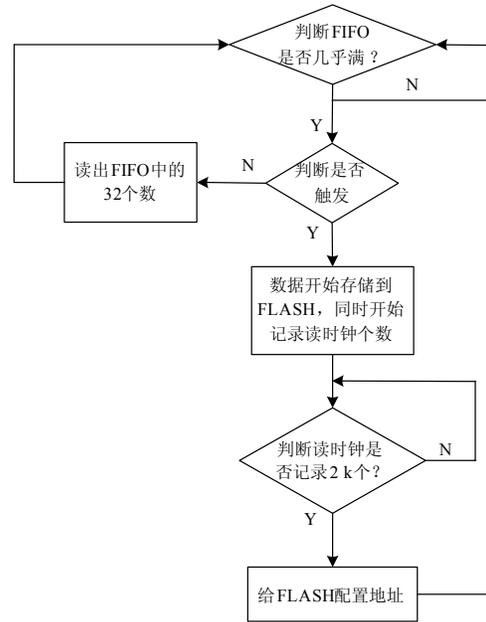


图5 单片机控制流程图

Fig.5 Single chip computer control flow chart

当单片机检测到 \overline{PAF} 为低电平时，代表近满标志位有效，发送读时钟 RCLK 给 FIFO，同时单片机控制闪存的写时钟 WE 开始启动，在此过程中，FIFO 的读时钟 RCLK 的频率一定要比写时钟的频率 WCLK 快，单片机通过计数器记录 FIFO 的读时钟 RCLK 的个数，当计数器计满 2k 个数时，FIFO 的读时钟 RCLK 无效，此时 FIFO 中有距离近满指针一定的存储空间为空，这段时间要足够单片机为闪存配

置要写入的下一页地址, 配置完成后, 判断 PAF 标志位再次为低时, 循环上述操作, 直至数据存储完毕。

2.3.2 读写时钟的速率配合

为了防止由于读写时钟的快慢不同, 所引起的 FIFO 读空和写满的问题, 根据实际情况推导出下面的读写频率满足的公式。

本系统使用汇编语言编程, 若单片机晶振的时钟频率为 f_3 , 即每一条指令周期为 $\frac{4}{f_3}$, 配置 FLASH 地址所需要的指令个数为 n_1 , 写入 FIFO 的时钟的频

率 (即采样频率的 8 倍) 为 f_4 , 读 FIFO 时钟的频率为 f_5 , 则可得到下列不等式:

$$\left(\frac{1}{f_4} - \frac{1}{f_5}\right) \times 2048 \geq \frac{4n_1}{f} \quad (4)$$

$$\text{整理得: } f_4 \geq \frac{512f_3f_4}{512f_3 - n_1f_4} \quad (5)$$

在满足式(5)的情况下, 四路的数据能够不间断地, 连续地存入 FLASH 存储器中, 经过读取 FLASH 存储器中的数据, 能够较好地还原原始信号。

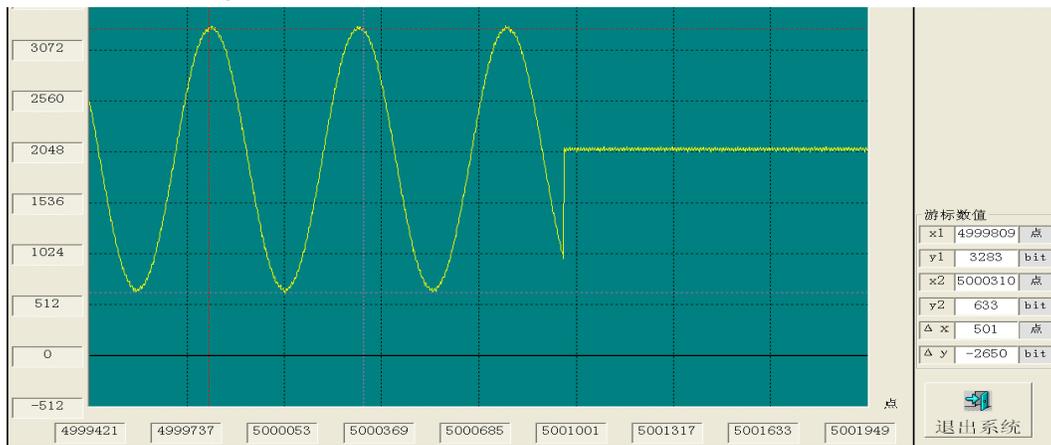


图6 实验数据展开图

Fig.6 Experimental data expansion

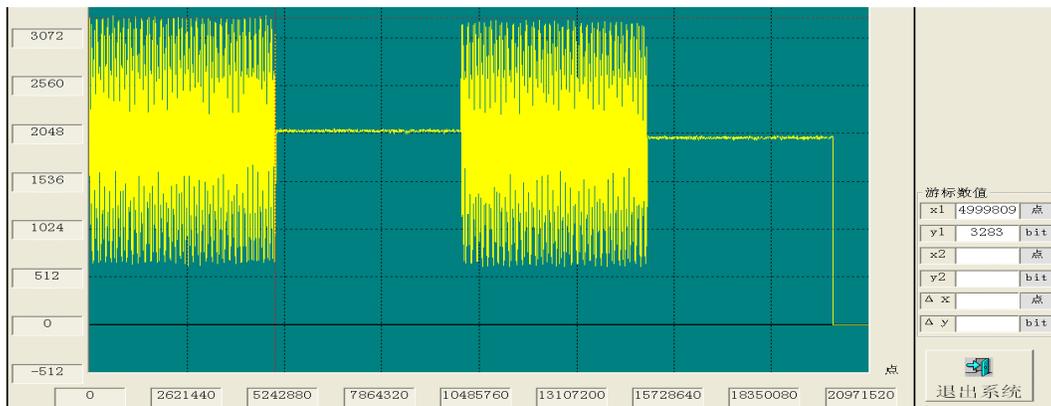


图7 实验数据

Fig.7 Experimental data

3 系统的实现及数据分析

3.1 系统的实现

在满足式(3)和式(5)的条件下, 本系统选择 CPLD 的时钟输入频率为 8 MHz, AD 的采样频率为 50 kHz, 单片机的时钟频率为 32 MHz, 从图 4 的仿真中看出, 数据能顺序有效地进入 FIFO 中。由于

出 FIFO 数据总线与单片机的 PORTC 相连, 又与 FLASH 的数据/地址总线相连, 本系统在实现读 FIFO 数据传输问题时采用了分时控制的方法。当给 FLASH 配置地址期间, 单片机控制输出使能 OE 无效, FIFO 的数据线为高阻态, 实现单片机对 FLASH 的地址配置, 当 FIFO 的数据需要存储到 FLASH 时, 单片机的 PORTC 口为输入态, 同时发送读 FIFO 的数

据的指令与写FLASH的指令，完成数据的存储。

3.2 实验结果与分析

图6和图7为正弦信号的实验曲线，横坐标是AD采集实际点数，纵坐标为AD转换后数据的十进制值，一三通道接入正弦信号，二四通道接入直流基线信号1.25 V，输入信号的频率为100 Hz，幅值范围0.4~2 V，每个通道采集10 M个数，经过数据合成处理每个通道为5 M个数。可以看出，在50 kHz的采样频率下，一个周期内AD采集了500个点，幅值和频率都吻合得很好，很好地复原了输入信号。

4 结束语

本系统以CPLD和单片机为控制核心，以FIFO为桥梁，实现了多通道同步采样并实时存储，并且通过后续的数据处理，能够较好地还原采集信号。通过调试，提高输入到CPLD的高频时钟，可进一步提高系统数据的同步采集速度，给多路实时采集提供一种新的思路。

参考文献

[1] 周治良, 刘俊, 张斌珍. 基于 FPGA 及 FLASH 的数据采集存储系统设计[J]. 微计算机信息, 2007, 23(3): 91-92.
ZHOU Zhi-liang, LIU Jun, ZHANG Bin-zhen. Design and Implementation of Data Acquisition System based on FPGA and FLASH[J]. Micro Computer Information, 2007, 23 (3) : 91-92.

[2] 李曼. 多通道高速数据采集电路设计[J]. 西安科技学院学报, 2000, 20 (2) : 144-147.
LI Man. Multi-channel and High-speed Acquisition Circuit[J]. Journal of Xi'an University of Science & Technology, 2000, 20 (2) : 144-147.

[3] 文丰, 赵小珍, 甄国涌. 基于 USB 总线的高速数据采集存储测试系统的设计[J]. 电测与仪表, 2007, 44 (503) : 47-49.
WEN Feng, ZHAO Xiao-zhen, ZHEN Guo-yong. The Design on High Speed Data Acquisition and Storage

Measurement System Based on USB Bus[J]. Electrical Measurement & Instrumentation, 2007, 44 (503) : 47-49.

[4] 黄霞, 鲍慧, 赵伟, 等. 基于 TMS320VC5509A 的多路同步数据采集与存储系统[J]. 继电器, 2007, 35 (23) : 24-27.
HUANG Xia, BAO Hui, ZHAO Wei, et al. A Multi-channel Synchronous Data-acquisition and Storage System Based on TMS320VC5509A[J]. Relay, 2007, 35 (23) : 24-27.

[5] 沈伟, 王军政, 汪首坤. 基于 FIFO 的高速高精度数据采集技术研究[J]. 电子器件, 2007, 30 (5) : 1673-1676.
SHEN Wei, WANG Jun-zheng, WANG Shou-kun. Research on High Speed and High Precision Data Acquisition Technology Based on FIFO[J]. Chinese Journal of Electron Devices, 2007, 30 (5) : 1673-1676.

[6] 祁煜, 李启炎, 翁良科, 等. 基于 CPLD 和 FIFO 的多通道高速数据采集系统的研究[J]. 电子技术应用, 2003, 29 (2) : 44-47.
QI Yu, LI Qi-yan, WENG Liang-ke, et al. Study of High-speed Multi-channel Data Acquisition System based on CPLD and FIFO[J]. Application of Electronic Technique, 2003, 29 (2) : 44-47.

[7] 李志军, 李欣然, 石吉银, 等. 用 CPLD 实现多通道数据采集系统的 A/D 转换器控制电路设计[J]. 继电器, 2006, 34 (21) : 52-57.
LI Zhi-jun, LI Xin-ran, SHI Ji-yin, et al. Design of Circuit of A/D Converter of Multi-channel Data Acquisition System Based on CPLD[J]. Relay, 2006, 34 (21) : 52-57.

收稿日期: 2009-05-20; 修回日期: 2009-06-05

作者简介:

张耀政 (1983-), 男, 硕士研究生, 主要从事测控系统、数据采集系统等方面的研究; E-mail: zyz224@163.com

王文廉 (1978-), 男, 主要从事动态测试技术、智能仪器研究;

张志杰 (1965-), 男, 教授、博士生导师, 主要从事动态测试技术及信号处理研究。

(上接第 84 页 continued from page 84)

[8] Kundur P. Power System Stability and Control[M]. 北京: 中国电力出版社, 2002.
Kundur P. Power System Stability and Control[M]. Beijing: China Electric Power Press, 2002.

作者简介:

汪永华 (1965-), 男, 副教授, 主要从事电力系统自动化及智能电气方面的教学与科研工作; E-mail: wangyonghua003@yahoo.com.cn

王正风 (1976-), 男, 博士, 从事电力系统调度运行工作。E-mail: wzhenf@163.com

收稿日期: 2009-05-11; 修回日期: 2009-06-17