

基于FPGA的数字保护中卡尔曼滤波的实现

阮建国, 陈炯

(华东理工大学, 上海 200237)

摘要: 卡尔曼滤波算法具有收敛速度快、收敛精度高等优点, 但由于卡尔曼滤波算法不仅包含矩阵的连乘, 而且还有矩阵的求逆运算和迭代算法, 这使得卡尔曼滤波算法难以在MCU和DSP这类数字平台上实时地高速实现。介绍了一种基于FPGA的卡尔曼滤波算法的实现方法, 该方法针对数字保护中卡尔曼滤波算法的特点, 结合FPGA的结构特性, 对算法的结构进行适当的改进和变换, 避开难以实现的矩阵求逆运算和运算量巨大的矩阵连乘运算, 大大简化了迭代的过程。在此基础上, 利用FPGA的高速性和灵活性实现了基于硬件逻辑的卡尔曼滤波。

关键词: 卡尔曼滤波; 数字保护; FPGA; 基波分量; 状态机

Implementation of Kalman filtering in digital protection based on FPGA

RUAN Jian-guo, CHEN Jiong

(East China University of Science and Technology, Shanghai 200237, China)

Abstract: Kalman filtering has advantages of high convergence speed and precision. However, it is hard to be realized because it has not only matrixes multiplication but also matrix inversion and iteration. A new kind of realization of Kalman filtering is introduced based on FPGA in this paper. Some transforms of the algorithm structure are made properly based on the characteristic of Kalman filtering in digital protection and structure characteristic. So the inverse matrixes which is difficult to implement and consecutive matrixes-multiplication which includes a large amounts of computation can be evaded and the iterative process is simplified to a great extent. Then the Kalman filtering is implemented based on hardware with the high speed and flexibility of FPGA.

Key words: Kalman filtering; digital protection; FPGA; fundamental harmonic; state machine

中图分类号: TM774 文献标识码: A 文章编号: 1674-3415(2009)22-0121-05

0 引言

数字保护装置大多以16位MCU或DSP为系统核心部件, 这类装置受CPU运行速度的影响, 往往需要采取一些措施来平衡速度与精度之间的矛盾^[1], 如: ①简化算法过程(减小字长或系数精度等); ②降低采样频率; ③避免采用复杂算法, 这往往无法满足实际要求。典型的保护算法中, 如全波傅氏滤波、最小二乘滤波和卡尔曼滤波等, 其性能各不相同, 其中卡尔曼滤波算法具有收敛速度更快、收敛精度更高等优点^[2]。目前, 诸如稳态卡尔曼滤波等改进算法已在基于PC的一些领域得到了应用^[3-5], 然而由于该算法的复杂性, 无法在MCU平台上实现, 而在DSP平台上的实现也难以克服速度与精度的矛盾。随着拥有极具吸引力的实现数字信号处理算法特性的FPGA器件的出现, 新型高性能和低成本的FPGA器件的应用开始面向复杂算法实

现的领域^[6-8]。本文介绍了一种基于FPGA的卡尔曼滤波算法的实现方法, 该方法针对数字保护中卡尔曼滤波算法的特点, 对算法的结构进行适当的改进和变换, 避开难以实现的矩阵求逆运算和运算量巨大的矩阵连乘运算, 大大简化了迭代的过程。在此基础上, 利用FPGA的高速性和灵活性实现了基于硬件逻辑的卡尔曼滤波, 有效地克服了速度与精度的矛盾。

1 卡尔曼滤波算法的应用原理

数字保护中卡尔曼滤波的应用可以表示为一维的形式, 设被采样信号为:

$$x(t) = X_0 + \sum_{k=1}^L X_k \sin(k\omega t + \alpha_k) = X_0 + \sum_{k=1}^L (X_{sk} \sin k\omega t + X_{ck} \cos k\omega t) \quad (1)$$

其中: $X_{sk} = X_k \cos \alpha_k$, $X_{ck} = X_k \sin \alpha_k$ 。

若信号中不含高次谐波 (即 $L = 1$), 则

$$x(t) = X_0 + X_1 \sin(\omega t + \alpha_1) = X_0 + X_{s1} \sin \omega t + X_{c1} \cos \omega t = \begin{bmatrix} 1 & \sin \omega t & \cos \omega t \end{bmatrix} \begin{bmatrix} X_0 \\ X_{s1} \\ X_{c1} \end{bmatrix}$$

当采样周期为 T_s 时, 可得:

系统状态方程:

$$\begin{bmatrix} X_0 \\ X_{s1} \\ X_{c1} \end{bmatrix} = \begin{bmatrix} 1 & & \\ & 1 & \\ & & 1 \end{bmatrix} \begin{bmatrix} X_0 \\ X_{s1} \\ X_{c1} \end{bmatrix} + W_k \quad (2)$$

系统量测方程:

$$Y_k = \begin{bmatrix} 1 & \sin k\omega T_s & \cos k\omega T_s \end{bmatrix} \begin{bmatrix} X_0 \\ X_{s1} \\ X_{c1} \end{bmatrix} + V_k \quad (3)$$

将式(2)和式(3)表示为:

$$X_{k+1} = A_k X_k + W_k \quad (4)$$

$$Y_k = C_k X_k + V_k \quad (5)$$

其中: W_k 和 V_k 是互不相关的系统噪声和量测噪声。根据卡尔曼滤波原理, 系统状态的滤波估计可由如下递推方程实现:

滤波估计方程:

$$\hat{X}_k = A \hat{X}_{k-1} + K_k (Y_k - C_k A_k \hat{X}_{k-1}) \quad (6)$$

滤波增益方程:

$$K_k = P_{1k} C_k^T (C_k P_{1k} C_k^T + R_k)^{-1} \quad (7)$$

$$P_{1k} = A_k P_{k-1} A_k^T + Q_{k-1} \quad (8)$$

滤波协方差方程:

$$P_k = P_{1k} - K_k C_k P_{1k} \quad (9)$$

递推式中的初始值 \hat{X}_0 , P_0 及噪声模型的确定对卡尔曼滤波的收敛性能影响较大^[9,10]。根据文献[11], 在电气设备的故障保护中可取 $\hat{X}_0 = 0$, 取 P_0 为单位矩阵; 由于负荷变动引起的动态噪声方差 Q_{k-1} 影响很小, 通常忽略不计, 故取 $W_k = 0$, 并取 $R_k = R_0 \exp(-kT_s/\tau)$, 一般 $R_0 = 0.001 \sim 0.005$, $\tau = 25 \sim 45$ 。

式(4)、(5)是 3 状态卡尔曼滤波的模型, 仅可提取基波分量; 在数字保护中, 为提高精度或提取高次 (如 5 次) 谐波分量, 常采用多状态卡尔曼滤波, 此时式(1)中的 $L > 1$, 如 7 状态 ($L = 3$) 或 11 状态

($L = 5$)。

2 算法的改进

为了在兼顾滤波精度和硬件资源耗用的前提下将算法功能有效地嵌入 FPGA, 需要对算法特性进行预处理使其符合 FPGA 的硬件逻辑特性。卡尔曼滤波中不仅包含矩阵的连乘, 还包含矩阵的求逆运算和迭代算法, 不具有 DSP 算法的典型 MAC 特点, 因此需要对算法的结构进行改进以使其具备 MAC 特性。分析卡尔曼滤波算法实现可以看出:

大量的矩阵乘法: 从式(6)、(7)、(8)、(9)中可以看到各方程含有大量的矩阵乘法和连乘运算, 这将会导致位宽很宽的结果, 从而难以进行迭代运算。

矩阵求逆运算: 鉴于矩阵求逆运算的复杂程度, 使其难以在数字平台上实现。当矩阵的阶数增加时, 求逆运算的复杂度更是以几何级数增加。

迭代过程: 在复杂的矩阵运算中, 还要进行迭代运算, 这就要求在每次迭代运算中, 即每个采样周期, 式(6)、(7)、(8)、(9)都必须完成一遍, 这在数字平台上也是难以实现的。

基于上述分析, 算法的改进可归结为: (1) 减少矩阵乘法运算; (2) 避免矩阵的求逆运算; (3) 简化迭代过程。

观察卡尔曼滤波的四个方程, 其中包括两个迭代过程: 第一个迭代过程由滤波估计方程构成, 用于求出每次的估计 \hat{X}_k 的值; 另一个迭代过程由滤波增益方程和滤波协方差方程构成, 用于在每次迭代中为滤波估计方程求出对应的卡尔曼增益 K 。合并式(8)和式(9)可得:

$$P_{1k} = A_k (P_{1k-1} - K_{k-1} C_{k-1} P_{1k-1}) A_k^T + Q_{k-1} \quad (10)$$

由式(10)可知, 式(8)和式(9)完成的是 P_{1k} 的迭代。再将式(7)变形可得

$$K_{k-1} = P_{1k-1} C_{k-1}^T (C_{k-1} P_{1k-1} C_{k-1}^T + R_{k-1})^{-1} \quad (11)$$

比较式(7)和式(11)可知式(10)实际上完成的是卡尔曼增益的迭代。因此, P_k 和 P_{1k} 只是卡尔曼增益迭代的中间变量, 而 A_k 和 C_k 可视为已知矩阵。利用 A_k 和 C_k 可以离线进行卡尔曼增益的迭代过程, 求出每次迭代运算的卡尔曼增益 K , 以供滤波估计方程使用。可以这样处理的原因是这三个方程中除 C_k 与采样频率有关, 其余均为常数。而在实际应用中对于一个确定的保护系统, 其采样频率是确定的, 因此可以将 C_k 看作是常数矩阵。这样,

卡尔曼滤波算法就可以缩减为一个方程:

$$\hat{X}_k = A_k \hat{X}_{k-1} + K_k (Y_k - C_k A_k \hat{X}_{k-1}) \quad (12)$$

将式(12)进行变形, 可得

$$\hat{X}_k = (E_k - K_k C_k) A_k \hat{X}_{k-1} + K_k Y_k \quad (13)$$

由于迭代过程中的 K_k 可以离线求得, 所以在每次迭代过程中, 可将其视为常量。这样式(13)中的 $(E_k - K_k C_k) A_k$ 也可以离线求得, 设其为 U_k , 代入式(13)得

$$\hat{X}_k = U_k \hat{X}_{k-1} + K_k Y_k \quad (14)$$

式(14)中的 U_k 和 K_k 都是可以离线求出的, 每次迭代过程应代入相应的 U_k 和 K_k , 即:

$$U_k \in \{U_{1 \times T_s}, U_{2 \times T_s}, U_{3 \times T_s}, \dots, U_{n \times T_s}\}$$

$$K_k \in \{K_{1 \times T_s}, K_{2 \times T_s}, K_{3 \times T_s}, \dots, K_{n \times T_s}\}$$

其中: 第 k 次迭代应代入集合中相应的 U_{kT_s} 或 K_{kT_s} , 因而集合 U 和 K 的大小由迭代次数决定。由式(4)和(5)的推导可知, U_k 和 K_k 的具体数值仅与采样频率 T_s 有关, 当采样频率确定时, 它们的各元素均为常数。展开式(14):

$$\hat{X}_k = \begin{bmatrix} u_{00}x_0 + u_{01}x_{01} + \dots + u_{0n}x_n \\ u_{10}x_0 + u_{11}x_{01} + \dots + u_{1n}x_n \\ \vdots \\ u_{n0}x_0 + u_{n1}x_{01} + \dots + u_{nn}x_n \end{bmatrix} + \begin{bmatrix} k_0 y \\ k_1 y \\ \vdots \\ k_n y \end{bmatrix} \quad (15)$$

观察式(15), 它由 2 个矩阵和 1 个列向量的乘法运算构成, 其运算过程是典型的 MAC, 所以式(15)实质上具有 MAC 的特性, 也即典型的 DSP 算法特性, 因而特别符合 MCU 和 DSP 这类数字平台的实现特性。

3 基于 FPGA 的算法设计实现

根据上述推导, 从被测信号中提取基波分量的运算过程可以归纳为图 1 所示的基本运算结构。

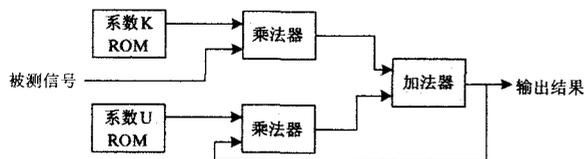


图 1 基本运算结构

Fig.1 Basic structure of computation

图中的乘法器和加法器用于完成矩阵乘法和矩

阵加法, 系统的输出是一个列向量, 其中第二和第三个元素即为基波信号的实部分量和虚部分量。由于矩阵乘法器需要消耗大量系统资源, 因此将基本运算结构改进, 得到图 2 所示的优化运算结构。

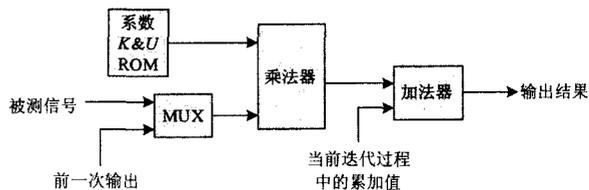


图 2 优化运算结构

Fig.2 Optimized structure of computation

与图 1 相比, 图 2 将系数 K 表和 U 表合并, 并对被测信号和前一次的系统输出信号进行选通, 这样就可以节省一个矩阵乘法器。在实现过程中, 图 2 所示的运算结构可以用图 3 所示的状态机来实现。

图中:

S0: 系统复位, 初始化;

S1: 对被采样的信号进行码制转换, 并从 ROM 中取出系数;

S2: 完成一次迭代中一行元素的乘累加 (MAC), 计数器加 1, 并判断是否完成一次迭代中所有行元素的乘累加;

S3: 迭代计数器加 1, 并判断是否完成所有迭代次数;

S4: 迭代次数全部完成。

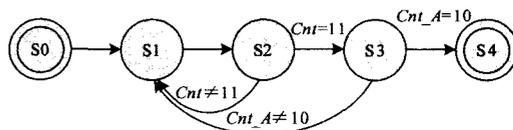


图 3 迭代运算状态机

Fig.3 State machine of iterative computation

实际应用中, 通常需要提取出信号中的正序和负序分量用于故障判断, 因此需要同时进行双路信号的卡尔曼滤波, 然后进行序分量滤波运算, 如图 4 所示。

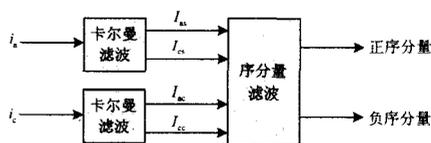


图 4 双路信号的算法实现结构

Fig.4 Implementation structure of the algorithm based two-route signals

分析系统资源消耗情况可知, 由于改进了卡尔曼滤波的算法结构, 一些复杂的运算可以离线完成, 使得原本需要消耗的大量逻辑单元的运算, 转变为消耗少量 ROM 单元的常数表, 因而可以在单个 FPGA 芯片上同时进行双路信号的卡尔曼滤波以及后续的序分量提取。当采用 Altera 公司 EP1C12Q240C8 的 FPGA 芯片时, 仅用 4557 个逻辑单元 (占全部 12,060 个逻辑单元的 38%) 即可完成, 大大降低了系统的复杂性, 并为后续的应用 (例如为提高精度进一步增大位宽、嵌入多个算法或嵌入 Nios II 处理器) 保留了大量的资源。

4 性能分析

4.1 响应速度

图 5 是用 EP1C12Q240C8 芯片实现的 5 阶卡尔曼滤波算法某一时段运算的仿真波形, 图 6 则是序分量输出阶段的仿真波形。图中 AD_clk 为采样时钟, y_in 为待测信号输入, y_a_out 和 y_b_out 分别为基波的实部和虚部分量。为便于观察, 图中将采样间隔由 0.5 ms 压缩至 24 μs (图中 AD_clk 的脉冲间隔)。可以看出, 完成一相电流某时刻采样点的滤波运算仅需 24 μs (系统时钟为 1 MHz), 鉴于卡尔曼算法的复杂性, 这在 DSP 处理器上是难以实现的。

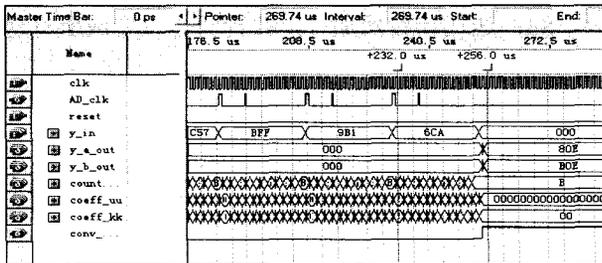


图 5 一相电流的基波分量运算仿真波形

Fig.5 Simulation wave of the fundamental harmonic computation with one-phase current

4.2 运算精度

设 A 相和 C 相电流信号分别为:

$$i_a = 10 - 10\cos\omega t + 2\cos 2\omega t +$$

$$5\sin 3\omega t + \sin 4\omega t + 0.5\sin 5\omega t$$

$$i_c = 10 + 10\sin(\omega t - \pi/3) + 2\sin 2\omega t +$$

$$3\sin 3\omega t + \sin 4\omega t + 0.3\sin 5\omega t$$

容易算出它们基波相量的实部和虚部分别为:

$$\begin{cases} I_{as1} = 0 \\ I_{cs1} = -10 \end{cases} \quad \text{和} \quad \begin{cases} I_{ac1} = -0.866 \\ I_{cc1} = 5.0 \end{cases}$$

从图 6 中可以看到基波相量的实部和虚部的数值, 数据宽度为 12 位。图中的定标均为 000H~7FFH, 对应于 0~25 V。表 1 列出了这些分量及其对应的幅值以及与理论值的比较结果。

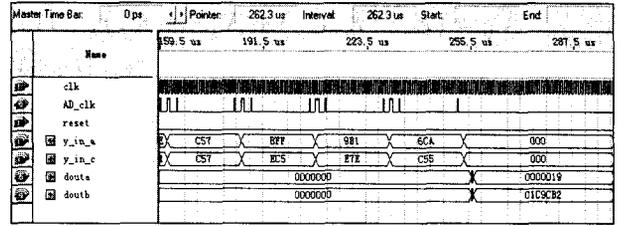


图 6 序分量输出阶段的仿真波形

Fig.6 Simulation wave of sequence component output moment

表 1 卡尔曼算法的运算结果及其误差

Tab.1 Results and errors of Kalman algorithm

	I_{as1}	I_{cs1}	I_{ac1}	I_{cc1}
滤波结果	80E	BOE	AB4	174
对应幅值	-0.17	-9.54	-8.447	4.761
理论值	0	-10	-8.660	5
误差		4.6%	2.4%	4.8%

误差来源主要为截断误差和系统系数逼近误差, 此例中, 系数以 8 位有符号数逼近。增大逼近位数和运算位数 (减小截断误差) 可以进一步提高精度, 这仅仅会消耗更多的硬件资源而不影响运算速度。

5 结论

虽然卡尔曼滤波算法的复杂性使其难以直接在数字平台上实现, 但根据数字保护的应用特点, 可以对算法进行改进从而降低其复杂性; 同时, 在实现数字保护算法时, 采用 MCU、DSP 与采用 FPGA 的根本区别在于: 前者的数据位宽是固定的, 当位宽发生变化 (或与其位宽不相等) 时会严重影响运算速度和效率, 而 FPGA 逻辑结构的灵活性、高速性、并行处理性和流水线特性使得实现算法的速度与数据位宽无关, 仅取决于算法本身的特性 (收敛速度), 这是 MCU 和 DSP 无法实现的。因而基于 FPGA 的保护算法不仅具有极快的实现速度, 而且采样频率和运算精度也更高, 可以更有效地克服速度与精度之间的矛盾, 提高保护系统的可靠性。

参考文献

[1] 王维俭. 电气主设备继电保护原理与运行 (第二版) [M]. 北京: 清华大学出版社, 2001.
WANG Wei-jian. The Theory and Application of Relay

- Protection of Main Electric Equipments[M]. Beijing:Qinghua University Press, 2001.
- [2] RUAN Jian-guo, LIN Jia-jun. Analysis on Stability of Digital Protection Algorithms[A]. in:Proceedings of 2005 IEEE International Conference on Information Acquisition[C]. 2005. 313-317.
- [3] 樊恩, 聂明新. 采用稳态 Kalman 滤波器简化 Kalman 滤波器的计算[J]. 武汉理工大学学报, 2005, 27(5): 272-274.
FAN En, NIE Ming-xin. A Simplified Kalman Filter Algorithm Using a Steady-state Kalman Filter[J]. Journal of Wuhan University of Technology, 2005, 27(5):272-274.
- [4] 董峰, 金宏斌, 白晶. 用 Visual C++ 仿真实现卡尔曼滤波[J]. 微计算机信息, 2005, 21(7): 147-149.
DONG Feng, JIN Hong-bin, BAI Jing. Kalman Filter Simulation with Visual C++[J]. Control and Automation, 2005, 21(7):147-149.
- [5] 邓自立, 毛琳, 高媛. 多传感器最优信息融合稳态 Kalman 滤波器[J]. 科学技术与工程, 2004, 4(9): 743-747.
DENG Zi-li, MAO Lin, GAO Yuan. Multisensor Optimal Information Fusion Steady-state Kalman Filter[J]. Science Technology and Engineering, 2004, 4(9):743-747.
- [6] 伍尤富. 基于分布式算法 FIR 滤波器的设计与实现[J]. 信息与电子工程, 2007, 5(5): 388-390.
WU You-fu. Design of FIR Filter Based on the Distributed Arithmetic[J]. Information and Electronic Engineering, 2007, 5(5): 388-390.
- [7] 贺卫东, 段哲民, 龚诚. 基于 FPGA 的大点数 FFT 算法研究[J]. 电子测量技术, 2007, 30(11): 14-16.
HE Wei-dong, DUAN Zhe-min, GONG Cheng. 2D-parallel Method for Ultra Long FFTs in FPGA[J]. Electronic Measurement Technology, 2007, 30(11): 14-16.
- [8] 张德学, 郭立, 傅忠谦. 一种基于 FPGA 的 AES 加解密算法设计与实现[J]. 中国科学技术大学学报, 2007, 37(12): 1461-1465.
ZHANG De-xue, GUO Li, FU Zhong-qian. Design and Implementation of AES Algorithm Based on FPGA[J]. Journal of University of Science and Technology of China, 2007, 37(12): 1461-1465.
- [9] Girgis A A, Brown R G. Application of Kalman Filtering in Computer Relaying[J]. IEEE Trans on Power Apparatus and Systems, 1981, 100(7): 3387-3397.
- [10] Girgis A A, Brown R G. Modeling of Fault-Induced Noise Signals for Computer Relaying Applications[J]. IEEE Trans on Power Apparatus and Systems, 1983, 102(9): 2834-2982.
- [11] 于九祥. 微机保护中卡尔曼滤波模型参数的选择[J]. 电力系统自动化, 1993, 17(2): 26-33.
YU Jiu-xiang. Kalman Filtering Model Parameter's Selection in Micro Computer Protection[J]. Automation of Electric Power Systems, 1993, 17(2): 26-33.
- 收稿日期: 2008-12-01; 修回日期: 2009-02-22
作者简介:
阮建国(1956-), 男, 博士, 副教授, 从事信号处理、智能检测、微机应用、FPGA 在算法实现中的应用等方面的研究。E-mail: jgruan@ecust.edu.cn
-
- (上接第 115 页 continued from page 115)
- [11] 李九虎, 郑玉平, 古世东, 等. 电子式互感器在数字化变电站的应用[J]. 电力系统自动化, 2007, 31(7): 94-98.
LI Jiu-hu, ZHENG Yu-ping, GU Shi-dong, et al. Application of Electronic Instrument Transformer in Digital Substation[J]. Automation of Electric Power Systems, 2007, 31(7): 94-98.
- [12] 高翔, 周健, 周红, 等. IEC61850 标准在南桥变电站监控系统中应用[J]. 电力系统自动化, 2006, 30(16): 105-107.
GAO Xiang, ZHOU Jian, ZHOU Hong, et al. IEC 61850 used in Nanqiao Substation[J]. Automation of Electric Power Systems, 2006, 30(16): 105-107.
- [13] Lars Andersson, Klaus-Peter Brand, Dieter Fuechsle. Optimized Architectures for Process BUS with IEC61850-9-2[A]. in:42 CIGRE Session[C]. Paris:2008.
- [14] 窦晓波, 吴在军, 胡敏强, 等. IEC61850 标准下合并单元的信息模型与映射实现[J]. 电网技术, 2006, 30(2): 80-86.
DOU Xiao-bo, WU Zai-jun, HU Min-qiang, et al. Information Model and Mapping Implementation of Merging Unit Based on IEC61850[J]. Power System Technology, 2006, 30(2): 80-86.
- [15] 李建, 谢小荣, 韩英铎. 同步相量测量的若干关键问题[J]. 电力系统自动化, 2005, 29(1): 45-48.
LI Jian, XIE Xiao-rong, HAN Ying-duo. Some Key Issues of Synchrophasor Measurement[J]. Automation of Electric Power Systems, 2005, 29(1): 45-48.
- 收稿日期: 2009-04-13; 修回日期: 2009-05-22
作者简介:
万博(1979-), 女, 硕士, 工程师, 主要研究方向为 IEC61850 和变电站自动化系统研究与应用; E-mail: wanbo@epri.ac.cn
苏瑞(1973-), 女, 硕士, 高级工程师, 主要研究方向为 IEC61850 和变电站自动化系统研究与应用。