

基于 DSP 和 CPLD 电能质量监测装置的设计

林广明¹, 黄义锋², 欧阳森¹, 蒋金良¹

(1.华南理工大学电力学院, 广东 广州 510640; 2.广州普照科技有限公司, 广东 广州 510640)

摘要: 设计了一种基于 DSP+CPLD 构架的电能质量监测装置, 该装置利用 CPLD 产生 DSP 外围器件的控制时序, 文中详细介绍了 CPLD 对 DSP 外围器件的逻辑接口设计, 通过 MAX+PLUS II 对 CPLD 的控制时序进行仿真, 仿真结果验证了本设计的可行性, 试验测试结果表明该装置实现了多项电能质量指标的实时在线监测。

关键词: 电能质量; DSP; CPLD; 时序

Design of a power quality monitoring device based on DSP and CPLD

LIN Guang-ming¹, HUANG Yi-feng², OUYANG Sen¹, JIANG Jin-liang¹

(1.College of Electric Power, South China Univ of Tech, Guangzhou 510640, China;

2. Guangzhou Sunshine Electric Power Technology Co. Ltd, Guangzhou 510640, China)

Abstract: A new design of DSP+CPLD power quality monitoring device is proposed in this paper. And the CPLD(Complex Programmable Logic Device) is used to generate control timing between DSP and peripheral devices. In the paper, the use of CPLD in design of logic interface between DSP and peripheral devices is described in detail. The simulating result of CPLD control timing verifies the feasibility of the design and the testing results show that the device realizes on-line monitoring of power quality index.

Key words: power quality; DSP; CPLD; cycle timing

中图分类号: TM714; TM76 文献标识码: A 文章编号: 1674-3415(2009)18-0097-05

0 引言

目前, 电能质量问题越来越受到人们的关注, 主要的电能质量问题可分为稳态和暂态两大类, 前者以波形畸变为特征, 主要包括谐波、间谐波、波形下陷以及噪声等; 后者通常以频谱和暂态持续时间为特征, 可分为脉冲暂态和振荡暂态^[1]。近年来, 暂态电能质量的监测需求(例如毫秒级以下的脉冲暂态和振荡暂态)对监测装置的实时性和算法复杂性提出了更高的要求, 电能质量监测装置所要处理的任务种类繁多^[2], 既有周期性任务(数据采样, 各种计算、分析等), 又有突发性任务(通信、人机交互等), 同时还要保证系统的实时性, 这就要求系统处理器具有很高的处理速度、丰富的内部资源以及良好的逻辑控制能力。

目前, 数字信号处理器(DSP)已广泛应用于智能化电力装置中, DSP应用需要解决的一个重要问题是 DSP与外围器件(如键盘、液晶显示屏、扩展RAM、ROM等)的时序配合和接口扩展^[3]。由于DSP性能有限, 随着电能质量监测指标的细化, 必

须引入其他措施来解决这个问题。文献[4]提出了基于双CPU的电能质量监测系统, 由DSP完成实时分析计算任务, 单片机负责完成液晶显示器、键盘等相对慢速的人机交互任务, 但两个CPU之间数据的交换需要占用较多的系统资源。本文设计了基于DSP+CPLD构架的电能质量监测装置, 利用可编程逻辑器件(CPLD)作为桥梁, 实现了DSP与各种外围器件的时序配合, CPLD的时序波形仿真与装置测试结果证明了装置的有效性。

1 系统硬件结构设计

系统的硬件结构如图1所示。本装置的任务是完成对被监测信号的模数转换和各相电能质量指标的分析计算、存储和上传。硬件系统包括A/D转换单元、数字处理单元(DSP)、外扩程序空间(SRAM)、外扩数据储存单元(FLASH)、逻辑控制单元(CPLD)、异步通信接口单元(TL16C550)、人机接口(按键、液晶显示)。

其中, DSP采用TMS320VC5402, 其运算速度达100 MIPS。CPLD采用EPM7128AE100-10, 其

内部集成了 2500 个可用逻辑门，具有 80 个用户可编程的 I/O 口，引脚到引脚的传输延迟仅为 7.5 ns。

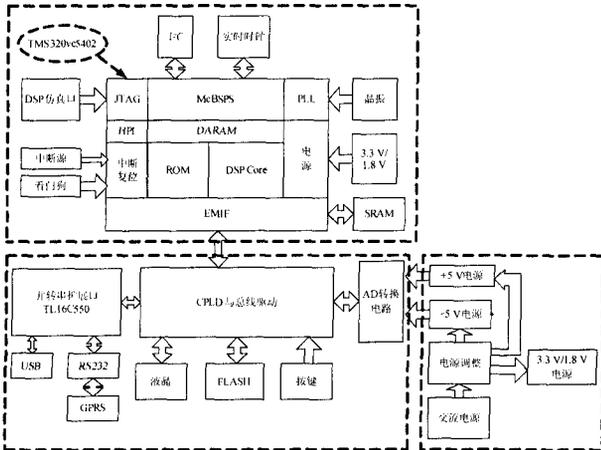


图 1 系统硬件结构图
Fig.1 Hardware structure of device

1.1 CPLD 模块设计

CPLD 单元作为时序逻辑控制中心以协调整个装置的工作，CPLD 在整个电路中的逻辑控制包括：对 DSP 中断的管理，DSP 存储空间的选择和读写控制，A/D 采样和采样数据传输的控制，外扩程序空间 (SRAM)和数据储存单元(FLASH)的读写控制，LCD 显示的控制，对按键输入的响应控制，通信接口的控制。

以下将分别介绍 CPLD 对 DSP 外围扩展器件的逻辑接口设计 (A/D 转换接口、通信接口和液晶显示接口)，并详细分析了 CPLD 模块的时序仿真波形。

1.1.1 A/D 转换接口设计

本装置使用两片 MAX125 分别对三相电压和三相电流进行同时采样。由于本装置采样率较高，如果采用 DSP 直接控制 ADC 的采集，将会占用较多的 DSP 资源；若采用 DMA 控制，则需要 DSP 支持总线挂起功能，DSP 需等待总线释放才能访问外部存储器和外部端口，极大地影响数据的及时处理。为此，本装置采用 CPLD 来实现 MAX125 的时序逻辑控制。

MAX125 与 DSP 接口电路如图 2 所示，图中，A/D 启动信号 $\overline{\text{CONVST}}$ 、片选信号 $\overline{\text{CS}}$ 、中断信号 $\overline{\text{INT}}$ 和读/写信号 ($\overline{\text{RD}}/\overline{\text{WR}}$) 由 DSP 通过 CPLD 译码产生。由于 MAX125 的数据接口电平与 DSP 不匹配，故使用 SN74LVTH16245 作为电平转换器。MAX125 和 SN74LVTH16245 的控制信号由 CPLD 发出。

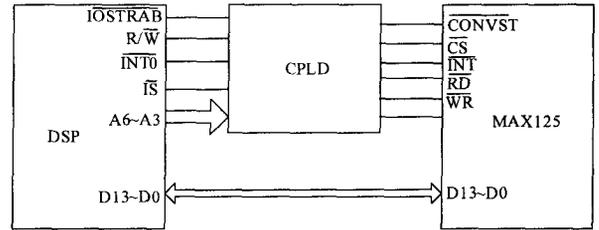


图 2 DSP 与 MAX125 接口电路示意图
Fig.2 Sketch map of interface circuits between DSP and MAX125

1.1.2 通信接口设计

本装置采用 UART 芯片 TL16C550 实现 RS232 通信。TL16C550 的主要功能是为数据电路端接设备(DCE)设备和数据终端设备(DTE)之间提供可靠、灵活的接口服务。

DSP 与 TL16C550 接口电路如图 3 所示，TL16C550 的片选信号为 $\overline{\text{CS0}}$ 、 $\overline{\text{CS1}}$ 、 $\overline{\text{CS2}}$ ，将 $\overline{\text{CS0}}$ 和 $\overline{\text{CS1}}$ 直接置高电平，地址选通信号 $\overline{\text{ADS}}$ 直接接地 ($\overline{\text{ADS}}=0$ 时，片选信号生效，否则片选信号无效)，则 $\overline{\text{CS2}}$ 为低电平时芯片被选中。TL16C550 提供低电平 ($\overline{\text{RD1}}$ 、 $\overline{\text{WR1}}$) 和高电平 ($\overline{\text{RD2}}$ 、 $\overline{\text{WR2}}$) 有效两种读写信号引脚。设计中将 $\overline{\text{RD2}}$ 、 $\overline{\text{WR2}}$ 低电平(无效状态)，由 CPLD 译码来控制 $\overline{\text{RD1}}$ 和 $\overline{\text{WR1}}$ 读写信号。TL16C550 的中断请求信号 $\overline{\text{INTPR1}}$ (高电平复位信号)通过 CPLD 译码后与 DSP 外部中断信号 $\overline{\text{INT3}}$ 相连接。

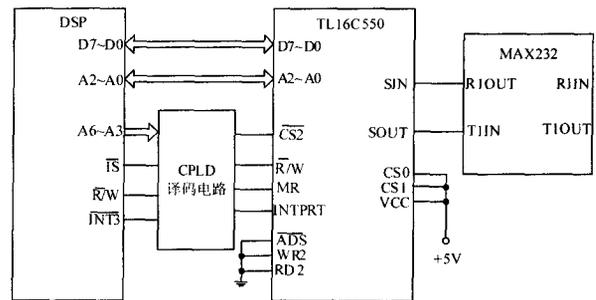


图 3 DSP 与 TL16C550 接口电路示意图
Fig.3 The sketch map of interface circuits between DSP and TL16C550

1.1.3 液晶显示接口设计

液晶显示模块的操作时间一般是毫秒级的，因此，液晶显示模块相对 DSP TMS320VC5402 (运算速度为 10 ns) 为慢速器件。本装置采用 SN74LVTH16245 来实现两者之间数据的缓冲，采用 CPLD 产生 DSP 对液晶显示模块的控制逻辑，液晶显示模块采用 DM12864F-6，其控制器为 T6963C，

图4为液晶模块与DSP的接口电路。C/D为T6963C的通道选择信号，C/D=1为指令通道，C/D=0为数据通道； \overline{CE} 为选通信号； \overline{RD} ， \overline{WR} 为读、写选通信号；DB7~DB0为8位数据总线。对液晶进行操作时，首先选通指令通道并写入相应指令代码初始化液晶模块，接着由CPLD译码选通数据通道，即可通过DB7~DB0对液晶进行相应的数据读写操作。

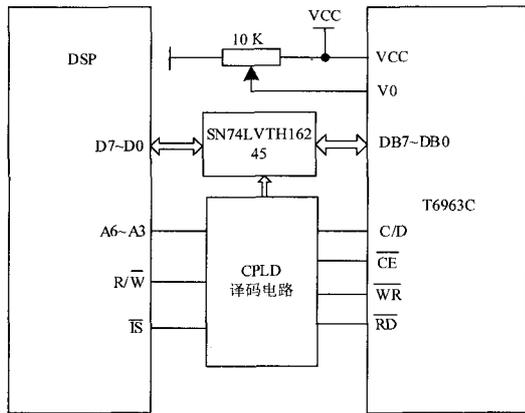


图4 DSP与T6963C接口电路示意图

Fig.4 Sketch map of interface circuits between DSP and T6963C

2 CPLD 时序设计及其波形仿真

MAX+PLUS II 中的波形编辑器可以实现逻辑和时序仿真,设计中关键信号的时序仿真图如图5所示。图中,CPLD的基准时钟为DSP的机器时钟DSP_CLKOUT(100 MHz),各外围器件的片选信号由DSP的A0~A3地址线(DSP_A[6..3])经CPLD译码后产生,DSP_~IS为外围器件的使能输入端。

2.1 A/D 转换过程

装置每工频周期采样64点,故CPLD每0.3125 ms触发DSP外部中断DSP_~INT1(低电平有效),在对应中断服务程序中AD_~COV置上升沿,启动AD转换。转换完成后,将AD_INT1置低电平,经CPLD译码后触发DSP外部中断DSP_~INT0,在对应的中断服务程序中选通AD(AD_~CS1置低电平),然后利用DSP_R/~W和DSP_~IOSTRAB信号经CPLD译码使AD_~RD1连续三次有效,读取3个通道转换完成后的数字信号(另一AD芯片的控制与此类似)。当采样点数达到要求后,转入各种电力参数的计算程序中。

2.2 FLASH 写操作

计算完成后,使能FLASH_~CE信号(FLASH

有效),同时利用Databus[4..0](DSP数据总线低5位)经CPLD译码控制FLASH高5位地址线FLASH_A[20..16],选择要写入数据的分页(FLASH空间分为32页×64 Kbit),接着将写信号置低电平(有效),即可将计算的结果存入FLASH对应的空间。

2.3 液晶显示写操作

当显示条件满足时,使能LCD_~CE信号(LCD有效)并置LCD_~D_R信号为低电平(选通数据通道),同时将写信号(LCD_~WR)置低电平,即可将要显示的数据写入液晶RAM中,从而完成计算数据的实时显示。

2.4 异步串行通信过程

当有外部操作使TL16C550芯片中断信号UART1_~INT有效(高电平),该信号经CPLD译码后将触发DSP外部中断信号DSP_~INT3使DSP进入相应中断服务程序(在DSP没有更高级的中断时)。在中断服务程序中,DSP使能UART1_~CE(TL16C550有效),同时产生DSP_R/~W信号经CPLD译码后,分别控制TL16C550的读写信号UART_RD和UART_WR配合地址和数据总线,进行数据接收和发送。

图5中各信号的时序仿真波形符合各个芯片的接口要求,因此,本装置CPLD模块的时序逻辑设计是正确的。

2.5 性能改善

在没有采用CPLD之前,DSP5402只能进行每周32点的采样和计算,远不能满足电能质量指标的计算和分析要求,而引入CPLD后,可进行每周64点的采样和计算,且硬件资源利用率有了大幅提高。此外,CPLD的引入使得系统硬件设计更为紧凑,可靠性更高,开发和维护更为方便。

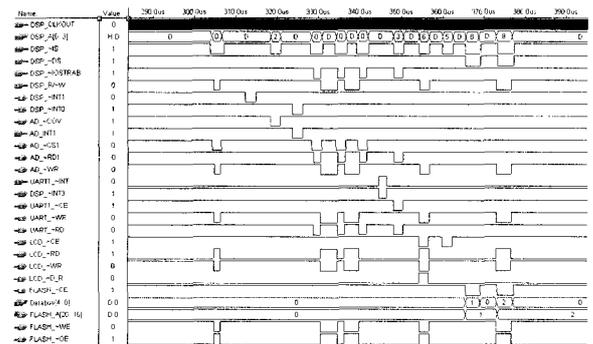


图5 CPLD 关键信号时序仿真图

Fig.5 Cycle timing simulating results of key signal

3 系统性能测试

电能质量指标包括供电电压允许偏差、频率偏差、电压波动与闪变、三相不平衡度、公用电网谐波和暂时过电压和瞬态过电压^[5]。限于篇幅，本文仅对电压偏差、功率、电压谐波（稳态电能质量）和电压骤降（动态电能质量）进行了试验，结果如下：

实验用经过中国计量科学研院校准的标准

功率源 KS833 对本装置进行精确测量试验。

3.1 稳态电能质量

表 1~3 为部分稳态电能质量试验结果，误差评价公式为：

$$\text{绝对误差} = |\text{测量值} - \text{标准值}|$$

$$\text{相对误差} = \frac{\text{测量值} - \text{标准值}}{\text{标准值}} \times 100\%$$

表 1 三相电压测量数据

Tab.1 Voltage's measured data

| 标准源 输入值/V | A 相测 量值/V | B 相测 量值/V | C 相测 量值/V | A 相相 对误差/(%) | B 相相 对误差/(%) | C 相相 对误差/(%) |
|--------------|--------------|--------------|--------------|-----------------|-----------------|-----------------|
| 220 | 219.75 | 219.45 | 219.79 | -0.11 | -0.25 | -0.10 |
| 280 | 279.83 | 279.93 | 279.89 | -0.06 | -0.03 | -0.04 |
| 320 | 319.82 | 319.90 | 319.77 | -0.06 | -0.03 | -0.07 |
| 360 | 359.73 | 359.78 | 359.89 | -0.08 | -0.06 | -0.03 |
| 380 | 379.73 | 379.66 | 379.83 | -0.07 | -0.09 | -0.04 |
| 400 | 399.77 | 399.63 | 399.53 | -0.06 | -0.09 | -0.12 |
| 420 | 419.51 | 419.80 | 419.75 | -0.12 | -0.05 | -0.06 |
| 460 | 459.51 | 459.77 | 459.63 | -0.11 | -0.05 | -0.08 |

注：本表的测量数据是 10 次测量的平均值。

表 2 功率测量数据 (A 相)

Tab.2 Power's measured data(phase A)

| 电压标准值/V | 电流标准值/A | 单相输出功率/W | A 相有功测量值/W | A 相功率相对误差/(%) |
|---------|---------|----------|------------|---------------|
| 60 | 0.3 | 14.40 | 14.45 | 0.35 |
| 100 | 0.8 | 64.00 | 64.02 | 0.03 |
| 220 | 1.5 | 264.00 | 264.28 | 0.11 |
| 300 | 2.0 | 480.00 | 480.33 | 0.07 |
| 350 | 2.5 | 700.00 | 700.42 | 0.06 |
| 380 | 3.0 | 912.00 | 912.21 | 0.02 |

注：本表的测量数据是 10 次测量的平均值。

表 3 电压谐波百分率测量值

Tab.3 Measured data of voltage harmonics rate

| 谐波次数 | 2 | 3 | 4 | 5 | 6 | 7 |
|------------|------|------|------|------|------|------|
| 标准值/(%) | 5.00 | 5.00 | 5.00 | 5.00 | 5.00 | 5.00 |
| A 相测量值/(%) | 4.99 | 5.00 | 4.98 | 4.99 | 4.99 | 4.98 |
| B 相测量值/(%) | 5.00 | 4.99 | 4.98 | 4.98 | 4.99 | 4.98 |
| C 相测量值/(%) | 5.00 | 4.98 | 4.99 | 4.99 | 5.00 | 4.98 |

注：本表的测量数据是 10 次测量的平均值，设定三相输入标准值均相同。

图 6~8 为三相电压和功率测量相对误差分布图和电压谐波绝对误差分布图，从图中可以看出，三相电压测量相对误差分布在 -0.25%~0 之间，功率测

量相对误差小于 0.35%，电压谐波百分率绝对误差分小于 0.02%。

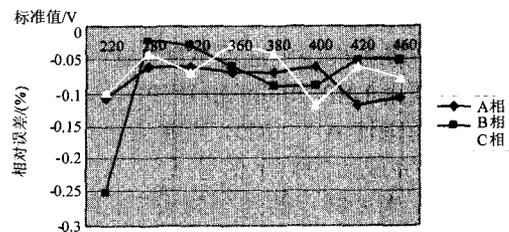


图 6 三相电压相对误差

Fig.6 Three-phase relative error

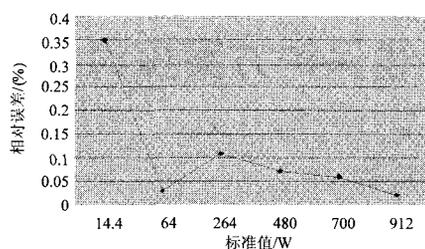


图7 功率测量相对误差(A相)

Fig.7 Power's relative measurement error (phase A)

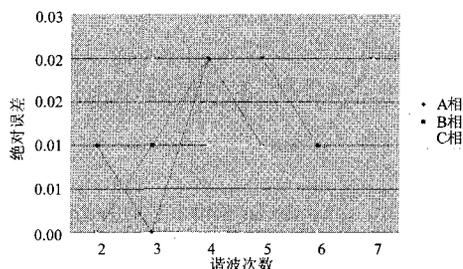


图8 电压谐波百分率绝对误差

Fig.8 Absolute error of voltage harmonics rate

3.2 动态电能质量

电压骤降是暂态电能质量问题的一种, 根据 IEEE Std 1159 的定义, 电压骤降是指工频电压降低 0.1~0.9 p.u. 之间, 持续时间在 0.5 个周波到 1 min 的暂态电能质量问题^[6]。根据持续时间的不同, 又可分为瞬时、暂时和短时电压骤降等三种类型, 分别为 10~600 ms, 600 ms~3 s 和 3 s~1 min。本文对电压骤降进行了测量实验, 装置采样频率为 3.2 kHz, 信号的最小分辨率 0.312 5 ms, 足以对这几类暂降信号进行检测。采用标准源 FLUKE61000 产生装置输入信号, 装置监测结果如表 4 所示。

表4 电压骤降试验结果

Tab.4 Voltage sags test results

| 电压骤降类型 | 输入信号次数 | 准确监测次数 | 准确率 |
|--------|--------|--------|------|
| 瞬时 | 10 | 10 | 100% |
| 暂时 | 10 | 10 | 100% |
| 短时 | 10 | 10 | 100% |

从实验结果可以看出, 监测装置具有很高的精度, 可以满足电能质量在线监测的要求。

4 总结

本文设计了一种 DSP 和 CPLD 的在线式电能质量监测装置, 采用 CPLD 来实现 DSP 与其它外围芯片接口电路的各种时序逻辑控制, CPLD 的引入使

得装置硬件结构紧凑, 增强了系统抗干扰能力, 保证了电能质量监测的实时性。在线仿真与实际硬件测试结果证明, 该系统设计方案合理, 性能稳定可靠。

参考文献

- [1] 潘晓杰, 刘涤尘, 邹江峰. 基于 DSP 的电能质量在线监测装置[J]. 高电压技术, 2005, 31(12): 73-75.
PAN Xiao-jie, LIU Di-chen, ZOU Jiang-feng. DSP-based Power Quality Online Monitoring System[J]. High Voltage Engineering, 2005, 31(12): 73-75.
- [2] 欧阳森, 宋政湘, 段成刚, 等. 新型电能质量监测系统的设计[J]. 电工电能新技术, 2003, 22(1): 43-47.
OUYANG Sen, SONG Zheng-xiang, DUAN Cheng-gang, et al. Design of a New Power Quality Monitor System[J]. Advanced Technology of Electrical Engineering and Energy, 2003, 22(1): 43-47.
- [3] PU Xiao-chuan, JIANG Lie-hui, ZHAO Qiu-xia, et al. Time Characteristic Analysis and Circuit Design of External Interface of Embedded System[A]. in: Proceedings of Computer-Aided Industrial Design and Conceptual Design[C]. Hangzhou: 2006. 1-5
- [4] 冯红岩, 赵双喜, 张建成, 等. 基于双 CPU 的电能质量监测系统设计与实现[J]. 继电器, 2006, 34(7): 61-64.
FENG Hong-yan, ZHAO Shuang-xi, ZHANG Jian-cheng, et al. Design and Implementation of a Power Quality Monitoring System Based on Dual CPUS[J]. Relay, 2006, 34(7): 61-64.
- [5] 肖湘宁. 电能质量分析与控制[M]. 北京: 中国电力出版社, 2004.
- [6] IEEE Std 1159-1995. IEEE Recommended Practice on Monitoring Electric Power Quality[M]. New York: IEEE Press, 1995.
- [7] Ananth I, Morcos M M. A Power Quality Monitoring System: a Case Study in DSP-based Solutions for Electric Power Industry [J]. IEEE Trans on Power Engineering Review, 2005, 19(7): 47-50.
- [8] Yang G H, Wen B Y. A Device for Power Quality Monitoring Based on ARM and DSP[A]. in: Proceedings of 1st IEEE Industrial Electronics and Applications[C]. Singapore: 2006. 1-5.
- [9] Antonio Delle Femine, Daniele Gallo, Carmine Landi, et al. Performance Analysis of Power Quality Monitoring Instruments[A]. in: Proceedings of Instrumentation and Measurement Technology Conference[C]. Canada: 2008. 2026-2031.

收稿日期: 2008-11-14

作者简介:

林广明 (1985-), 男, 硕士研究生, 研究方向为电能质量等; E-mail: gm.l@scut.edu.cn

黄义锋 (1984-), 男, 学士, 研究方向为电子测量仪器;

欧阳森 (1974-), 男, 讲师, 工学博士, 研究方向为电能质量和智能电器等。