

基于 FPGA 及数字倍频技术实现数据同步采集的研究

王军, 和敬涵

(北京交通大学电气工程学院, 北京 100044)

摘要: 应用 GPS 授时技术提出一种电力系统交流电气信号同步采集的设计方案。设计采用自顶向下的设计方法, 选用了可编程逻辑控制器件 FPGA 芯片作为硬件开发平台完成 GPS 系统对时、数字倍频、A/D 转换同步采样控制和数据存储的集成。实现了电力系统内部不同变电站之间以及变电站内部不同单元之间数据同步采集及存储等功能。此外给出了使用综合开发平台 Quartus II 设计软件进行的仿真与分析。数据同步采集在电力系统集成保护中具有实际应用价值。

关键词: 电力系统; GPS; 数字倍频; 数据同步采集; FPGA

Data synchronous acquisition based on FPGA and digital frequency multiplying technique

WANG Jun, HE Jing-han

(School of Electrical Engineering, Beijing Jiaotong University, Beijing 100044, China)

Abstract: This paper brings forward GPS time synchronization technique and presents a new data synchronous acquisition in power system. This new system integrates GPS time synchronization, digital frequency multiplying technique, data acquisition and data storage in FPGA, and implements data synchronous acquisition between two substations as well as in one substation of power system. Some simulation and analysis results used by Quartus II design software are presented, and the project can be used in integrated protection of power system.

This project is supported by National Natural Science Foundation of China (No. 50677003)

Key words: power system; GPS; digital frequency multiplying technique; data synchronous acquisition; FPGA

中图分类号: TM774 文献标识码: A 文章编号: 1674-3415(2009)03-0060-04

0 引言

随着计算机网络技术、通讯技术及电子技术的快速发展, 数字化电力系统逐步形成。电力系统内部信息资源共享、多种保护功能协调配合、保护集成等都对变电站各单元大量数据信息采集的同步性和实时性提出了更高的要求^[1], 因而, 同步数据采集的研究对于电力系统继电保护、故障判断、系统稳定分析等具有重要意义。而 GPS (Global Positioning System) 技术在电力系统的广泛应用, 解决了电力系统迫切需要的统一时间和不同厂站间的同步测量问题。利用 GPS 技术进行全网时钟的同步, 其实现手段简单、精度高、范围大, 是迄今为止最为理想的同步方法。考虑到 GPS 时钟的偶然性误差及其稳定性问题, 国内一些专家、学者已进行了针对性研究^[2-4], 而变电站内部不同采集单元间的

同步问题等还有待于进一步解决。

本文从电力系统数据采集的同步性和实时性要求出发, 采用美国 ALTERA 公司推出的超大规模现场可编程逻辑门阵列 (FPGA—Field Programmable Gate Array) 器件, 结合数字倍频技术设计了 GPS 统一对时、电气交流信号全网同步采集及存储系统, 进一步提高了精度和效率。

1 设计方案

系统由 GPS 精确对时模块、数据采集模块和 FPGA 组成。系统结构框图如图 1 所示。

GPS 精确对时模块结合了 GPS 输出信号长期稳定性好和高精度的恒温晶振信号短期稳定性好的优点生成修正后的精确、稳定的秒脉冲信号 (1PPS) 和国际时标 (UTC, Universal Time Coordinated)。秒脉冲信号上升沿与 UTC 标准时间严格同步, 其将作为系统唯一时间基准, 对 FPGA 内部的时钟信号每秒对时一次, 从而使电力系统内部不同变电站的数据信息的采集达到时间同步。目前市场上已有成形

基金项目: 国家自然科学基金资助项目 (50677003); 北京交通大学校科研基金资助 (EJ06005)

产品,可根据精度需要进行选择。

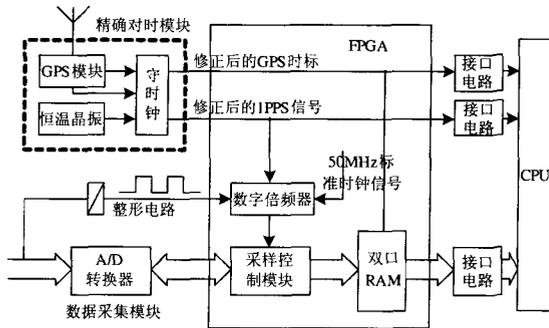


图1 系统结构图

Fig.1 System architecture

在综合考虑各输入信号特性、同步性和实时性要求的基础上,本次设计的数据采集模块选择了TI公司的ADS8364。它是6通道16位的高速同步数据采集系统,包括六个16位的A/D转换器、内部参考电压引脚、内部时钟引脚和六个采样保持放大器。ADS8364的转换时间只有4 μ s,每个通道都可以获得250 kHz的最大采样速率(当外部时钟为5 MHz)。为了减小因被测信号频率变化引起后续算法处理的非同步误差,本文采用数字倍频技术对ADS8364的采样时钟序列进行了倍频处理。由于系统对数据采集的实时性要求较高,这里选用FPGA作为整个采集系统的核心,在FPGA芯片上依次完成修正后GPS秒脉冲信号的统一对时、数字信号倍频、A/D转换的采样控制和数据的存储等功能。外部CPU可以通过接口模块方便地读取采样数据,并接收修正后的精确、稳定的秒脉冲信号和UTC标准时间。

秒脉冲信号和UTC标准时间信息的输出电路需要足够多的外部接口,以满足变电站内部不同单元间对时的需要。在干扰不是很强的环境下可以采用485方式,但在干扰比较强或者有特殊要求的情况下采用光纤输出方式。

由于FPGA集成度高,设计灵活,兼有串、并行工作方式,具有高速、高可靠性的特点,作为以往设计方案中单片机或DSP控制数据采集的替代者,本文选用美国ALTERA公司Cyclone II系列的EP2C20F484C8作为设计的目标器件,它基于1.2 V、90 nm及全层铜SRAM工艺,具有丰富的可编程资源和片内RAM资源。配合开发集成环境Quartus II软件便于进行接近真实器件运行特性的时序仿真。

1.1 数字倍频器的设计

在电力系统中,变电站内部数据信息的采集不仅要考虑时间上的同步,同时还要考虑频率的同步。为了避免较大的测量误差和频谱泄漏,通常需

要对电网频率进行测量和跟踪。传统的方法有:(1)由锁相环电路实现的硬件同步方法;(2)采用软件实现同步的方法。

采用硬件锁相环技术存在延迟和纹波两个方面的问题,其自身延迟和纹波的影响是相互对立的,两者引起的偏差不可能同时被抑制,因而在动态频率跟踪时会引起较大误差^[5]。而采用软件方法简化了硬件电路,其精度较高,且频率跟踪时间的可控性强,但需要增加微处理器的计算量,并且由于微处理器中计数器的量化误差和中断响应时间的分散性也必然会导致较大的采样误差^[6]。由于VHDL语言的应用使得FPGA的设计更贴近于软件方式,体现了“软硬件设计”的全新概念。本文在FPGA芯片上设计数字倍频模块,使之应用于频率跟踪技术。该设计在时钟信号频率较高时,能取得好的精度,特别是和模拟倍频器比较,它跟踪频率速度快,适用于低频周期信号的测量与分析。

数字倍频器由测周期计数器和数控分频器两部分组成,原理如图2所示。周期电气信号经外部电路整形后,转换为与原信号同频率的方波信号 x ,其频率为 f_x ,要求对其实现 N 倍频;系统同步时钟信号为CLK,其频率为 f_0 ;统一校准对时信号为修正后的精确、稳定的秒脉冲信号1PPS。

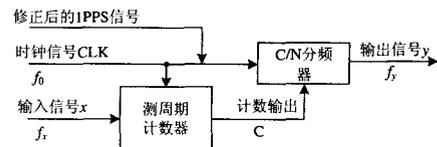


图2 数字倍频器

Fig.2 Digital frequency multiplier

利用分频器对时钟信号CLK进行分频,则分频系数为测周期计数器计数值的 $1/N$,若测周期计数值为 C ,则分频系数为 C/N ,输出信号 y 的频率 f_y 为:

$$f_y = \frac{f_0}{C/N} = \frac{Nf_0}{C} \quad (1)$$

以CLK为标准时钟,计数器对输入信号 x 完成周期测量,若忽略各种误差后计数值为 C ,则:

$$C = \frac{f_0}{f_x} \quad (2)$$

由式(1)和式(2)可得: $f_y = Nf_x$,因此,实现了对输入信号的 N 倍频^[7]。同时,修正后的1PPS信号每秒钟对系统时钟信号CLK强令同步一次,以实现全系统内部采样时间的同步,并可以减少时钟信号的长期累计误差。

根据图2的结构,使用VHDL语言实现数字倍频器时,构造体对应两个进程分别完成测频计数和数

控分频的功能。时钟信号CLK锁定FPGA芯片内部50 MHz时钟信号，对其分频时，若一个周期要求64点采样 ($C/N=15\ 625$ 其中 $C=1000000$, $N=64$)，则输出信号y的频率为3 200 Hz。若要求采样控制信号的占空比为30%，其软件设计流程如图3所示。

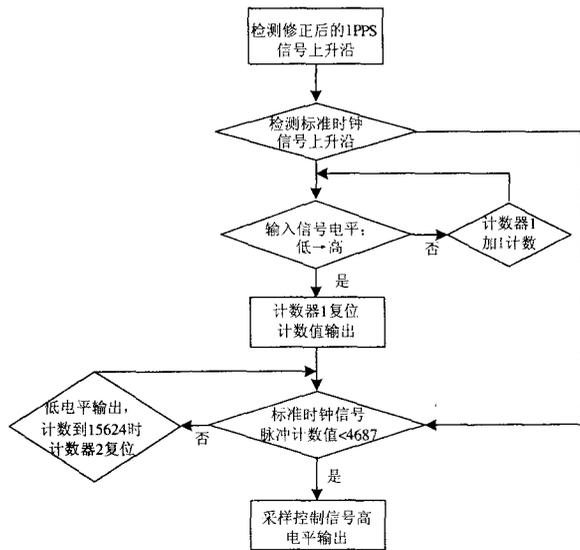


图3 数字倍频器软件流程

Fig.3 Flowchart of Digital frequency multiplier

1.2 采样控制模块的设计

采样控制模块主要是根据ADS8364的转换时序，在其引脚发出相应的时序控制信号，使之完成初始化、启动、转换和数据存储等操作，这一控制过程通过状态机实现。图4和图5分别是ADS8364的转换时序图和采样控制状态图。

ADS8364的控制操作如下：首先初始化后设置转换模式，然后启动转换。初始化可控制ADS8364的复位引脚RESET，将其置高，待系统时钟稳定后，令其产生一个低脉冲，即对ADS8364可靠复位。三个保持信号 (HOLDA、HOLDB、HOLDC) 可以启动指定通道的转换。当三个保持信号同时被选通时，其转换结果将保存在六个寄存器中。BYTE引脚用于确定每次读数的位数，为0时使能字模式，读取16位数据；为1时使能字节模式，从DATA[0]~DATA[7]引脚分两次读取。本文对于每一个读操作，ADS8364均输出十六位数据，地址/模式信号 (A0, A1, A2) 可以选择如何从ADS8364读取数据。其中有选择单通道、单周期或FIFO模式等。通过查询ADS8364的EOC信号判断是否转换完成，转换结束后，通过置RD和CS为低电平可使数据读出，同时将数据保存到数据存储区，完成一次A/D转换操作。

由于采样脉冲由数字倍频器输出控制，控制模块每完成一次采样操作，则停止等待下一个触发脉冲的到来。

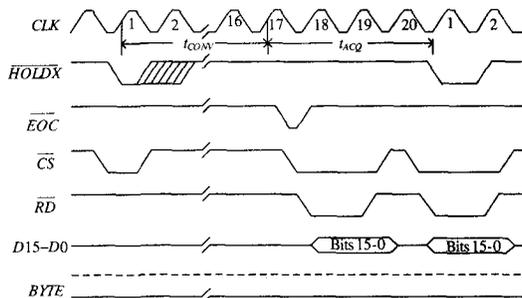


图4 ADS8364工作时序

Fig.4 Work timing of ADS8364

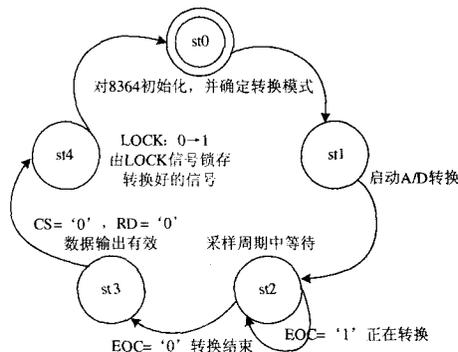


图5 控制ADS8364采样状态图

Fig.5 Acquisition state of controlling ADS8364

1.3 存储空间集成

本文使用的Cyclone II系列EP2C20F484C8芯片内具有多达1.1Mbits的用于嵌入式处理器的通用存储单元。可配置成双口RAM、ROM、移位寄存器和FIFO等多种存储模式。利用片内存储资源实现的双口RAM完成采样数据的存储。采样的点数不同，双口RAM存储空间的大小也不同。按每个周期64点采样，每个采样数据16bit，6个通道则共需要6kbit。为了方便管理，采样数据以通道为单位存放，每个通道存储最新采到的一个周期的数据，如图6。与此同时，UTC标准时间的数据信息也存放到双口RAM中，一般来说，UTC标准时间的字符串包括：1个起始位，8个数据位，1个停止位，无奇偶校验。UTC标准时间通常使用NMEA-0183格式输出，数据代码ASCII码字符。

对双口RAM有两个方向的操作，一个是采样模块在一次采样结束后，将UTC标准时间和当前采样点共同写入对应通道的存储空间中，完成采样数据的时间标刻；另一个操作是完成UTC标准时间存放和某一个通道采样点的存储后，外部CPU通过接口模块读出

该通道一个周期的带有UTC标准时间的采样数据。不同变电站的时间同步环节就是把准确提取出的, 与数字倍频模块输出的同步采样脉冲相一致的具体采样时刻作为系统的统一时钟, 标刻在采样数据上, 并按帧格式送往数据中心进行分析和处理。

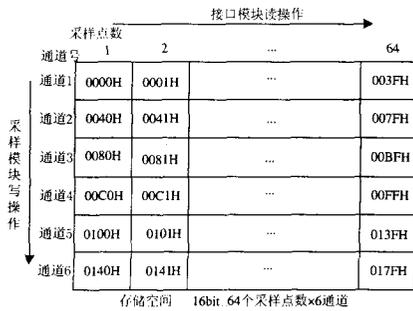


图6 片内双口RAM空间分配图

Fig.6 Diagram of dual-RAM embedded space distribution

2 软件仿真和分析

本文通过 Quartus II 设计软件分别对数字信号分频和采样控制进行了仿真, 结果分析如下。

芯片内部50 MHz时钟信号经修正后的1PPS秒脉冲信号精确对时后, 再经数字倍频器分频处理, 输出频率为3 200 Hz的采样控制信号。图7中如前文1.1所述, 根据系数C和N的变化可以用VHDL语言在程序中设计出要求的输出频率值和频率一定时可调整的占空比, 这里仿真出的波形占空比为30%。

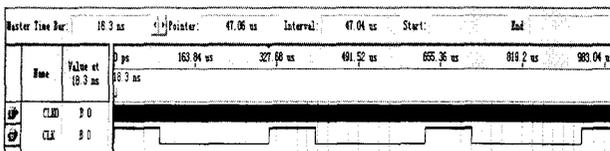


图7 数字信号分频仿真波形

Fig.7 Simulation of digital signal frequency multiple

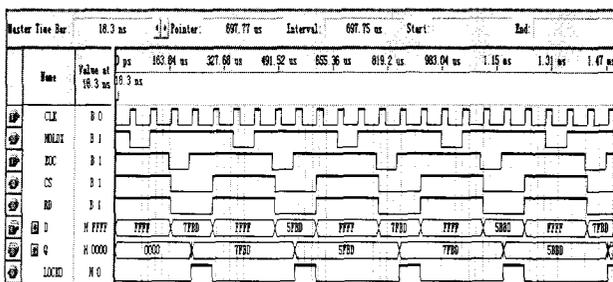


图8 ADS8364采样状态机工作时序

Fig.8 Work timing of ADS8364 acquisition state

图8所示的是数据采样控制状态机的工作时序。控制状态机的敏感信号来自数字倍频器, 频率

为3 200 Hz, 远远低于ADS8364的最大采样率, 由于状态机存在五个状态间的转换, 为达到同步采样, 需对其五倍频; ADS8364的时钟信号来自FPGA, 可通过芯片内部分频器分频获得, 这样便于配合。

从仿真结果分析可见, 本文所设计的数据同步采集系统能够满足对同步性和实时性的要求: GPS秒脉冲信号使数据信息的采集在全系统内达到时间上的同步, 精度约1 μs; 而FPGA对内部时钟信号的检测又都是在其上升沿, 延迟很短, 误差约100 ns, 从而提高了数据采集的实时性。

3 结论

(1) GPS 授时技术的应用使得全系统有了一个统一的时间基准。本设计中 FPGA 时钟信号每秒钟被 GPS 秒脉冲强令同步一次, 后经分频作为采样脉冲序列控制 A/D 采样, 从而使不同变电站间数据采集全网同步。

(2) 设计中采用 FPGA 实现数字倍频功能, 完成了变电站内部数据同步采集。与以往硬件同步方法相比, 它电路简化, 精度高; 与软件方法比较, 由于是检测到脉冲信号上升沿时触发控制, 速度更快。

(3) 选用高速同步数据采集系统 ADS8364 与 FPGA 采样控制模块配合能够更好得满足系统对数据采集实时性的要求。

(4) 存储空间的设计给采集到的数据打上时间标签, 并按帧格式送往数据中心进行处理。

(5) 本文设计方案实现简单, 修改灵活, 且成本较低, 能提高精度和速度。仿真分析验证了其可行性和有效性。这在电力系统对同步性和实时性要求较高的继电保护装置中有实用价值。

参考文献

- [1] 薄志谦, 和敬涵, 董新洲. 电力系统的集成保护[J]. 继电器, 2005, 33 (14): 6-10.
BO Zhi-qian, HE Jing-han, DONG Xin-zhou. The integrated protection for power network[J]. Relay, 2005, 33 (14): 6-10.
- [2] 曾祥君, 尹项根, K K Li, W L Chan. GPS 时钟在线监测与修正方法[J]. 中国电机工程学报, 2002, 22 (12): 41-45.
ZENG Xiang-jun, YIN Xiang-gen, K K Li, W L Chan. Methods for monitoring and correcting GPS-clock[J]. Proceeds of the CSEE, 2002, 22 (12): 41-45.
- [3] 张鹏, 王少荣, 程时杰. 电网状态监测系统GPS同步时钟的稳定性研究[J]. 继电器, 2004, 32 (23): 18-22.

(下转第85页 continued on page 85)

护装置故障分量差动保护的设计原理缺陷是造成本次误动的根本原因。

3 防止故障分量差动保护误动技术措施

事故发生后, 我们及时和保护生产厂家的专家联系, 分析事故发生的原因, 研究防止增量差动保护再次误动的方法, 决定对 1# 主变差动保护进行软件升级。升级后, 软件的逻辑回路(见图 4)增加了故障分量差动保护 2 周前无差流判据和稳态量低比率制动辅助判据, 可以有效防止故障分量差动保护误动作^[4~7]。

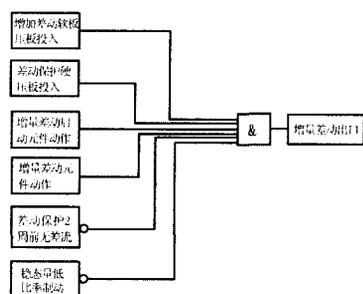


图 4 升级后的主变故障分量差动保护动作逻辑图

Fig.4 After the upgrading of the main transformer fault component differential protection logic of action plans

参考文献

- [1] 王梅义. 电网继电保护应用[M]. 北京: 中国电力出版社, 1999.
WANG Mei-yi. Application of Relay Protection in Power System [M]. Beijing: China Electric Power Press, 1999.
- [2] 陈喜峰, 库永恒. 某 220 kV 变电站 220 kV 母差保护动作事故分析, 继电器, 2007, 35 (5): 72-74.
CHEN Xi-feng, KU Yong-heng. Analysis of a Misoperation Accident in Microcomputer-based 220 kV

- Bus Differential Protection. Relay, 2007, 35 (5): 72-74.
- [3] 李绍东, 库永恒. CSL-200B 系列微机线路保护装置操作回路的改进[J]. 继电器, 2007, 35 (9): 65-67.
LI Shao-dong, KU Yong-heng. Alteration to the Operation Loop of Series CSL-200B Microprocessor-based Transmission Line Protection Device. Relay, 2007, 35 (9): 65-67.
- [4] 刘军, 库永恒. WXH-110 系列微机线路保护装置改造方案的研究[J]. 电力自动化设备, 2006.
LIU Jun, KU Yong-heng. Research on Series WXH-110 Microprocessor-based Transmission Line Protection Device. Power Automation Equipment, 2006.
- [5] 库永恒. 高压母线充电保护装置技术改造方案的研究[J]. 继电器, 2006, 34 (11): 83-85.
KU Yong-heng. Research on Scheme Primary Busbar Charging Protector Technological Transformation[J]. Relay, 2006, 34 (11): 83-85.
- [6] 丁同奎, 库永恒. 基于蚁群算法的配电网故障定位与隔离[J]. 继电器, 2005, 33 (24): 29-31.
DING Tong-kui, KU Yong-heng. Fault Location for Distribution Network Based on Ant Colony Algorithm[J]. Relay, 2005, 33 (24): 29-31.
- [7] 叶东印, 库永恒. 220 kV 钩州变电站过电压保护误动事故分析及改造方案的研究[J]. 继电器, 2008, (24): 97-100.
YE Dong-yin, KU Yong-heng. The Overvoltage Protection's Mistake to Move Trouble Analysis of the 220 kV JUN ZHOU Transformer Substation and the Research of the Reformation Project[J]. Relay, 2008, (24): 97-100.

收稿日期: 2008-04-12; 修回日期: 2008-04-07

作者简介:

叶东印 (1971-), 男, 高级工程师, 从事继电保护、电力系统生产运行管理工作;

贺要锋 (1972-), 男, 工程师, 从事继电保护管理;

库永恒 (1980-), 男, 助理工程师, 硕士研究生, 主要从事继电保护工作. E-mail: kuyongheng@163.com

(上接第 63 页 continued from page 63)

- ZHANG Peng, WANG Shao-rong, CHENG Shi-jie. Stability study of GPS synchronous clock in the status monitoring system of power network[J]. Relay, 2004, 32 (23): 18-22.
- [4] 钟山, 付家伟, 王晓茹. 高性能同步相量测量装置时钟研制[J]. 电力系统自动化, 2006, 30 (1): 68-72.
ZHONG Shan, FU Ja-wei, WANG Xiao-ru. Development of High Quality Backup Clock for Synchronized Phasor Measurement unit[J]. Automation of Electric Power Systems, 2006, 30 (1): 68-72.
- [5] 杨贵玉. 电力系统“广域同步相量测量”中几个关键问题的研究[D]. 浙江: 浙江大学. 2004, 12: 102-117.
YANG Gui-yu. Research on Some Key Problems of Wide Area Synchronized Phasor Measurements of Power Systems[D]. Zhejiang, Zhejiang University. 2004, 12: 102-117.
- [6] 黄纯, 何怡刚, 江亚群, 等. 交流采样同步方法的分析与改进[J]. 中国电机工程学报, 2002, 22 (9): 38-42.
HUANG Chun, HE Yi-gang, JIANG Ya-qun, et al. Analysis and Improvement of Synchronization

Technique for AC Sampling[J]. Proceeds of the CSEE, 2002, 22 (9): 38-42.

- [7] 胡晓菁, 宋政湘, 王建华, 等. 数字倍频原理的频率跟踪技术的误差分析与改进[J]. 电力系统自动化, 2007, 31 (1): 85-88.

HU Xiao-jing, SONG Zheng-xiang, WANG Jian-hua et al. Error Analysis and Improvement of Frequency Tracking Based on Digital Frequency Multiplying Principle[J]. Automation of Electric Power Systems, 2007, 31 (1): 85-88.

收稿日期: 2008-03-26; 修回日期: 2008-04-10

作者简介:

王军 (1970-) 男, 工学硕士, 工程师, 研究方向为电力系统在线监控、保护与信息技术; E-mail: 06121843@bjtu.edu.cn

和敬涵 (1964-), 女, 工学博士, 副教授, 主要从事电力系统稳定控制、在线监测与智能管理、继电保护、电能质量和电力市场等方面的研究。