

# 基于 FPGA 的微机保护板间通信技术

陈凡<sup>1</sup>, 李从飞<sup>2</sup>, 鲁雅斌<sup>2</sup>, 张金贵<sup>2</sup>

(1. 南京工程学院电力工程学院, 江苏 南京 211167; 2. 南京南自电网控制技术有限责任公司, 江苏 南京 210003)

**摘要:** 针对大型微机保护装置板间交互信息越来越多, 而并行通信抗干扰能力差、硬件成本高的现状, 提出了一种基于 FPGA 编程实现的微机保护装置板间通信技术。制定了微机保护板间通信技术的通信协议, 进行了软件仿真, 采用该技术的实际装置已在工程中得到了应用。

**关键词:** FPGA; 板间通信; 微机保护; 时钟提取

## FPGA -based technique for microcomputer protection communication among boards

CHEN Fan<sup>1</sup>, LI Cong-fei<sup>2</sup>, LU Ya-bin<sup>2</sup>, ZHANG Jin-gui<sup>2</sup>

(1. School of Electric Power Engineering, Nanjing Institute of Technology, Nanjing 211167, China;

2. Nanjing Nanzi Power System Control Technology Co., Ltd, Nanjing 210003, China)

**Abstract:** The interactive information among boards of large-scale microcomputer protection devices is becoming more and more, but at the same time the anti-interference ability of parallel communication is poor and the cost of hardware is expensive. Considering about that, the FPGA-based technique of microcomputer protection communication among boards is proposed in this paper, and the communication protocol among boards of microcomputer protection devices is set down, and the simulation is carried out, too. The actual devices applying technique proposed have been used in some projects up to now.

**Key words:** FPGA; communication between boards; microcomputer protection; clock recovery

中图分类号: TM774; TM76 文献标识码: A 文章编号: 1674-3415(2008)18-0073-05

## 0 引言

随着电力系统保护原理、算法研究等的不断发展, 微机保护装置的运行环境变得更为复杂和严酷, 对微机保护装置的性能提出了更高的要求。硬件平台作为保护原理的载体和实现继电保护全部功能的基础, 其发展对电力系统的可靠性和安全性有着至关重要的意义。微机保护硬件平台中一直存在着—对矛盾, 即高速的 CPU 核心运行电压低、抗干扰性能差, 而外围开入、开出运行于强电, 在动作时会产生很大的干扰。为了解决这对矛盾, 现有保护装置中的 CPU 和开入、开出采用的均是异板并行的方式。这样做虽然部分解决了干扰的问题, 但是随着微机保护功能的不断完善和扩大, 微机保护装置朝着智能化、小型化、一体化方向发展, 装置的开关量越来越多, 逐渐成为制约装置硬件发展的一个瓶颈<sup>[1]</sup>。

本文提出了一种基于 FPGA 的微机保护装置板间串行通信技术, 通过采用两片 FPGA 分别置于 CPU

板和保护接口插件实现并串、串并转换, 时钟提取和逻辑译码功能, 大大提高了装置的抗干扰能力, 实现了插件的模块化和可扩展性。本技术在南京南自电网控制技术有限责任公司的发变组保护装置上得到了实现, 实际运行经验证明了该技术的安全稳定性。

## 1 FPGA 简介

传统的 FPGA 在电力系统中很少应用, 主要原因在于传统的 FPGA 需要一片配置 ROM 或 FLASH, 每次芯片上电时首先从 ROM 或 FLASH 中读取程序、装载逻辑。在这段时间内, FPGA 的 IO 管脚处于一个不确定的状态, 这对电力系统保护装置非常危险。因此一般保护装置中采用的都是 CPLD 且只用来实现一些简单的译码功能。但随着非易失性 FPGA 的出现, 其采用片上 FLASH 的技术使得 FPGA 上电装载程序的时间减小到 1 ms, 且大大简化了电路设计, 这使得 FPGA 在电力系统保护装置中的广泛应用成为可能。本文阐述的板间通信技术就是采用 Lattice

公司的非易失性 LatticeXP 来实现的。

LatticeXP 器件支持 1.2、1.8、2.5 和 3.3 V 的供电电压, 采用 ispXP 技术, 该技术将 SRAM 和非易失的闪存结合起来, 使 FPGA 同时具备了非易失性和无限可重构性<sup>[2]</sup>。

基于 SRAM 的存储单元控制 FPGA 器件的逻辑的操作, 这些单元在上电后 1 ms 内由芯片上的 FLASH 载入, 提供瞬时上电的功能; 或通过用户命令引导。器件也可以经由一个微处理器接口配置, 即 sysCONFIG™ 接口或 JTAG 接口。与传统的基于 SRAM 的 FPGA 不同, LatticeXP 器件不需要外接引导存储器, 因此能提供单芯片的解决方案, 从而减少了电

路板面积, 并简化了系统制造过程。由于没有外接的引导器件, 启动时无需外部编程信号流 (bit-stream), 而窥探外部编程信号流正是 SRAM FPGA 的主要安全隐患。LatticeXP 还禁止从器件的 SRAM 和闪存部分回读编程信号流, 进一步提高了器件的安全性<sup>[3,4]</sup>。

## 2 系统概述

在 CPU 板上放置一片 FPGA-LFXP3, 编程实现 10 路通信, 在接口插件上放置一片 LCMXO (基于 FPGA 架构的 CPLD), 编程实现 1 路通信功能。具体结构图如图 1 所示。

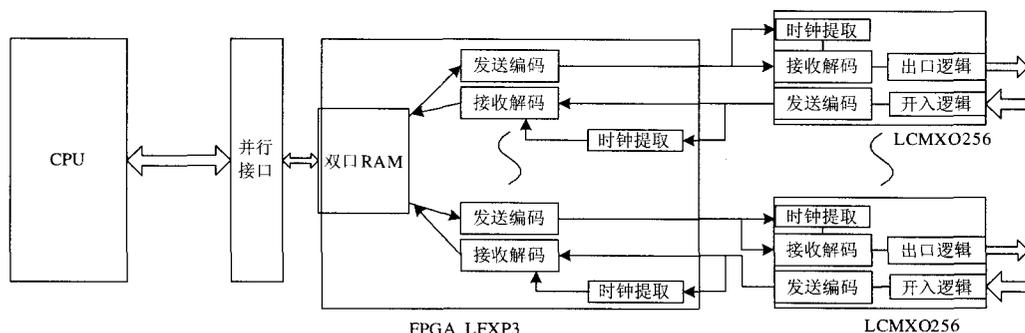


图 1 系统总体框图

Fig.1 System architecture

一个通信接口包括三个部分: 发送编码部分、接收解码部分、时钟提取部分。发送编码部分从双口 RAM 中读取数据, 按照一定的格式串行输出, 并加上校验和; 时钟提取部分从接收的串行数据中提取一路与数据有固定相位差的时钟; 接收解码部分利用时钟提取部分提取的时钟对数据进行分析、校验, 如果数据正确则存入双口 RAM, 如果出错则舍弃。

## 3 通信协议

为了保证数据传输的可靠性, 必须制定完善的规约, 具体如下:

FPGA 内部采样时钟采用 25 M, 每位通信数据为 16 个 CLK, 实际通信速率为 25/16=1.5625 Mbps。通讯数据采用连续发送模式。每帧固定为 80 个 Bit (10 个字节), 其中帧头 (第 1 个字节) 占 8 个 Bit, 帧尾 (第 10 个字节) 占 8 个 Bit, 有效数据 64 个 Bit (2~9 字节)。每帧时间 51.2 μs, 帧重复频率 10000 Hz, 位速率 1.5625 Mbit/s。字节的高位先发, 低位后发。

### 3.1 帧结构

字节	报文内容	说明
1	启动字符	帧头, 具体见 3.2
2	控制域	帧控制信息, 具体见 3.3
3~9	链路数据	用户数据
10	帧校验和	帧校验和, 具体见 3.4

### 3.2 启动字符的定义

由于链路传输过程为同步连续传输过程, 解码端需要在报文流中找到启动字符来触发接收过程。当收到最后一个固定长度的报文字节后, 校验帧校验和, 若正确, 则本帧报文有效。

启动字符固定为 0xA5。

### 3.3 控制域的定义

DIR	RST	ACK	FCB	功能码
B7	B6	B4	B5	B3~B0

DIR: 传输方向位=0: 表示报文是 CPU 向接口插件传输; 传输方向位=1: 表示报文是接口插件向 CPU 传输。

RST: 复位状态位=0: 本次复位后尚未启用; 复位状态位=1: 模块已启用, 报文有效。

ACK: 帧有效位=0: 最近一次接收到报文无效或

一段时间收不到对方报文;帧有效位=1:表示最近一次接收到的报文有效。

FCB: 帧计数位: CPU 向接口插件传输新一轮的报文, 接口插件收到后在发送报文至 CPU 时将该位置为同接收报文状态, CPU 发送时和前一轮 FCB

取相反值。

功能码 (B3~B0): 功能码范围为 0~15; 功能码代表的意义详如表 1、表 2 所示。

由 CPU 发往接口插件的报文(控制方向); 由接口插件发往 CPU 的报文(监视方向)。

表 1 发送方向功能码列表

Tab.1 Function codes of sending direction

功能码序号	帧类型	业务功能	备注
0	初始化帧	复位对方模块	在上电或 CPU 复位后, 发向对方模块报文, 一般由 CPU 发向接口插件, 接口插件在收到该报文后清空所有的控制输出电平。
1	启用帧	启动对方模块工作	一般在初始化帧后发送, 用以启动对方模块正常工作。接口插件在收到该帧后报文中的 RST 位置 1。模块在该帧后控制输出电平有效。
2	系统状态帧	发送本模块状态	在模块启用前发送报文, 用以发送模块状态
3	数据帧类型 1	传送数据	液晶通信报文
4	数据帧类型 2	传送数据	液晶通信报文(保留)
5	数据帧类型 3	传送数据	针对接口插件为开入插件
6	数据帧类型 4	传送数据	针对接口插件为开出插件
7~15	系统保留	备用	扩展使用

表 2 接收方向功能码列表

Tab.2 Function codes of receiving direction

功能码序号	帧类型	业务功能	备注
0	系统保留	备用	以后扩展使用
1	系统保留	备用	以后扩展使用
2	系统状态帧	发送本模块状态	在模块启用前发送报文, 用以发送模块状态
3	数据帧类型 1	传送数据	液晶通信报文
4	数据帧类型 2	传送数据	液晶通信报文(保留)
5	数据帧类型 3	传送数据	针对接口插件为开入插件
6	数据帧类型 4	传送数据	针对接口插件为开出插件
7~15	系统保留	备用	扩展使用

### 3.4 帧检验和

帧检验和是启动字符、控制域、链路数据所有字节的算术和(不考虑溢出位, 即 256 模和)。

控制方(即 CPU 方)帧检验和由 CPU 直接算好后写入 FPGA, 防止在数据加载一半时的发送, 接口插件在收到 CPU 发送至接口插件的报文后计算校验和, 校验和无效则舍弃该帧, 保证加载帧的完整性。

被控方(即接口插件)帧检验和由 FPGA 通过硬件计算校验和。

## 4 软件实现

FPGA 程序采用 Verilog 语言编写, 使用 Lattice 公司的 ispLEVER 软件进行综合、布线、下载。为了验证程序的正确性, 可以采用 Modesim 软件进行仿真。下文分别讲述和仿真板间通信 FPGA 的三个核心部分<sup>[5]</sup>。

### 4.1 发送编码

CPU 板的 FPGA 发送编码部分, 主要功能是从

双口 RAM 中读取 CPU 送过来的数据（接口插件的发送编码部分则采集接口数据），计算校验和与 CPU 送过来的校验和比较，如果正确则在进行封装之后串行输出。软件仿真如图 2 所示。图中 Tclk 为

发送时钟信号（由恒温晶振分频得到），tra 为发送缓冲（由 CPU 控制），Tx 为发送波形，在发送时钟的每一个上升沿把发送缓冲区的并行数据按照由高到低的顺序串行输出。

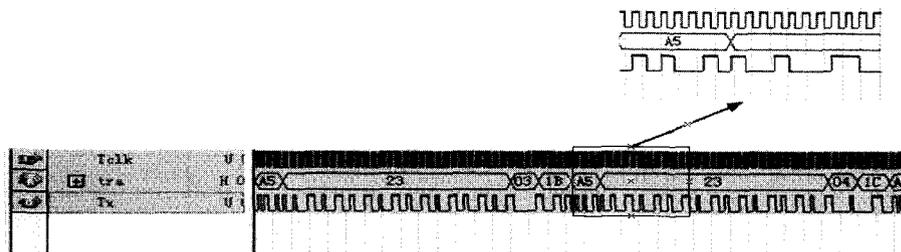


图 2 编码模块仿真波形图

Fig.2 Simulation wave of coding module

### 4.2 时钟提取

时钟提取部分是 CPU 和接口插件之间能否正确通信的关键所在，也是整个 FPGA 编程的最大难点。目前常用的时钟提取方法是仿照数字锁相环芯片进行编程来实现。数字锁相环提取时钟虽然可以有效地捕获串行数据的时钟，但是其捕获时间较长，在捕获过程中输出时钟不确定，这必将导致通信数据出错。本文所述的板间通信技术采用了一种全数字式、零捕获时间的时钟提取方法，成功地解决了传统方法捕获时间长的问题。其结构如图 3 所示。该部分包括五个模块，两个模块利用接收数据 16 倍

频来检测输入波形的跳变（上升沿和下降沿），检测到跳变之后启动周期性计数模块，根据两个周期性计数器的计数进行相与逻辑之后即可以输出提取的时钟。仿真波形如图 4 所示，图中 clk 为接收数据的 16 倍频率（由恒温晶振提供），Gin 为接收信号，Rclk 为提取的时钟。

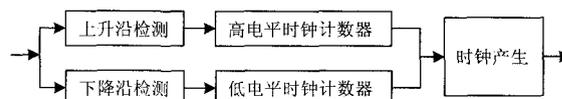


图 3 时钟提取部分结构图

Fig.3 Architecture of clock recovery

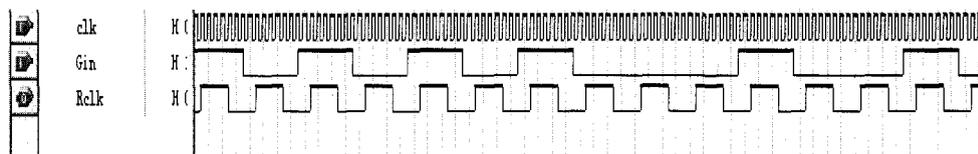


图 4 时钟提取部分仿真波形图

Fig.4 Simulation wave of clock recovery module

### 4.3 接收解码

接收解码部分利用时钟提取部分所提取的时钟实现串行数据到并行数据的转换，从转换的数据中寻找每帧报文的帧头，找到帧头后，保存接下来的用户数据，并计算校验和与结束数据的最后一个数据进行比较，若校验和正确，则根据该帧的类型进行相应的处理。

## 5 总结展望

本文提出的基于 FPGA 板间通信技术在南京南自电网控制技术有限责任公司的新一代发变组硬件平台上得到了应用，实际测试和运行结果表明，该技术稳定可靠，能够很好地满足现场需要。随着电

力系统自动化程度的不断提高，微机保护装置功能的不断增强，基于 FPGA 的板间通信技术将会得到广泛的推广和应用<sup>[5,6]</sup>。

### 参考文献

- [1] 易永辉, 赵志华, 薛玉龙, 等. 一种新型的继电保护软硬件平台[J]. 继电器, 2002,30(6):26-28.  
YI Yong-hui, ZHAO Zhi-hua, XUE Yu-long, et al. A New Software and Hardware Frame of Relay Protection[J]. Relay, 2002,30(6):26-28.
- [2] Lattice SemiConductor Corporation. Programming and Logic Analysis Tutorial [M].2005.
- [3] 姜琳,沈有昌,杨奇迹. 微机保护抗干扰研究[J]. 电力系统自动化, 1998,25(12).

- JIANG Lin, SHEN You-chang, YANG Qi-xun. Research on Anti-interference Ability of Microprocessor-based Protection[J]. Automation of Power Electric Systems, 1998,25(12).
- [4] 由欣,唐诚,刘建飞,等.实用微机保护装置可靠性分析与研究[J]. 电力自动化设备, 2002,22(3):3,5-7.
- YOU Xin, TANG Cheng, LIU Jian-fei, et al. Analysis and Research on Reliability of Applied Microprocessor-based Protection[J]. Electric Power Automation Equipments, 2002,22(3):3,5-7.
- [5] 王金明.数字系统设计与 Verilog HDL [M].北京: 电子工业出版社,2002.
- WANG Jin-ming. Digital System Design and Verilog HDL[M].Beijing: Publishing House of Electronics Industry, 2002.
- [6] UweMeyer-Baese.数字信号处理的FPGA实现[M].北京:清华大学出版社,2002.
- UweMeyer-Baese.The FPGA-based Implementation of Digital Signal Processing[M]. Beijing: Tsinghua University Press,2002.
- [7] 杨奇逊. 微型机继电保护基础[M]. 北京: 中国电力出版社, 1988.
- YANG Qi-xun. The Basic Principle of the Microprocessor-Based Protection[M]. Beijing: China Electric Power Press,1988.

收稿日期: 2007-12-05; 修回日期: 2008-01-25

作者简介:

陈凡(1981-),女,硕士,助教,主要从事电力系统运行与控制方面的教学和研究工作;E-mail:fanchen\_nj@163.com

李从飞(1981-),男,研发工程师,主要从事电力系统自动装置的研发工作;

鲁雅斌(1977-),男,研发工程师,主要从事电力系统继电保护装置的研发工作。

(上接第 64 页 continued from page 64)

4) 模糊综合评判方法加强了网络的可靠性和状态诊断结论的可靠性。

5) 采用 UML 设计系统,工作效率高,表述清晰,便于系统的扩展、维护。

#### 参考文献

- [1] 周鸿,董张卓,唐明. 计算机网卡状态快速诊断[J]. 电力自动化设备, 2005,21(1).
- ZHOU Hong,DONG Zhang-zhuo,TANG Ming. Rapid Diagnosis of Network Card Status[J]. Electric Power Automation Equipment, 2005,21(1).
- [2] 董张卓,唐明,周鸿.基于 ARP 报文的调度主站系统链路状态探测[J].电力系统自动化,2006,19(15).
- DONG Zhang-zhuo,TANG Ming,ZHOU Hong.The Method of Detecting Link Status on the ARP Packet[J].Automation of Electric Power Systems, 2006,19(15).
- [3] 邵维忠,麻志毅,张文娟.UML 用户指南[M].北京:机械工业出版社,2001.
- SHAO Wei-zhong,MA Zhi-yi, ZHANG Wen-juan.The Unified Modeling Language User Guide[M]. Beijing:China Machine Press,2001.
- [4] 樊银亭,何鸿运.基于客户机服务器体系的二层与三层结构研究[J].计算机应用研究, 2001,(12):23-24.40.
- FAN Yin-ting,HE Hong-yun. The Research of 2-Tier and 3-Tier Structure Based on the Client/Server Architecture[J].Application Research of Computers, 2001,(12):23-24.40.
- [5] 欧阳泉,王斌.模糊数学综合评估法的算法实现[J].西安联合大学学报, 2004.
- OUYANG Quan,WANG Bin.Implementation of Comprehensive Evaluation by Fuzzy Mathematics[J]. Journal of Xi'an United University,2004.

收稿日期: 2007-12-04; 修回日期: 2008-01-24

作者简介:

董张卓(1962-),男,博士,高级工程师,主要从事电力自动化方面科研教学工作; E-mail:dongzz@pub.xaonline.com

唐明(1972-),男,工程师,主要从事电力调度自动化的研发工作;

李宁(1968-),男,硕士,工程师,主要从事电力系统科研和运行技术管理工作。