

微机继电保护中频率测量的 CPLD 实现

王阳光¹, 游大海¹, 徐天奇^{1,2}, 汪剑¹

(1. 华中科技大学电气与电子工程学院, 湖北 武汉 430074; 2 云南民族大学电气电子信息工程学院, 云南 昆明 650031)

摘要: 介绍了基于 DSP 的微机继电保护装置中频率测量的 CPLD 实现。分析、比较了测频率法、测周期法、等精度测频法等几种常用测频方法的原理及误差。着重介绍了测频系统中 CPLD 的设计与实现, 给出了 CPLD 中的各功能模块, 并且给出了频率测量的 VHDL 语言描述。由于采用了 CPLD 芯片来实现频率的测量, 因而具有高集成度、高速性及高可靠性等优良特点。

关键词: 频率测量; CPLD; 等精度; VHDL

中图分类号: TM774 **文献标识码:** A **文章编号:** 1003-4897(2005)20-0019-04

0 引言

频率是电力系统的主要参数。电力系统的频率一方面作为电能质量的指标, 需加以动态监测, 另一方面作为实施安全稳定控制的重要状态反馈量, 要求能够实时重构。因此, 频率测量成为电力系统运行控制的重要技术。此外, 在电参量的微机测量时, 要对交流电信号进行同步采样, 这需要实时测量和跟踪电力系统频率。同样地, 在电力系统微机继电保护装置中也要求能够实时地显示系统的频率。

另一方面, 我们开发的新一代微机继电保护装置中采用 DSP 芯片作为 CPU, 所以在处理数据时要用到 FFT 作为主要的算法, 而在 FFT 算法中最基本的计算参数就是频率, 这也要求我们在进行 FFT 运算时能实时地测量系统的频率值, 以保证电量计算的准确性而达到保护装置的正确动作。

在测量频率的众多方法中, 常用的直接测频方法在实用中有较大的局限性, 其测量精度随着被测信号频率的下降而降低, 并且对被测信号的计数会产生最大 ± 1 个数字误差。而采用等精度频率测量方法具有测量精度保持恒定, 不随所测信号的变化而变化; 并且结合复杂可编程逻辑器件 CPLD (Complex Programmable Logic Device) 芯片具有的集成度高、速度快和高可靠性等特点, 使频率的测量范围扩大, 测量的误差恒定。所以基于等精度测频法的频率测量用 CPLD 来实现在电力系统微机继电保护中具有很好的优势。

1 频率测量的原理及误差分析

在频率测量时我们通常采用的方法是直接测量法, 由于采用直接测量法存在最大 ± 1 个待测信号

或标准信号的脉冲误差, 难以实现宽频带、高精度测量。等精度测频的方法是采用频率准确的高频信号作为标准频率信号, 保证测量的闸门时间为被测信号的整数倍, 并在闸门时间内同时对标准信号脉冲和被测信号脉冲进行计数, 实现整个频率测量范围内的测量精度相等, 当标准信号频率很高, 闸门时间足够长时, 可实现高精度的频率测量。

1.1 直接测频法

直接测频法包括测频率法和测周期法两种方法。测频率法的基本原理就是在确定的闸门时间 T_w 内, 记录被测信号的变化周期数 (或脉冲个数) N_x , 则被测信号的频率为:

$$f_x = N_x / T_w \quad (1)$$

测周期法需要有标准信号的频率 f_s , 在待测信号的一个周期 T_x 内, 记录标准频率的周期数 N_s , 则被测信号的频率为:

$$f_x = f_s / N_s \quad (2)$$

无论采用那种方法, 由于闸门时间是固定不变的, 它们进行频率测量的主要误差源都是由于计数器只能进行整数计数而引起的 ± 1 个误差:

对于测频法

$$f_x / f_x = N / N + (f_w / f_w) \quad (3)$$

对于测周期法

$$f_x / f_x = N / N + (f_s / f_s) \quad (4)$$

其中: f_x 为被测信号频率的准确值与测量值之间的差值; f_w 为产生闸门时间 T_w 所对应的基准时钟的频率, f_w / f_w 为该频率的相对误差, f_s / f_s 为标准信号的频率的相对误差。

1.2 等精度测频法^[1]

等精度测频法是在直接测频法的基础上发展起来的, 它的原理框图可以用图 1 来进行说明。它的闸

门时间不是一个固定的值,而是被测信号周期的整数倍,即与被测信号同步,因此,测除了对被测信号计数所产生 ± 1 个字误差,并且达到了在整个测试频段的等精度测量。其测频原理波形如图 2 所示。

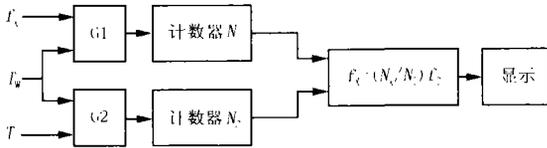


图 1 等精度测频法的原理框图

Fig 1 Functional block of equal precision frequency measurement

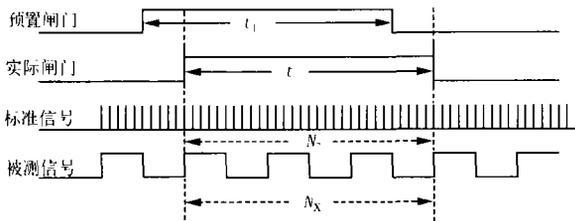


图 2 等精度测频法原理波形图

Fig 2 Functional waveform of equal precision frequency measurement

在测量过程中,有两个计数器分别对标准信号和被测信号同时计数。首先给出闸门开启信号(预置闸门上升沿),此时计数器并不开始计数,而是等到被测信号的上升沿到来时,计数器才真正开始计数。然后预置闸门关闭信号(下降沿)到时,计数器并不立即停止计数,而是等到被测信号的上升沿到来时才结束计数,完成一次测量过程。可以看出,实际闸门时间 t 与预置闸门时间 t_1 并不严格相等,但差值不超过被测信号的一个周期。

设在一次实际闸门时间 t 中计数器对被测信号的计数值为 N_x ,对标准信号的计数值为 N_s 。标准信号的频率为 f_s ,则可得被测信号的频率为:

$$f_x = \frac{N_x}{N_s} f_s \quad (5)$$

我们在忽略 f_s 误差的前提下,对等精度测频法的相对误差进行分析。从式(5)可以写出等精度测频法的相对误差为:

$$= (|f_{xe} - f_x|/f_{xe}) \times 100\% \quad (6)$$

其中: f_{xe} 为测量信号频率的准确值。

在测量中,由于 f_x 计数的起停时间都是由该信号的上升沿触发的,在闸门时间 t 内对 f_x 的计数 N_x 无误差 ($t = N_x T_x$);对 f_s 的计数 N_s 最多相差一个数的误差,即 $|N_s| - 1$,其测量频率的准确值可表示为:

$$f_{xe} = [N_x / (N_x + N_s)] / f_s \quad (7)$$

将式(5)、(7)代入到式(6),经整理即可得到:

$$= (|N_s|/N_s) \times 100\% \quad 1/N_s \times 100\% = 1/f_s \times 100\% \quad (8)$$

由式(8)可以发现,测量频率的相对误差与被测信号频率的大小无关,仅与闸门时间和标准信号频率有关,即实现了整个测试频段的等精度测量。闸门时间越长,标准频率越高,测频的相对误差就越小。标准频率可由稳定度好、精度高的高频率晶体振荡器产生,在保证测量精度不变的前提下,提高标准信号频率,可使闸门时间缩短,即提高测试速度。表 1 所列为标准频率在 10 MHz 时闸门时间与最大允许误差的对应关系。

综合分析可以发现,直接测频法的计数值可能产生 ± 1 个字误差,并且测试精度与计数器中记录的数值 N_x 或 N_s 有关,并且在采用测频率法时由于可能出现脉冲丢失的情况,这将引起测量精度的降低,且频率越低,这种误差越大;且测周期法适用于较低的脉冲进行测量。所以为了保证测试精度,一般对于低频信号采用测周期法;对于高频信号采用测频法,因此在实用中有较大的局限性。而等精度测频法相对于直接测频法而言有较高的测量精度,而且频率的测量范围大,因此在本设计中采用等精度法来实现电力系统继电保护中的频率测量。

表 1 闸门时间与最大误差的对应关系 ($f_s = 10 \text{ MHz}$)

Tab 1 Corresponding relationship between gate time and max error

闸门时间 /s	0.001	0.01	0.1	1.0
测量精度	10^{-4}	10^{-5}	10^{-6}	10^{-7}

2 频率测量的设计及 VHDL 实现

在快速测量的要求下,要保证较高精度的测频,必须采用较高的标准频率信号;而单片机等处理器受本身时钟频率和若干指令运算的限制,测频速度较慢,无法满足高速、高精度的测频要求。而采用高集成度、高速的复杂可编程逻辑器件 CPLD 为实现高速、高精度的测频提供了保证。

在实现测频时我们采用了由美国 Xilinx 公司生产的 XC9500 系列 CPLD。该系列产品把 PLD (可编程逻辑器件)、PAD (可编程地址译码器)、数据锁存器、计数器、数据选择器、三态门和 I/O 等常规器件集成在一个芯片上。从概念上说,CPLD 是由许多类似 PAL 的功能块组成,各功能块之间通过开关矩阵互相连接。XC9500 系列 CPLD 采用了系统内 5V 可编程 FASTFLASH 技术,并且含有内 JTAG

双向扫描测试逻辑。XC9500 系列产品内部含有 800 到 6400 个逻辑门,36 到 288 个寄存器能够反复擦写内部逻辑,可以在外部 I/O 引脚定义和接线不变的情况下,实现 CPLD 内部逻辑改变。它的这一优良品质,不仅为编程内部逻辑,而且为 PCB 板设计提供了极大的便利。

在本测频电路中一片 CPLD (XC95144)就可完成各种测量功能,可利用 DSP 芯片来完成数据处理和控制显示输出。CPLD 的各功能模块如图 3 所示,图中的标准频率信号 *sclk* 选择 10 M 的基准时钟信号,预置闸门信号 *str* 由 DSP 给出,其中 *str* 信号的时间宽度对测频的精度影响不大,能够在较大的范围内进行选择。因为在本测频装置中采用 32 位浮点 DSP (TI 公司的 TMS320VC33) 处理计数器的数据,所以在测频电路中采用两个由 D 触发器控制的 32 位高速计数器 *count_A*, *count_B* 分别对标准频率信号和待测频率信号进行计数,根据理论计算,在 32 位计数器计 10 M 信号不溢出的情况下 *str* 的时间宽度可达 429.4 s,考虑到电力系统中频率一般为 50 Hz,频率较低,所以把 *str* 的时间宽度选择长一点,从而能够实现等精度测量,减少了在这种低频情况下测量的误差。

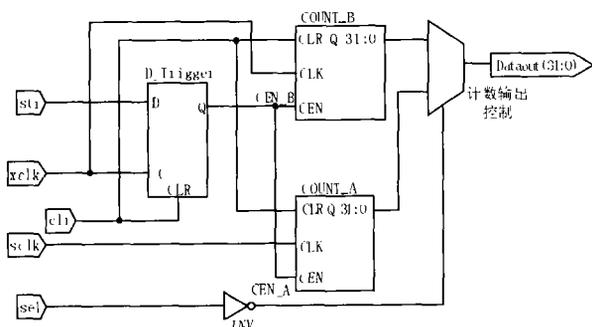


图 3 CPLD 中各功能模块

Fig 3 Every functional module of CPLD

它的工作过程是:测量开始时,最初由 DSP 发出一个清零信号 *clr*,使得 D 触发器和两个计数器都被清零,接着 DSP 发出测频允许信号,即使预置闸门信号 *str* 置高,这时 D 触发器等到被测信号 *xclock* 的上升沿到来时, Q 端被置高,同时使两个计数器的计数使能端被置高,从而启动两个计数器对标准频率信号和被测信号分别进行计数。当计数 *str* 信号的时间宽度后, *str* 信号被 DSP 置低,但是两个计数器的计数并未停止,而是要等到被测信号的下一个脉冲的上升沿的到来才停止,然后将两个计数器的计数值分时送入 DSP 进行处理并按式 (5) 即可计算

出实际的频率值。同时,可以发现在 *str* 信号的时间宽度内最多只会造成一个标准频率信号的时钟误差,由于标准信号采用稳定的 10 MHz 晶振提供,所以任何时刻产生的绝对误差为 1/10M,这也是本测量系统的主要误差。

而在对 CPLD 芯片进行开发编程时,由于 VHDL 语言具有设计技术齐全、方法灵活、支持广泛、系统硬件描述能力强,编程可以与工艺无关,语言标准、规范、易于共享和复用等优点而被广泛采用^[2]。本测频模块的 VHDL 语言描述如下:

```
library IEEE;
use IEEE STD_LOGIC_1164.ALL;
use IEEE STD_LOGIC_ARITH.ALL;
use IEEE STD_LOGIC_UNSIGNED.ALL;
entity fretest is
port(sclk: in std_logic; -- 标准频率时钟信号
xclock: in std_logic; -- 待测频率信号
str: in std_logic; -- 闸门控制信号
clr: in std_logic; -- 清零信号
sel: in std_logic; -- 计数值输出选择信号
dataout: out std_logic_vector(31 downto 0) -- 计数值输出
);
end fretest;
architecture Behavioral of fretest is
signal count_A, count_B: std_logic_vector(31 downto 0); -- 32 位的标准计数器和待测计数器
signal cen_A, cen_B: std_logic; -- 标准计数器和待测计数器使能信号
begin
process(sel) -- 读取计数值进程
begin -- 进程开始
if sel = 0 then dataout <= count_A; -- 输出标准频率信号的计数值
else dataout <= count_B; -- 输出待测频率信号的计数值
end if;
end process; -- 进程结束
count1: process(sclk, clr, str) -- 标准频率计数器进程
begin
if clr = 1 then count_A <= (others => 0); -- 如果清零信号为 '1' 则计数器清零
elsif (sclk = 1) and (sclk'event) then -- 标准信号的上升沿到来
if cen_A = 1 then count_A <= count_A + 1; -- 若计数允许则计数器加 '1'
end if;
end process;
```

```

end if;
end process;
count2: process(xclk, clr, str) -- 待测频率计数器进程
begin
    if clr = 1 then count_B <= (others => 0);
    elsif (xclk = 1) and (xclk'event) then
        if cen_B = 1 then count_B <= count_B + 1;
        end if;
    end if;
end process;
dtrigger: process(xclk, clr) -- D触发器控制进程
begin
    if clr = 1 then cen_B <= 0; -- 如果清零信号为 '1'
    则待测频率计数被禁止
    elsif (xclk = 1) and (xclk'event) then -- 待测频率信号
    上升沿到来
        cen_B <= str; -- 待测频率计数器计数时间为闸门时
        间
    end if;
end process;
cen_A <= cen_B; -- 标准频率计数器计数时间也为
    闸门时间
end Behavioral;

```

3 结束语

由于采用 CPLD 芯片来实现频率的测量,使得整个测频系统具有高集成度、高速性、高可靠性等优点。而采用的等精度测频法有较高的测量精度,而且频率的测量范围大,具有直接测量法不可比拟的优势。通过现场的实践可以证明,采用 CPLD 实现的微机继电保护装置的频率测量技术能实时、准确地反映系统的频率值,对微机继电保护装置的正确动作具有非常重要的实际意义。随着 EDA 技术和半导体技术的进一步发展,CPLD 的功能将会进一步增强,成本也会得到下降,我们可以想象在微机继

电保护装置中频率测量用 CPLD 来实现有非常广阔的前景。

参考文献:

- [1] 包明,赵明富,郭建华.基于 FPGA 的高速高精度频率测量的研究[J].单片机及嵌入式系统应用,2003,(2):31-33.
BAO Ming, ZHAO Ming-fu, GUO Jian-hua The Research of High Speed and Precision Frequency Measure Based on FPGA [J]. Microcontrollers & Embedded Systems, 2003, (2): 31-33.
- [2] 侯伯亨,顾新. VHDL 硬件描述语言与数字逻辑电路设计[M].西安:西安电子科技大学出版社,2003.
HOU Bo-heng, GU Xin VHDL and Design of Digital Circuits[M]. Xi an: Xidian University Press, 2003.
- [3] 曾繁泰,侯亚宁,崔元明.可编程器件应用导论[M].北京:清华大学出版社,2001.
ZENG Fan-tai, HOU Ya-ning, CUI Yuan-ming The Introduction to Application of Programmable Device[M]. Beijing: Tsinghua University Press, 2001.
- [4] 陈一新.基于单片机的等精度数字测频装置的原理及实现[J].国外电子元器件,2002,(4):9-11.
CHEN Yi-xin An Equal-precision Digital Frequency Meter Based on Monolithic Microcomputer[J]. International Electronic Elements, 2002, (4): 9-11.

收稿日期: 2005-01-07; 修回日期: 2005-03-18

作者简介:

王阳光(1982-),男,硕士研究生,现从事电力系统继电保护工作; E-mail: yanniwang@163.com

游大海(1957-),男,教授,博导,现从事电力系统继电保护和电力系统综合自动化工作;

徐天奇(1978-),男,硕士研究生,现从事电力系统继电保护工作。

CPLD realization of frequency measure in digital relay protection equipment

WANG Yang-guang¹, YOU Da-hai¹, XU Tian-qi^{1,2}, WANG Jian¹

(1 College of Electrical and Electronic Engineering, Huazhong University of Science and Technology, Wuhan 430074, China; 2 College of Electrical and Electronic Engineering, Yunnan University of Nationality, Kunming 650031, China)

Abstract: This paper introduces CPLD realization of frequency measure in digital relay protection equipment powered by DSP. The differences of principle and precision between frequency measurement method, cycle measure method, and equivalent precision frequency measurement method are compared. CPLD design and realization in the frequency measurement system are detailed, every functional module of CPLD is given, and the VHDL language description of hardware realization of frequency measure is presented. The merit of high integration, high speed, and high reliability in frequency measurement brought by adopting CPLD chip in composition of system is illustrated.

Key words: frequency measurement; CPLD; equal precision; VHDL