

基于 CSoC 的电能量远程数据采集单元的扩展性设计

吴枫, 吉吟东, 孙新亚, 朱善君

(清华大学自动化系, 北京 100084)

摘要: 针对电能量远程数据采集单元的扩展性要求, 在兼顾可靠性和抗干扰能力的同时, 详细地论述了硬件平台的选择和设计过程。系统采用基于 ARM 的 CSoC 解决方案, 构造了最小 IC 数量的硬件平台。并以 UART 的接收模块为例, 介绍了扩展性设计过程。最后的硬件平台证明 CSoC 的方案可以很好地解决扩展性问题。

关键词: 电能量远程数据采集单元; 扩展性; 可配置片上系统; ARM; FPGA

中图分类号: TM734 **文献标识码:** A **文章编号:** 1003-4897(2005)16-0050-04

0 引言

电能量远程数据采集单元(Electric Remote Terminal Unit, ERTU)是电能量计量计费系统中实现数据采集和传送的嵌入式仪表。它安装于线路现场, 向下通过串行线路收集所有本地电表产生的数据, 向上通过某种远程链接与上位计算机通讯。其功能相当于一台通讯机。

我们把 ERTU 硬件平台的设计要求, 总结如下^[2]:

- 1) 较好的抗干扰性和可靠性。
- 2) 为了链接大量的本地电表, 需要较多串行数据通道。
- 3) 为了链接各种型号的电表, 需要支持多种通讯协议。
- 4) 支持多种远程链接方式。
- 5) 具有很强的并发数据处理能力和实时处理能力。最好拥有 50 MIPS(百万指令每秒)以上的性能。
- 6) 具有友好的图形用户界面, 便于用户现场配置。
- 7) 支持某种操作系统, 方便上层软件的设计。

根据以上特点, 我们可以看到, 在兼顾可靠性的同时, 具有较好的可扩展性是 ERTU 中的设计关键。我们希望根据不同的采集环境, 具有不同数量的较多种类的通讯接口, 以及较好的人机界面。实现同一个硬件平台适用于各种采集环境, 从而提高效率, 降低多次开发的成本。

1 ERTU 的硬件平台选择

目前硬件平台的设计方式主要有几类, 并且结

合上一部分中分析的 ERTU 的设计需求, 我们做出如下分析:

1) 全定制的设计方式, 也就是根据不同场合, 设计专用的 ASIC, 通用性差, 成本极高。本系统中不建议采用。

2) 通用微处理器的设计方式, 相对于全定制的方式, 开发周期较短, 价格较低。但是微处理器芯片集成的外设不一定满足用户需求, 经常需要外扩芯片, 因而会增加成本。更关键的是这种方法扩展性较差, 不同场合下需要不同数量不同种类的外扩 IC。本系统中不建议采用。

3) 纯半定制的设计方式, 使用 FPGA/CPLD 等可编程器件作为系统的控制核心, 通用性和扩展性较好。但是设计复杂, 对开发人员要求较高。如果不购买商业模块, 那么用户设计的, FPGA 内部的复杂功能模块的可靠性难以保证。同时, 复杂数学运算, 如果用硬件模块实现, 虽然速度较快, 但使用的门数较多, 成本高; 如果使用商业模块, 价格昂贵, 而且开放性差。本系统中不建议采用。

4) 部分半定制的设计方式, 对于复杂功能模块, 如 MCU, 网卡, CAN 总线接口, 存储器接口等, 我们使用一个通用微处理器上集成的外设来实现, 这样复杂功能模块的可靠性得以保证。而对于用户不同的需求场合, 再使用 FPGA 实现用户自定义的模块, 从而得到较好的扩展性。本系统中采用这种方式。

5) 对于部分半定制的设计方式, 根据不同的集成度, 分为两个种类: 一种是通用处理器 + 集成外设 + 外扩 FPGA; 另一种是可配置片上系统(CSoC, Configurable System on Chip), 我们可以认为 CSoC 就是通用处理器 + 集成外设 + 集成 FPGA(实际上

CSoC 并不是简单的集成,对于上层用户,我们可以看做是集成),其中集成外设和集成 FPGA 通过“可配置系统接口总线”(CLI bus, Configurable System Interface bus)连接到处理器的总线上。

在本系统中,由于 ERTU 的工作环境比较恶劣,在需要有较好的扩展性的同时,可靠性和抗干扰能力也要求较高,所以我们希望尽量减少 IC 的数量和芯片外部走线的数量,从而减少系统受到的电磁干扰的可能性。因此,我们采用部分半定制的 CSoC 的设计方案。

根据 CSoC 的特点,我们可以实现这样一个平台:

1) 功能强大,性能与 CSoC 的片上通用处理器,以及 CLI bus 相关。

2) 扩展性较好,提供丰富的片上外设。其中对于简单外设,用户可以使用片上集成的外设,也可以使用 FPGA 进行自定义。对于复杂外设,CSoC 一般都已经集成在片上了,如网卡,CAN 总线等。

3) 最小的硬件系统,满足系统设计需求的同时,芯片数量极少,只要外扩 FLASH 和 SDRAM,实际上没有一种处理芯片可以在内部集成大容量 flash 和 sdram。因此 CSoC 是一种最小 IC 数量的设计方案。

对于 CSoC 的选择,主要在于片上通用微处理器的选择,目前随着微处理器的蓬勃发展,出现了可以用于多种嵌入式系统的微处理器。

目前常用的微处理器的对比如表 1。

表 1 常用微处理器的对比

Tab. 1 Comparison of the fashionable MCUs

处理器结构	特点	性能	操作系统	价格
8 位处理器	简单,片上外设	20 MIPS 以下	大部分	便宜
16 位处理器	少,低成本		不支持	
32 位, MIPS	片上外设丰富,功能强大	100~800 MIPS	支持	昂贵
32 位, PowerPC	内含 1 个 8 位专用处理器,多种高速低速通讯接口	50~500 MIPS	支持	昂贵
32 位, ARM 9	片上外设丰富	200 MIPS 左右	支持	一般
32 位, ARM 7	片上外设丰富	50 MIPS 左右	支持	便宜

注:ARM7,ARM9 都属于 ARM 处理器,内部构架有些不同,为了方便对比,我们把它们区分开来。

根据对比,我们选择基于 ARM7 处理器的 CSoC 的硬件平台设计方案。CSoC 最终选用 Triscend 公司的 A7v 系列。它具有如下特点^[1]:

1) 32 位的 ARM7TDMI RISC 处理器具有 50 MIPS 的性能,8 k 字节指令/地址混合 cache,32 k 字节内部高速 SRAM。高性能内部总线具有 400 Mbytes/s 以上的速度。

2) 丰富的集成外设:存储器接口控制器(支持 FLASH/EEPROM/ROM/SDRAM),8 通道 1MHz 转换速度的 10bit ADC,多功能时钟阵列,6 通道 DMA。

3) 丰富的集成通讯接口:2 个 MAC,1 个 USB device 控制器,1 个 CAN 总线控制器,2 个 16C550 兼容的 UART,1 个 SPI,2 个 TWSI。

4) 高性能内部集成的 FPGA(也称作 configurable system logic),具有输入输出类型可配置的 IO,6 个全局时钟,以及全局复位/置位/输出使能。

硬件平台的设计框图见图 1。

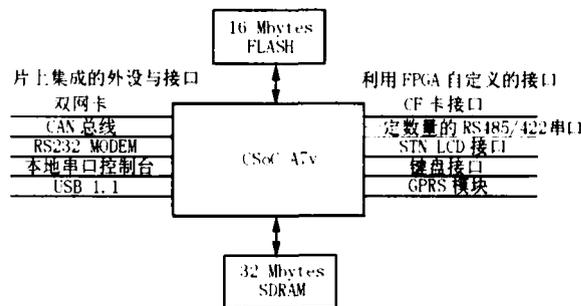


图 1 硬件平台的设计图

Fig. 1 Design of the hardware platform

根据不同场合,我们可以调整自定义的 FPGA 接口,比如根据电表的数量调整 RS485/422 串口的数量;根据用户需要添加 CF 卡接口,实现本地海量存储;添加 LCD 控制器,实现图形界面;添加串口用于连接 GPRS 模块,实现无线数据传输等等。从而实现一个 IC 数量较少,外部布线较少的硬件平台,而且可以应用在各种场合,兼顾了可靠性和抗干扰性的同时,得到了较好的扩展性。

2 ERTU 的硬件扩展性设计

根据不同的场合,我们利用 CSoC 内部集成的 FPGA 可以构造出不同的外设模块。Triscend A7v 内部 FPGA 的设计流程与其他流行的 FPGA 的设计流程相同。整个设计分为 8 个步骤^[3]:

- 1) 系统级分析,建立系统规范书,确定系统需求。
- 2) 算法级描述。
- 3) 算法级仿真。
- 4) 对描述进行逻辑综合。

5) 对综合的结果,进行布局布线前仿真。

6) 使用专用的布局布线,一般由 FPGA 厂商提供,比如 Xilinx 的 ISE, Altera 的 QuartusII。

7) 进行布局布线后仿真。

8) 下载到目标 FPGA 器件,进行物理验证。

对于 Triscend A7v,设计输入可以使用原理图/VHDL/Verilog HDL 三种方式,综合可以使用 Synplcity 公司的 Synplify pro 综合工具,仿真使用 Model Tech 的 Modelsim 仿真软件,布局布线使用 Triscend 公司的 FastChip 软件。

设计过程中,算法级描述是关键的一步。开始我们可以使用行为级的算法描述和仿真软件进行行为级逻辑验证。实际上我们最终需要编写可综合的算法描述(寄存器传输级描述)。在编写可综合的算法描述时,我们一般需要建立两个模型:数据通路和控制器。数据通路是指:数据流动的路径,包括总线,寄存器,多路转换器,简单的逻辑与算数器件等。控制器则是指:首先要在数据通路中设置控制点(多为清0,输出使能,多路开关的控制等等)和状态检测点,然后根据对数据通路的状态检测,按照某种算法,通过控制点实现对数据通路的控制。

一般可综合的算法级描述的设计过程如下^[4]:

1) 分析数据通路,考虑是否使用并行设计,或者流水设计。

2) 设计数据通路的状态检测点和控制点。一般检测点和控制点需要选择模块中我们最关心的数据信号。

3) 设计数据通路的状态,状态越多,描述越细,但是所耗资源越多,控制器的复杂度也越大。同时状态的编码也关系到控制器的效率。

4) 设计控制器:一般使用 mearly 型同步有限状态机(FSM, finited state machine)来完成控制算法。复杂系统可以使用微码控制器。

下面,我们用本系统中 UART 的接收模块为例,详细的说明 CSoc 的扩展性设计。我们用 0 表示低电平,1 表示高电平。假设串行通讯的传输格式为,1 bit 起始位(0),8 bit 数据位,1 bit 偶校验位,1 bit 停止位(1),即一个有效数据帧为 11 个 bit。空闲时总线为 1,波特率 $f = 9\ 600\ \text{bit/s}$ 。

异步串行通讯中接收模块的原理是:使用本地的时钟对数据线采样,为了保证采集点的正确性,我们使用 $F = 16 \times f$ 的频率对串行数据线采样,也就是串行通讯中一个 bit 的数据采样 16 次,取中间的三次采样结果,进行分析,从而得到这个 bit 的数据值。

分析已经收到的 11 bit 的格式。根据传输格式:当仅第 1 位为 0,第 11 位为 1,第 10 位的校验结果正确的时候,我们认为收到了一个正确的帧,可以发出中断,通知处理器进行处理。否则就采样下一个 bit,并丢弃最早采样的一个 bit,得到新的 11 bit,然后继续进行帧格式判断。原理见图 2。

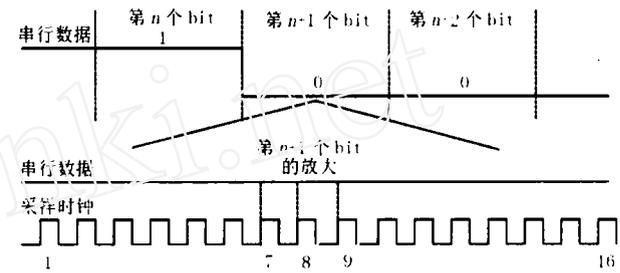


图 2 接收模块的原理

Fig. 2 Principle of the receiver module

具体实现的方法是:使用一个 4bit 计数器,对频率为 $F = 16 \times f$ 的方波进行计数,计数范围为 0 到 15。总线空闲时,串行数据线为 1。当串行数据线上出现下降沿时,则认为一个 11 bit 帧的接收要开始了,此时计数器清 0。假设当计数器的值为 7、8、9 时的采样结果为 D7、D8、D9。如果 D7、D8、D9 这三个采样值当中 0 的个数大于等于 2,那么认为该 bit 的值为 0,否则为 1。在得到一个新的 bit 后,要把它存入寄存器保存,并丢弃最早收到的一个 bit。然后分析保存的 11 bit 帧的正确性。如果正确则给出中断,通知处理器,处理结束后,清空这 11 个 bit,等待下次接收的开始。如果不正确则等待接收下一个 bit。

因为晶振频率的不稳定以及发送端与接收端的晶振不匹配,我们不可能让 F 准确的等于 $16 \times f$,所以可能出现采样位置的误差(即 7、8、9 次采样不是位于 1 个 bit 的中间位置),如果这种误差累计到一定程度,将会出现采样错误(例如第 9 次采样的位置已经处于 1 个 bit 结束的边沿,甚至采样的是下一个 bit 的数据)。避免的方法是:每次数据线出线跳变的时候,都要对 4bit 计数器清 0,也就是每次数据线跳变都要进行一次重同步。这样误差累计只会出现在连读较多个 0 或者连续较多个 1 的时候(至少需要 20 个以上的长 0 或者长 1,这与晶振的误差大小有关)。可是按着异步串行通讯的传输格式,是不能出现长 0 的情况的,而长 1 的情况只会出现在总线长时间空闲的时候,而总线空闲的时候出现采样错误是没有关系的,因为此时总线上没有数据传输。

根据上面的分析,我们按着可综合的算法级描

述的设计过程,进行设计。

1) 分析数据通路:UART接收模块的数据输入为串行数据D以及本地时钟CLK;输出O为与CSi bus连接的并行接口;内部需要11个寄存器组成寄存器组A,来保存一个帧的11bit数据;需要3个寄存器组成寄存器组B,来保存中间三次的采样结果。数据通路见图3。

2) 数据通路的状态采样点设计如下:4bit计数器的值,寄存器组A与B的值。数据通路的控制点设计如下:输入的串行数据D到寄存器组B的开关,寄存器组B的分析结果到寄存器组A的开关,寄存器组A到输出O的开关。具体可见图3。

3) 数据通路的状态:总线空闲,检测到第1个bit,检测到第2个bit……检测到第11个bit。共12个状态。对于状态,使用12bit的独热(one-key hot)编码。

4) 控制器使用mearly型同步有限状态机。控制算法可以根据前面的实现方法分析得到。

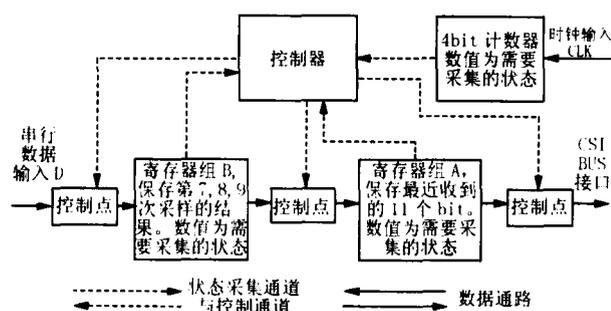


图3 CSoC的设计

Fig.3 Design of CSoC

我们使用Verilog HDL语言编写可综合的算法描述,最终可以很好的在CSoC中扩展一个UART的接收模块。

3 总结

电能量远程数据采集单元是电能量计量计费系统中的重要一环,它的功能决定了它需要较好的扩

展性。传统的设计方法都是通过外扩芯片来满足某种应用场合的要求,不同场合需要不同的外扩芯片,扩展性较差。而采用CSoC的设计方案,可以自定义模块适应不同的应用场合,从而得到较好的扩展性。极大地节省了成本和研发时间。同时由于不需要外扩芯片,IC数量很少,外部走线也随之减少,提高了可靠性和抗干扰能力。

参考文献:

- [1] Triscend A7v系列可配置片上系统用户手册[Z]. Triscend Corp, 2002.
Triscend A7v Configurable System-on-chip Users' Manual [Z]. Triscend Corp, 2002.
- [2] 董昕,王林,杨继勋.电能量采集及计费自动化系统设计[J].电力系统自动化,2003,27(4):55-57.
DONG Xin, WANG Lin, YANG Ji-xun. The Design of Energy Metering & Cost Counting System[J]. Automation of Electric Power Systems, 2003, 27(4):55-57.
- [3] 褚振勇,翁木云.FPGA设计及应用[M].西安:西安电子科技大学出版社,2002.
ZHU Zhen-yong, WENG Mu-yun. The Design and Application of FPGA [M]. Xi'an: Xidian University Press, 2002.
- [4] 夏宇闻.Verilog数字系统设计教程[M].北京:北京航空航天大学出版社,2004.
XIA Yu-wen. The Tutorial of the Digital System Design with Verilog [M]. Beijing: Beijing University of Aeronautics and Astronautics Press, 2004.

收稿日期: 2004-11-30; 修回日期: 2005-03-02

作者简介:

吴枫(1979-),男,硕士研究生,研究方向为电力与环境仪表;E-mail: wufeng02@mails.tsinghua.edu.cn

吉吟东(1961-),男,副教授,研究方向为电力与环境仪表;

孙新亚(1963-),男,副教授,研究方向为电力与环境仪表。

Expandible design of electric remote terminal unit based on CSoC

WU Feng, JI Yin-dong, SUN Xin-ya, ZHU Shan-jun
(Tsinghua University, Beijing 100084, China)

Abstract: Electric Remote Terminal Unit requires good expansibility besides good reliability and anti-disturbance. This paper discussed how to find a hardware platform to achieve this requirement. It used ARM-based-CSoC to build a platform with few ICs. At last, it proposed the process that how to use CSoC to achieve the good expansibility with the example of UART receiver module.

Key words: ERTU; expansibility; CSoC; ARM; FPGA