

基于并行数据处理结构的电能质量在线监测

江川, 杨洪耕

(四川大学电气信息学院, 四川 成都 610065)

摘要: 提出了基于现场可编程门阵列器件 FPGA 与数字信号处理器 DSP 并行结构的在线电能质量监测与分析。由 FPGA 同步产生系统控制时序, 并充分利用 FPGA 与 DSP 各自在数字信号处理领域中的特点, 在 FPGA 内设计了 16 位浮点 FFT 运算模块用于谐波分析, 应用 DSP 实现电压波动与闪变等电能质量指标数据的计算, 采用 FPGA 与 DSP 并行数据处理的方式, 达到采样与数据处理的同步进行的目的, 从而完成对多路信号的无缝采样与分析。

关键词: 电能质量; 现场可编程门阵列; 数字信号处理; 并行处理

中图分类号: TM76 文献标识码: A 文章编号: 1003-4897(2005)05-0047-04

0 引言

随着国民经济的快速发展, 电能质量问题逐渐引起人们的重视。一方面, 各种干扰负荷, 如各种电力电子设备、电弧炉、开关电源不断增加, 造成电能质量严重恶化; 另一方面, 如芯片制造、精密加工等高新企业采用的精细过程控制更容易受到电力系统抖动的影响。因此, 现代工业对电能质量提出了更高的要求。

电能质量监测是发现和分析各种电能质量问题的主要手段, 为电能质量的改善和电力系统故障的诊断提供决策依据。现有电能质量监测仪在线分析多项电能指标时, 多采用采样和分析串行处理技术, 使得在处理数据过程中停止采样, 将丢失大量的实时数据, 不能全面反映电能质量的真实情况。对电能质量参数的分析, 如谐波分析、闪变分析等, 要利用复杂分析算法 (傅里叶分析、小波分析等), 才能得到相关参数, 因此, 监测装置对系统的运算速度以及并行处理技术具有很高的要求^[1]。本文提出了基于“FPGA (现场可编程门阵列器件) + DSP (数字信号处理器) 硬件结构的并行处理技术达到对电能质量参数在线无缝采样与分析的目的。

1 系统硬件平台结构

其系统硬件结构如图 1 所示。系统主要包括数据采集 A/D 转换单元、FPGA 模块、DSP 模块以及用于与上位机通信的外部通信接口 (ISA 总线)。

1.1 A/D 转换单元

该部分的核心 A/D 转换芯片采用 AD7865, 该芯片是 4 通道 14 位高速同步 A/D 转换芯片, 可减

少量化误差的同时准确地反映电压和电流间的相位关系。模拟信号经传感器隔离变换后进入系统, 并经过滤波、放大环节交由 AD7865 进行 A/D 转换。两片 AD7865 由 FPGA 的同步锁相子模块发出的采样控制信号下对 8 路模拟信号进行采样。

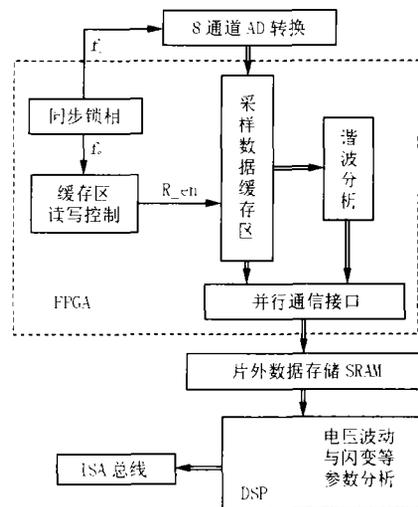


图 1 电能质量监测系统结构图

Fig 1 Structure of power quality monitoring system

1.2 FPGA 模块

由于电能质量监测涉及多项指标, 多个运算过程, 其中谐波计算与电压闪变分析运算量最大, 在线实时监测中若采用单一 DSP 做数据处理将会因 DSP 负荷过重而引发时序冲突, 考虑 FPGA 与 DSP 各自在数字信号处理领域中的特点, 这里采用 FPGA 与 DSP 实现双 CPU 来协调工作。

在高速数字信号处理领域, DSP 硬件实现虽然灵活性强, 但系统造价较高, 系统结构固定不易扩

展。FPGA (现场可编程门阵列) 以高性能、高灵活性、友好的开发环境、在线可编程等特点可以使基于 FPGA 的设计满足高速数字信号处理的要求。本文采用 FPGA 设计实现用于分析谐波的主要算法快速傅里叶变换 FFT, 而 DSP 则负责电压波动与闪变、电压凹陷等指标的分析与计算。同时考虑到 DSP 虽然在算法处理上功能强大, 但其控制功能非常弱, 然而 FPGA 非常适用于时序和逻辑控制, 所以在 FPGA 中设计了系统控制信号生成模块。为了简化系统硬件结构, 降低系统成本, FPGA 内设计实现了用于系统采样数据缓存的双口 RAM。

本系统使用 Altera 公司新一代低成本 Cyclone 系列 EP1C20 FPGA, 该芯片拥有 20 060 个逻辑单元并且内部集成了 64 个容量为 4 kbit 的内嵌存储块 M4K[2]^[21], 可方便地配置为单口与双口模式, 用于实现设计中的 FFT 数据存储、FFT 结果存储以及采样缓存器。

1.3 DSP 模块

与 FPGA 实现并行运算的是 TI 公司的 32 位 DSP 浮点芯片 TMS320VC33, 其 150MFLOPS 32bit 的浮点数运算能力足够完成电压波动与闪变分析、电压凹陷计算等各项电能指标的分析计算。DSP 上电时有 Boot loader 从片外低速 FLASH ROM 中加载程序, 并在片外扩展 SRAM 与片内 34K32bit 双口 SRAM 配合使用以用于诸如电压波动与闪变分析这样数据量较大的程序, 并保存运算结果。

1.4 外部通信接口设计

该部分用于采集卡与存储器及后台机之间的通讯, 采用 ISA (Industry Standard Architecture) 总线实现, 由总线隔离器 74HC245 及双口 RAM 组成, 通过 FPGA 控制数据读出或写入。

2 系统软件设计

在 FPGA 和 DSP 构成的双 CPU 平台上完成监测系统软件的设计, 考虑这两种器件各自硬件结构上的特点, 本文将系统控制信号的产生和浮点 FFT 运算交由 FPGA 完成, DSP 用来处理需要大量缓存的电压波动及闪变计算以及对电压凹陷在线监测。

2.1 FPGA 控制模块设计

该模块负责产生系统控制信号, 主要包括两个子模块: A/D 转换控制模块和采样缓存读取控制模块。

2.1.1 A/D 转换控制

该子模块除完成对 A/D 转换单元的控制及响

应 AD7865 中断来读取转换结果外, 还要实现频率的测量和锁相倍频的功能。

根据 FFT 算法的要求, 采样点应该均匀分布在一个信号采样窗口内, 即实现严格的同步采样。本设计采用了 FPGA 实现锁相倍频的软件同步方法。待采样模拟信号先经过方波转换电路, 将其转换成 $0 \sim +5\text{V}$ 的方波信号, 再经过 FPGA 中的数字锁相环模块, 根据外部时钟和计数器测量出其周期, 作为下一个待采样信号的采样周期。

2.1.2 采样缓存读取控制

为保证采样与数据处理同时不间断进行, 利用 FPGA 中的独立 RAM 块配置了用于采样缓存的双口 RAM, 该缓存被分成容量相等的两个区, 由信号 selram 控制交替存储当前采样的数据和当前待处理的窗口数据。

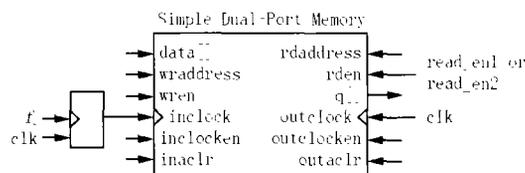


图 2 采样缓存配置

Fig 2 Configuration of sampling buffer

缓存区配置如图 2 所示, 采样信号 f_s 经过一个系统时钟周期的延迟后作为数据读入时钟 inclk, 数据输出时钟 outclk 接系统时钟信号 clk。

同时为达到 FPGA 与 DSP 并行数据处理的目的, 在 FPGA 中设计一个采样缓存读取控制模块。该模块主要对系统时钟信号 clk 进行计数以产生 FFT 模块及 DSP 对采样缓存区数据的读取控制信号以及数据区切换信号, 其原理如图 3 所示。

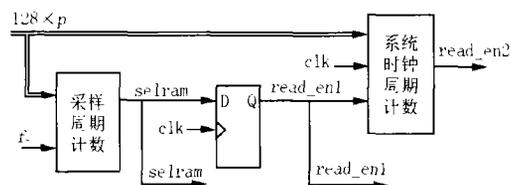


图 3 采样缓存读取控制模块原理图

Fig 3 Framework of read control module of sampling buffer

采样窗口长度预设值为 p , 一个窗口将由 $128 \times p$ 个采样点组成。由采样周期计数器完成对采样信号 f_s 的模 $128 \times p$ 计数, 以产生存储器切换信号 selram, 该信号作为中间 D 触发器的数据端输入, 这个触发器的目的是将 selram 延迟一个时钟周期从而生成 FFT 模块数据读入信号 read_en1, 此信号还将控制 FFT 模块产生存储单元的地址和模块内部控

制信号。每一个采样数据读入需一个系统时钟周期,这样 FFT模块读取完采样窗口数据需要 $128 \times p$ 个系统时钟周期,同样由计数器完成对这部分时钟周期的计数,在 $128 \times p$ 个时钟周期后产生 DSP读取采样数据的信号 read_en2。因为 FPGA 内部各模块独立运行,所以 DSP读取数据的同时 FFT模块进入计算阶段。图 4给出了采样窗口长度为 8 个工频周期的控制信号仿真波形。

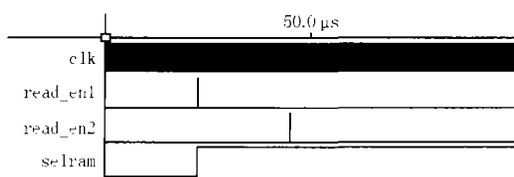


图 4 采样缓存读取控制模块仿真
Fig 4 Simulation of read control module of sampling buffer

2.2 采用 FPGA 实现浮点 FFT 运算

检测高次谐波分量是电能质量监测的重要功能。分析谐波的主要方法就是快速傅里叶变换 FFT。在 FPGA 上实现的 FFT 程序包括三个阶段:数据读入阶段、计算阶段和结果数据输出阶段。控制信号 R_en 启动读入数据操作。

在计算阶段,采取 FFT 原位算法,即每一级计算中,输入数据由该数据计算出的结果所覆盖。数据完成读入的操作后,经过一个蝶形运算单元的流水深度后出来第一个中间结果,该结果被写到 FFT 模块内的数据缓存区中,覆盖掉第一个输入数据,这样可以节约 FPGA 内部的 RAM 资源。

如果采样窗口包括 8 个工频周波,每个周期有 128 个采样数据点,即完成 1 024 点的 FFT 计算,由于 FFT 采用基 - 2 的算法,需要 10 级才能完成 FFT 运算,所以 FFT 计算阶段需要消耗时间是数据读入时间的 10 倍,FFT 计算完成时控制单元产生数据结果输出信号 Out_en。FFT 运算完成的结果数据通过并行通信接口输出。FFT 运算处理模块结构如图 5。图中细实线代表控制信号,粗实线与空心线分别代表数据信号与地址信号。

采用 FPGA 实现 FFT 运算主要考虑两个问题,即 FFT 的运算速度和 FPGA 硬件资源利用问题。考虑到提高运算速度实现以多通道的无缝采样分析,必须在一个采样窗口周期内完成对上一采样窗口数据的 FFT 计算。在这里采用了 3 级流水线结构设计加法器及乘法器,把规模较大、层次较多的组合逻辑电路分为三个级,在每一级插入寄存器组并暂存

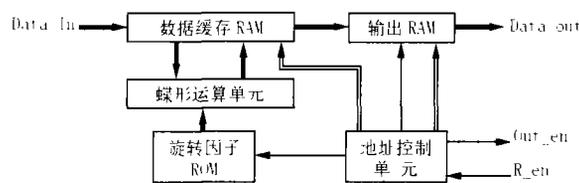


图 5 FFT 计算模块结构
Fig 5 Structure of FFT computing module

中间数据^[3]。

按时间抽取 (DIT) 的基 - 2 蝶形运算算法的方程:

$$\begin{cases} x_m(i) = x_{m-1}(i) + x_{m-1}(j)W_N^k \\ x_m(j) = x_{m-1}(i) - x_{m-1}(j)W_N^k \end{cases} \quad (1)$$

为了减小系统硬件资源的消耗,根据该方程的特征对复乘单元进行改进。实现在 2 个时钟周期完成一次复数乘法,由时钟信号 clk 控制旋转因子实部 W_N^k 和虚部 W_N^k 按先后顺序进入由两个寄存器组成的系数口, Phi1 控制复数 $x_{m-1}(j)$ 通过两个实数乘法器与旋转因子进行复乘。由 (1) 式可知 $x_{m-1}(i)$ 不参与乘法运算,它由 Phi2 控制直接经过延迟单元后与 $x_{m-1}(j)W_N^k$ 进行加减法运算,延迟单元由四个寄存器构成,从而在保证处理速度的前提下减少乘法器数目。图 6 为蝶形运算单元控制信号时序。

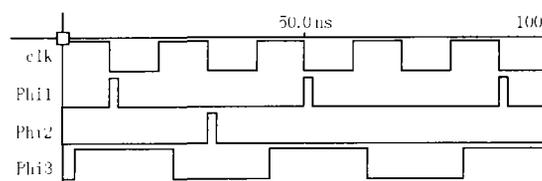


图 6 蝶形运算单元控制信号时序仿真
Fig 6 Simulation of control signal time sequence of butterfly processor

图 7 所示的蝶形演算单元主要由两个实数乘法器、四个加法器、一个延时器以及若干寄存器组成,图中未标明时钟信号的寄存器的时钟为 clk。该蝶形运算单元结构简单紧凑,流水与并行方式的应用避免了瓶颈出现,达到了高速处理的要求同时节省了硬件资源。

2.3 DSP 数据处理分析

DSP 数据处理任务包括对电压、电流、有功功率、无功功率、频率等电能质量的基本参数的计算,以及对电压波动和闪变、电压凹陷等电能质量指标的分析。本节将介绍时间开销最大的电压波动和闪变分析。

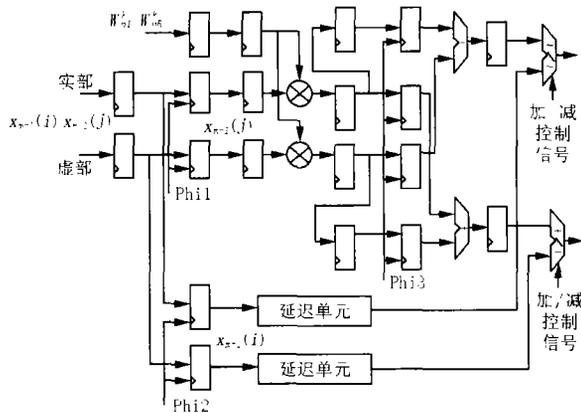


图 7 基 - 2 蝶型运算单元结构

Fig 7 Structure of the radix-2 butterfly processor

DSP数据处理任务包括对电压、电流、有功功率、无功功率、频率等电能质量的基本参数的计算,以及对电压波动和闪变、电压凹陷等电能质量指标的分析。其中,时间开销较大的是电压波动和闪变分析。

电压波动为一系列电压变动和连续的电压偏差。电压闪变以灯光闪烁对人眼视感影响来反映供电电压波动程度^[6]。闪变监测是仪器用滤波、统计的方法量化人类对电压波动经过灯-眼-脑环节的主观视感,也就是描述该环节的频率特性。DSP将负责闪变监测中最重要的部分,及数字滤波器。

国际电工委员会(IEC)推荐的闪变测量原理如图8所示。它包括四个部分:平方滤波、带通和视感度加权滤波、平方一阶低通滤波以及统计处理,前三个部分分别对应了灯-眼-脑三个环节,最后由统计处理给出闪变评价。图8中框1是模拟灯的作用,用滤波的方法从工频电压波动中检调出反映电压波动的调幅值;框2是模拟人眼对频率的选择特性;框3是拟人脑神经对视觉反映和记忆效应。以上功能都通过设计适当的数字滤波器实现。

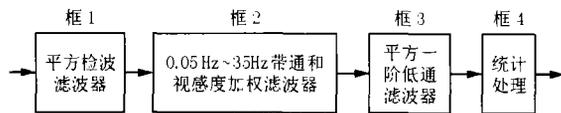


图 8 闪变测量原理图

Fig 8 Framework of the flicker meter

电压波动的作用决定于它的变动幅值和变动持续的时间,要在足够长的时间内(10 min)观测电压波动的统计特征量,由5个百分值计算短时闪变的统计值 P_{st} ,其中 $P_{0.1}$ 、 P_1 、 P_3 、 P_{10} 和 P_{50} 分别为10分钟内瞬时视感度 $S(t)$ 超过0.1%、1%、3%、10%和

50%时间的觉察单位值。将2小时内瞬时闪变视感度不超过99%概率的 P_{st} 值作为长时闪变值。

$$P_{st} = \sqrt{0.0314P_{0.1} + 0.0525P_1 + 0.0657P_3 + 0.28P_{10} + 0.08P_{50}} \quad (2)$$

3 结论

采用DSP和FPGA构成双CPU并行处理平台,实现电能质量的无缝采样分析。设计FPGA应用芯片开发软件采用了QuartusII 1 ServicePack1与synplify7.1,外加50MHz晶振,产生系统控制信号及应用FFT对谐波进行分析。在FPGA内设计了用于采样缓存的双口RAM,DSP芯片和FFT计算模块根据读取控制时序分别对其进行读取以实现FPGA与DSP并行数据处理,从而完成对多项电能质量指标的实时分析。

参考文献:

- [1] 段成刚,宋政湘,陈德桂,等. 嵌入式电能质量监测器的设计[J]. 继电器, 2003, 31(5): 49-52
DUAN Cheng-gang, SONG Zheng-xiang, CHEN De-gui, et al. Design of Embedded Power Quality Monitor[J]. Relay, 2003, 31(5): 49-52
- [2] Cyclone Device Family Data Sheet[Z]. Altera Ltd, 2002
- [3] MeyerBaese U. 数字信号处理的FPGA实现[M]. 北京:清华大学出版社, 2003
MeyerBaese U. Digital Signal Processing with Field Programmable Gate Arrays[M]. Beijing: Tsinghua University Press, 2003
- [4] TMS320VC33 Data Sheet[Z]. Texas Instruments Incorporated, 2000
- [5] L U Zhen-yu, HAN Yue-qiu. DualButterflyMatched Filter ASIC Design[J]. Chinese Journal of Electronics, 2001, 10(4).
- [6] 施奕平,吴国安. 基于DSP的电能质量监测仪[J]. 电测与仪表, 2002, 39(1): 17-19.
SHI Yip-ing, WU Guo-an. Power Quality Analyzer Based on DSP[J]. Electrical Measurement & Instrumentation, 2002, 39(1): 17-19.

收稿日期: 2004-06-23

作者简介:

江川(1977-),男,硕士研究生,研究方向为电能质量监测与控制技术;E-mail: bug_be_good@sina.com

杨洪耕(1949-),男,博士,教授,从事电能质量监测和控制技术方面的教学与研究工作。

(下转第55页 continued on page55)

退出,图形可以选择保存为指定格式的文件或者 Access数据库两种形式。本软件在“工程”菜单中引用了“Microsoft Scripting Runtime”之后,通过 File-SystemObject类型的对象变量来自动创建、打开、读写与删除文件。在引用对象库“Microsoft ActiveX Data Objects 2.5 Library”和“Microsoft ADO Ext 2.1 For DDL Security”之后,通过 ADO 相关类型的对象变量实现了自动创建、打开、读写与删除数据库和数据表。

4 结论

面向对象编程技术的优越性与类的应用有着极其密切的关系。本文充分利用 VB 中的面向对象技术和类的功能提出了开发交互式电力系统绘图工具的一种方法:从电力系统图的特点和各种元件的共性中抽象出一个基类,并以此基类作为框架来实现代表各种具体元件的派生类;通过创建适当数量的逻辑多态开关并在事件响应过程中用这些逻辑多态开关来控制操作,实现了用户与程序之间的很好的交互。

基于上述方法编写出了相应的软件,本软件也集成到了相量测量与数据采集系统的上位机应用程序中,为该应用程序显示被测量和模拟的电力系统的拓扑结构,并在图上实时显示和模拟该电力系统

的运行情况。

参考文献:

- [1] 曾祥辉,等.面向对象的电力图形系统的分析和研究[J].继电器,2004,32(5):36-39.
ZENG Xiang-hui, et al Object-oriented Analysis and Design of Graphic System of Power System [J]. Relay, 2004, 32(5): 36-39.
- [2] 徐晓慧.利用 Visual Basic 开发电力系统图形监控程序[J].电力系统自动化,1999,23(12):47-49.
XU Xiao-hui Graphic Monitoring Program for Power System Developed by Use of Visual Basic [J]. Automation of Electric Power Systems, 1999, 23(12): 47-49.
- [3] 苏金明.用 Visual Basic 开发交互式 CAD 系统 [M].北京:电子工业出版社,2003.
SU Jin-ming Developing CAD Interactive System with Visual Basic [M]. Beijing: Publishing House of Electronics Industry, 2003.

收稿日期: 2004-06-14

作者简介:

杨志敏(1976-),男,硕士研究生,研究方向为电力系统运行与控制; E-mail: yzm_yokoko@sohu.com

王克英(1963-),男,教授,主要研究方向为微型计算机在电力系统测量和控制中的应用。

A method of developing interactive power system drawing software and its realization

YANG Zhi-min, WANG Ke-ying

(Electric Power College, South China University of Technology, Guangzhou 510640, China)

Abstract: As a rapid application programming language, Visual Basic is used by many electric power researchers. Power system applications with network schematic drawing are user-friendly, but developing drawing software with VB is more difficult than those with other programming languages. This paper presents an object-oriented method for developing interactive power system drawing software. By employing the method, a drawing program is developed and applied to a phasor measurement system to show the topological structure and operational conditions of the monitored power system.

Key words: Visual Basic; class; power system; drawing

(上接第 50 页 continued from page 50)

Online power quality monitoring based on parallel data processing structure

JIANG Chuan, YANG Hong-geng

(School of Electricity and Electronic Information, Sichuan University, Chengdu 610065, China)

Abstract: The implementation of online power quality monitoring system based on the parallel data processing structure of field programmable gate array (FPGA) and digital signal processor (DSP) is proposed. The signal time sequences of system are synchronously generated by FPGA. Considering the characteristics of FPGA and DSP in the digital signal processing applications, a 16 bit floating-point FFT module for harmonic analyzing is designed using FPGA, and computations for other power quality analysis such as voltage fluctuation and flicker measurement are performed by DSP. Based on the proposed structure, seamless sampling and data analysis of multi-input circuit can be achieved.

Key words: power quality; FPGA; digital signal processing; parallel processing