

# 基于 FPGA 的智能数字锁相环实现

商佳宜, 江道灼

(浙江大学电气工程学院, 浙江 杭州 310027)

摘要: 分析了数字锁相环路的基本原理及实现过程, 论述了一种利用 FPGA 器件中的锁相环部分来实现高精度数字锁相的方法, 具有可编程性、线路简单、捕捉速度快以及跟踪精度高等特点, 并通过仿真对结果进行了验证。

关键词: 数字锁相; 锁相环; FPGA

中图分类号: TN76 文献标识码: B 文章编号: 1003-4897(2005)03-0072-03

## 0 引言

锁相环 (PLL) 技术在通讯、测控、数字信号处理等众多领域得到了广泛的应用, 运用锁相环技术可以实现对载波的跟踪和滤波, 对信号的解调以及倍频和分频等功能。在电力系统一些测控装置中, 通常用锁相环来跟踪系统的频率, 并结合计数器将系统频率倍频, 然后用倍频后的信号来作为采样电路的触发信号, 采集一些电力系统线路上的基本量值。传统的锁相环都由模拟电路组成, 随着数字电路的不断发展, 数字锁相环正在逐步地代替模拟锁相环, 本文结合 Xilinx 公司的 Spartan - IIE 系列 FPGA 芯片的锁相技术来实现数字锁相环。

## 1 基于 FPGA 数字锁相环的实现

Xilinx 公司的 Spartan - IIE 系列 FPGA 芯片是 Xilinx 公司低成本、低密度 FPGA 产品的代表, 它采用成熟的 FPGA 结构, 支持流行的接口, 具有适量的逻辑资源和片内 RAM。而且在 Spartan - IIE 里面还集成了数字延迟锁相环 DLL (Delay Locked Loop)。

DLL 电路是实现锁相环的基本电路之一。通过监控输入时钟信号和分布时钟信号, DLL 可以自动调整并消除输入时钟信号与 FPGA 内部分布时钟信号之间的相位偏移, 以使内部触发器的时钟边沿与时钟输入管脚的信号同步。

如图 1 所示, DLL 主要由可变延迟线和控制逻辑组成, 但它的鉴相器为异或门鉴相器, 环路滤波器可由变模可逆计数器来构成, 它的压控振荡器的任务由可变延迟线来完成。

DLL 通过异或鉴相器来比较输入信号 CLKIN 和反馈信号 CLKFB 的相位差, 产生一个输出信号 CONTROL。如图 2 所示, 输入信号 CLKIN 和反馈信

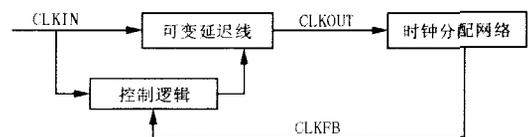


图 1 DLL 原理示意图

Fig 1 Principle of DLL

号 CLKFB 之间的相位差不同, 控制信号 CONTROL 的占空比也不同。变模可逆计数器根据 CONTROL 信号不同的占空比得到不同方向的记数值。延迟线可以通过电压控制的延迟或一系列离散延迟成分建立, 较合适的方法是使用一个离散的数字延迟线。根据控制逻辑所得到的记数值, 可变延迟线在输入时钟信号 CLKIN 和反馈时钟信号 CLKFB 之间加入延迟, 直到两个时钟上升沿同步。当输入时钟脉冲上升沿和反馈时钟上升沿对齐后, DLL 即被锁定, 达到了控制时钟相位偏移的作用。

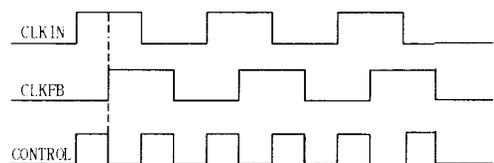


图 2 异或鉴相器波形

Fig 2 XOR phase detector waveforms

随着 FPGA 尺寸的增加, 芯片时钟分布质量变得越来越重要。时钟相位差和时钟延迟严重影响设备的性能, 在大的设备中用传统的时钟网络控制时钟相位差和时钟延迟变得十分困难, Xilinx 公司的 Spartan - IIE 系列 FPGA 芯片在片内提供了四个延迟锁相环 DLL, DLL 的输出时钟补偿了时钟信号在网络的分布延迟, 有效地消除了源时钟和负载之间的延迟。

传统的锁相环可以与分频电路一起通过大环锁相来构成倍频电路。因为如果输入时钟信号的频率为  $F_i$ ,输出信号为  $F_o$ ,反馈回路时钟信号经过了  $N$  分频,所以反馈信号的频率为  $F_o/N$ ,当锁相环路锁定以后,输入时钟信号和反馈时钟信号将没有频差,也即

$$F_i = F_o / N$$

所以环路输出的频率为

$$F_o = N \cdot F_i$$

从而实现了输入时钟信号的  $N$  倍频。

在 FPGA 中,由于 FPGA 本身对时钟频率有限制,并不能任意地将低频的时钟信号倍频。如图 3,如果想要把一个指定的时钟信号倍频,只能采取用高频信号作参考,对低频信号采样、记数来实现倍频。



图 3 数字倍频器原理图

Fig 3 Principle of digital frequency multiplier

其中  $F_x$  为数字倍频器的晶振,  $F_s$  为输入频率,经过倍频得到了输出频率  $F_o$ ,且  $F_o = K \cdot F_s$ ,即  $F_o$  是  $F_s$  的  $K$  倍频。从图中可以看出,时钟信号  $F_x$  经过  $K$  分频,作为计数器的时钟输入。在输入信号  $F_s$  的一个周期内对  $F_x/K$  脉冲计数,得到的计数值为  $N$ ,

$$N = \frac{1}{F_s} \cdot \frac{F_x}{K}$$

同时,可编程分频器可以预置分频系数,若分频系数为  $N$ ,则

$$F_o = \frac{F_x}{N}$$

将两式相代可以得出  $F_o = K \cdot F_s$ ,也即输出信号为输入信号的  $K$  倍频。

## 2 数字仿真

在 ModelSim XE 的环境下,对数字锁相环的功能进行仿真验证。为了能更好地观察到仿真的效果,将设计一个锁相环与数字倍频器连接的仿真电路,如图 4。

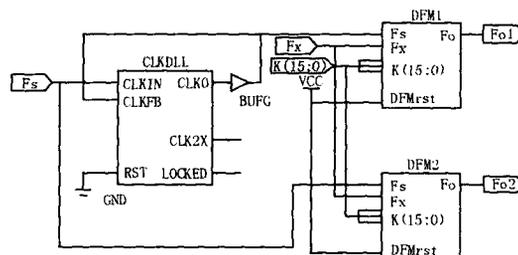


图 4 数字锁相环仿真电路

Fig 4 Digital phase-locked loop simulated circuit

在图 4 中,有两个数字倍频器模块 DFM,一个 DLL 模块 CLKDLL。其中 DLL 模块的输入为需倍频的时钟信号  $F_s$ ,输出  $CLK0$  作为反馈端信号接到反馈端  $CLKFB$  上,形成了锁相环路。两个数字倍频器的时钟输入信号,一个与 DLL 模块的锁相输出相连接,它的输出为  $F_{o1}$ ,而另一个则直接接在了原始的输入时钟信号  $F_s$  上,输出为  $F_{o2}$ 。 $K$  为倍频系数。 $F_x$  为晶振产生的时钟信号,这款 FPGA 芯片的默认晶振频率是 50 MHz。

为了方便仿真,设置  $F_s$  的输入频率为时钟  $F_x$  的 12 分频。这里分别仿真倍频系数  $K$  为 3 和 4 的情况,即分别观察实现 3 倍频和 4 倍频时 DLL 模块对整个电路时钟信号的影响。得到的仿真波形如图 5 所示。

从图 5(a)和 5(b)中可以看出当倍频系数为 3 时,在  $F_s$  的一个周期内  $F_o$  都输出了 3 个周期的波形,也即  $F_o$  为  $F_s$  的 3 倍频。 $F_{o1}$  为经过锁相环的倍频输出, $F_{o1}$  上升沿与输入时钟  $F_s$  的上升沿之间保持了同样的时间间隔,说明  $F_{o1}$  的输出信号已经被锁

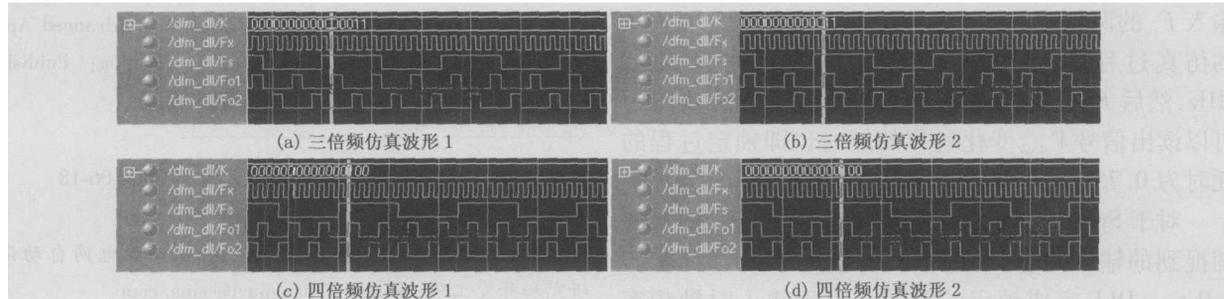


图 5 仿真波形图

Fig 5 Simulated waveforms

相环所锁定,无论在何种情况下输出时钟信号  $F_{o1}$  与输入时钟信号  $F_s$  之间相位都不会被改变。而  $F_{o2}$  为不经过锁相环路的倍频信号,从图中可以看出,  $F_{o2}$  的起始相位是不固定的,可以随机地出现在各个位置,与  $F_s$  之间没有任何的锁定关系。同样在图 5(c)和 5(d)中,当倍频系数被设置为 4 时,锁相输出  $F_{o1}$  同样与输入  $F_s$  之间有固定的相位关系,而输出  $F_{o2}$  与  $F_s$  之间的相位是任意的随机的,也没有呈现出锁定的关系。

在设计 DDM 的可编程分频器时,由于在设计过程中加入了 DFF,所以它的分频输出与输入时钟会有一个周期的差别。反映到仿真波形上就是倍频输出波形  $F_{o1}$  的上升沿与输入波形  $F_s$  的上升沿相差了时钟  $F_x$  的一个周期。这个时钟周期的差别包含在倍频器的设计中,与 DLL 本身无关。对于 DLL 我们可以通过改变输入时钟的频率来观察它的锁定过程和时间的,如图 6 所示。

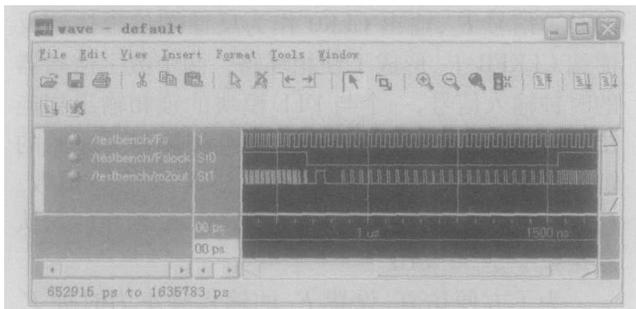


图 6 DLL 动态锁相过程

Fig 6 Dynamic phase locking process of DLL

从图 6 中可以看出, DLL 的两倍频信号被作为输出口进行观察,当  $F_{slock}$  信号为高电平的时候表示 DLL 已处于锁定状态。DLL 一开始处于锁定状态,输出  $m_{2out}$  为输入  $F_s$  的两倍频。当输入  $F_s$  的频率改变后,  $F_{slock}$  信号先降为低电平,表示重新进入锁定的过程,输出  $m_{2out}$  也呈现出不定的状态。当  $F_{slock}$  再一次变为高电平时,表示 DLL 已锁定,而输出  $m_{2out}$  也变为输入  $F_s$  的两倍频,两列信号的上升沿对齐。在图 6 的仿真过程中,设置  $F_s$  的初始输入频率为 62.5 MHz,然后  $F_s$  的输入频率改变为 41.7 MHz,从图中可以读出信号  $F_{slock}$  变化过程的耗时也即锁定过程的耗时为 0.75  $\mu$ s,这是一个非常迅速的过程。

对于 Spartan-1IE 系列的 FPGA 芯片来说, DLL 能捕捉到的输入时钟周期变化所允许的最大时间为 1.0 ns。DLL 完成锁定的时间会由于输入时钟频率的不同而不同。Xilinx 公司生产的 Spartan-1IE 系列芯片的 DataSheet 上的参数为:当输入时钟频率大于

60 MHz 时, DLL 的最大锁定时间为 20  $\mu$ s;当输入时钟频率为 50 ~ 60 MHz 时, DLL 的最大锁定时间为 25  $\mu$ s;当输入时钟频率为 40 ~ 50 MHz 时, DLL 的最大锁定时间为 50  $\mu$ s;当输入时钟频率为 30 ~ 40 MHz 时, DLL 的最大锁定时间为 90  $\mu$ s;当输入时钟频率为 25 ~ 30 MHz 时, DLL 的最大锁定时间为 120  $\mu$ s。

### 3 结论

由以上分析可知,基于 FPGA 内部数字锁相电路构成的数字锁相环具有灵活方便、电路简洁、集成度高、以及锁相迅速等优点,对于解决动态情况下的快速锁相问题是一条值得探索的途径。但由于 FPGA 中的 DLL 对于能够捕捉的输入信号频率下限有限制(对于这款芯片必需 15 MHz),因此对于电力系统的工频 50 Hz 来说,如何恰当地使用 DLL 还需要更深入的研究和探讨。

### 参考文献:

- [1] 林霄舸,段尚枢,付景峰.一种低频高精度全数字化倍频器[J].哈尔滨工业大学学报,1995,6(3):109-113.  
LN Xiao-ge, DUAN Shang-shu, FU Jing-feng A Wholly Digital Frequency Multiplier of Low Frequency and High Precision[J]. Journal of Harbin Institute of Technology, 1995, 6(3): 109-113.
- [2] 单长虹,孟宪元.基于 FPGA 的全数字锁相环路的设计[J].电子技术应用,2001,9:58-60.  
SHAN Chang-hong, MENG Xian-yuan A Wholly Digital Phase-locked Loop Design Based on FPGA [J]. Application of Electronic Technique, 2001, 9: 58-60.
- [3] 诸振勇,翁木云. FPGA 设计及其应用 [M]. 西安:西安电子科技大学出版社,2002.  
ZHU Zhen-yong, WENG Mu-yun Design and Application of FPGA [M]. Xi an: Xidian University Press, 2002.
- [4] 任晓东,文博. CPLD/FPGA 高级应用开发指南 [M]. 北京:电子工业出版社,2003.  
REN Xiao-dong, WEN Ba CPLD/FPGA Advanced Application Development Manual [M]. Beijing: Publishing House of Electronics Industry, 2003.

收稿日期: 2004-05-27; 修回日期: 2004-06-18

### 作者简介:

商佳宜(1979-),男,硕士研究生,从事配电网自动化的研究和开发工作; E-mail: shangjiayi@sina.com

江道灼(1960-),男,教授,主要从事 HVDC 微机控制技术、FACTS 及其应用技术、配电网自动化等主要方面的科研。

# XR2000型微机保护装置的瞬变脉冲群试验及抗扰措施

兀鹏越<sup>1</sup>, 焦尚彬<sup>2</sup>, 赵黎明<sup>3</sup>, 武自芳<sup>1</sup>

(1. 西安交通大学, 陕西 西安 710049; 2 西安理工大学, 陕西 西安 710048;

3. 许继电气公司, 河南 许昌 461000)

**摘要:** 讨论了快速瞬变电压的产生, 介绍了 IEC61000-4-4 标准中电快速瞬变脉冲群试验标准和方法, 并结合 XR2000型微机保护装置的研制讨论了微机保护中的电磁兼容设计方法及抗扰措施。

**关键词:** 电磁兼容; 快速瞬变脉冲群; 微机继电保护

**中图分类号:** TM774 **文献标识码:** B **文章编号:** 1003-4897(2005)03-0075-04

## 0 前言

随着电力系统自动化水平的提高, 微机测控装置在电力系统中得到广泛应用。为了节约电缆, 减小变电站占地, 减少工程量, 将微机测控装置安装于变电站的开关场地中已成为发展趋势。由于开关场地的电磁环境比控制室内严酷得多, 因此对微机型测控装置的抗电磁干扰性能提出十分严格的要求。

测量装置的抗扰性能要做电磁兼容 (Electro Magnetic Compatibility) 试验。在多种电磁兼容试验中, 电快速瞬变脉冲群试验是比较难于通过的。本文仅就 XR2000型微机保护装置的电快速瞬变脉冲群试验情况及所采取的抗扰对策进行探讨。

## 1 电快速瞬变脉冲群简介

### 1.1 快速瞬变电压的产生

变电站中经常会有断开低压直流电路中的小电感负载 (如继电器、接触器), 以及高压开关 (如 SF6 和真空开关) 切换的操作, 操作过程中会引起暂态干扰电压, 即快速瞬变电压。

这种干扰电压的特征是上升时间快、持续时间短、幅值高、能量小, 但重复率高。实测表明, 脉冲电压可达 5 kV, 脉冲重复频率为 10 kHz ~ 1 MHz。它对电子设备会造成骚扰, 导致逻辑混乱、显示不正常、程序跑飞等故障。但由于其能量小, 通常不对电子设备造成损害。

### 1.2 快速瞬变干扰试验

快速瞬变干扰试验就是用脉冲组来模拟以上的这种暂态过程, 将由许多快速瞬变脉冲组成的脉冲群耦合到电气和电子设备的电源端口、信号和控制端口, 根据被试设备在脉冲群干扰下的工作情况来测试其抗扰性能。

#### 1.2.1 试验信号波形

标准规定快速瞬变脉冲群发生器的脉冲为双指数波形, 上升时间为 5 ns, 持续时间 50 ns, 脉冲群持续时间 15 ms, 脉冲群周期 300 ms, 其波形如图 1。

#### 1.2.2 试验严酷等级

表 1 列出了 IEC61000-4-4 标准对不同严酷等级的实验规范。

## Implementation of an intelligent digital phase-locked loop based on FPGA

SHANG Jia-yi, JIANG Dao-zhuo  
(Zhejiang University, Hangzhou 310027, China)

**Abstract:** The fundamental principle and the realization process of digital phase-locked loop are analyzed. This paper expounds a method of high precision digital locked phase with the phase-locked loop of FPGA. The proposed method has properties of programmable function, the simple circuit, quick-operating capture, high precision of frequency tracking, etc. It is confirmed through simulation.

**Key words:** digital phase locking; phase-locked loop; FPGA