

基于 CPLD 的电动机保护装置的设计

张鑫, 李娜, 宗剑, 牟龙华

(中国矿业大学信息与电气工程学院, 江苏 徐州 221008)

摘要: 随着基于 EDA 技术的 CPLD(复杂可编程逻辑器件)的发展,许多单片机系统被 CPLD 所取代。CPLD 以其高速度、高可靠性等特点,在系统设计中得到广泛的运用。该设计在 CPLD 上通过 VHDL 语言和图形混合编程设计电动机保护装置。设计中主要的难点是时钟匹配、硬件延时以及资源和速度的矛盾,采取软件仿真和程序中的延时赋值可以模拟硬件的工作过程,对于解决这些难点有很大的帮助。

关键词: 电动机保护; CPLD; 设计

中图分类号: TM774; TM32 文献标识码: A 文章编号: 1003-4897(2004)17-0043-03

0 前言

微机电动机保护在我国起步比较晚,近些年的研究中主要是以 16 位单片机为硬件核心的微机型电动机保护。EDA 技术是近几年迅速发展起来的一项新技术。主要是借助先进的设计软件在计算机上进行电子设计和仿真,基于 EDA 技术的 CPLD(复杂可编程逻辑器件)比单片机速度更快、可靠性更

高,而且程序不会“跑飞”。本文介绍的就是一种基于 CPLD 的电动机保护装置。

1 系统结构

整个系统分为信号采集模块、信号处理模块、判断保护模块、开关量采集模块、人机接口模块、串行通信模块。结构图如图 1 所示。

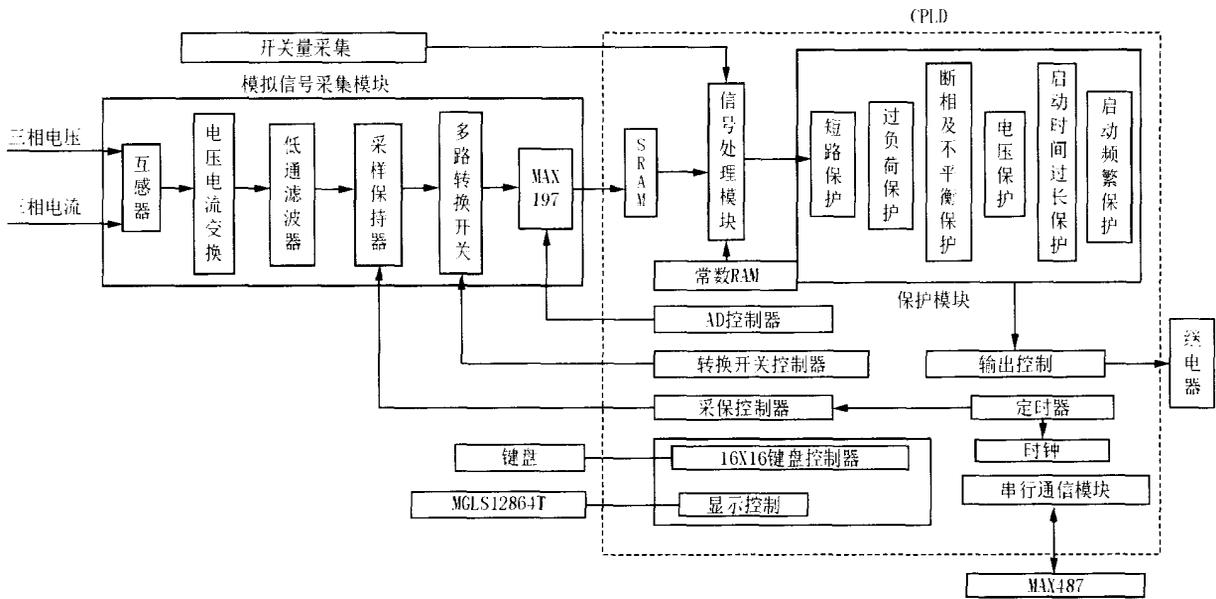


图 1 系统结构图

Fig. 1 System architecture

1.1 信号采集模块

采样保持器选用 LF398,通过一个定时器控制采样,采样频率为 600 Hz。采样保持器与 AD 之间通过一个多路转换开关来控制转换顺序,多路转换开关的选通编码由 CPLD 完成。

AD 转换器 MAX197 的控制由 CPLD 实现的 AD-CONT 完成。在模块 ADCONT 中,采用有限状态机模式,即将 AD 采集转换的过程分为 ST0(AD 初始化)、ST1(AD 选通)、ST2(转换完成)、ST3(读转换后低 8 位)、ST4(读转换后高 4 位)5 个状态,实现了对

AD的控制。图2为编程实现的ADCONT的模块生成图。

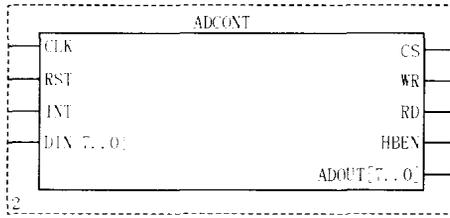


图2 ADCONT模块生成图

Fig. 2 Implementation of ADCONT module

1.2 信号处理模块

AD转换后的数据存入SRAM中。

SRAM采用CPLD中的EAB实现。为了对6种电压电流进行并行的数据处理,构造6组64×16的SRAM,定义为RM1、RM2、RM3、RM4、RM5、RM6。AD采集后的写RAM控制器(WDRAM)及SRAM模块如图3,利用EAB,只需要修改其中的参数,就可以实现不同的RAM。

存入的数据按照A相电流、B相电流、C相电流、A相电压、B相电压、C相电压的顺序进行存储,每个SRAM中的00H~23H保存3个周波36个采样值。

本装置中采用全波傅式算法,算法模型中的所有常数均事先存放在事先构建的SRAM(RM7)中。通过两个乘法器和两个加法器来同时计算实部、虚部,进而计算幅值和相角,并分别保存在6个SRAM的24H~27H中。电压、电流的有效值计算可通过查开方表的方式完成。

为了资源方面的考虑,在CPLD中的算术运算不能直接运算,需通过构建各种运算器。

加法器的构成主要分为并行进位(速度快,资源占用大)和串行进位(速度慢,资源占用少)方式,为了在资源和速度之间寻求平衡。在多次实验中证明,4位二进制并行加法器和串行级联加法器占用几乎相同的资源。这样,此16位加法器以及更高位的加法器由4位二进制并行加法器级联构成。

纯组合逻辑的乘法器速度快,但占用资源大,难以实现宽位乘法运算,此乘法器通过时序电路和加法器构成,可以在小的资源占用情况下实现较快的高位乘法运算。

1.3 判断保护模块

此模块主要实现短路保护、过负荷保护、断相及不平衡保护、电压保护、启动时间过长保护和启动频繁保护,其中短路保护和过负荷保护构成主保护。

各种保护在CPLD中实现的基本方法是相似的,都是通过一个比较器实现,所不同的是比较器的定值不同,为了方便判断,每种保护均构建一个比较器,设计比较器时将定值写入程序。

1.4 人机接口模块

这部分主要包括显示和键盘,用CPLD实现3×3键盘控制器。按键的去抖电路采用5ms的时钟接收输入数据,若连续3次数据为零,则可以确认数据是稳定的并可以接收。

液晶显示部分采用图形液晶显示模块MCLS12864T来实现。

1.5 通信模块

这部分由用CPLD实现的串行发送器、接收器

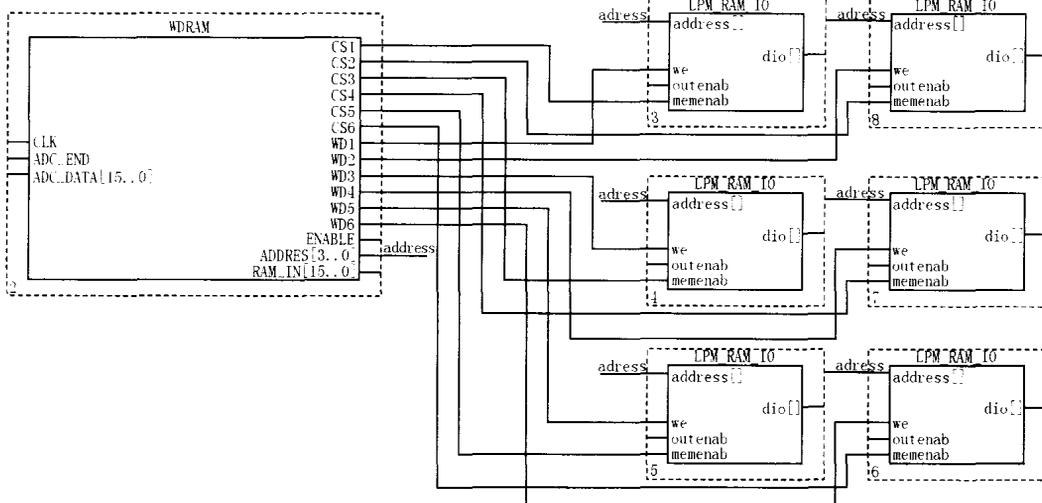


图3 写RAM原理图

Fig. 3 Schematic diagram of writing RAM

以及 MAX487 芯片组成。

发送器所采用的是异步通信方式。规定传输的一个数据是 10 位,其中最低位为启动位(逻辑 0 低电平),最高位为停止位(逻辑 1 高电平),中间 8 位是数据位。为了方便对数据进行正确控制,选取发送(接受)每位数据用 4 个时钟周期。为了能够达到串行通信的波特率,例如 4 800 bit/s,则需把时钟频率设为 19.2 kHz。

发送器中使用 6 位计数器用于判断发送的数据是否发送完毕及在发送完毕后装入新的数据,由于本设计中选取一位数据 4 个时钟周期,因此当计数到“100111”时,表示 10 位数据发送完毕;此时将加载信号“load”置 1,则向移位寄存器加载 10 位数据。此计数器的时钟信号由 3 位计数器的进位信号提供,当计数脉冲为 3 时,计数器清零并发出进位信号“carry”,“carry”既是 6 位计数器的时钟信号,又是移位寄存器的移位脉冲,移位寄存器实际上在发送器中是一个串并转换器。当加载信号高有效时,10 位数据从外部寄存器中并行载入 REG10,载入后在“carry”有效时,即每 4 个 CLK 周期右移一位进入锁存器,进而从 TXD 发出。

接收器的结构与模块的功能与发送器相似。通过判断接收锁存器中的起始位是否为零,来确定接收与否。若有效时,3 位计数器开始计数,将锁存器中的数据逐位右移到移位寄存器中,6 位计数器同样计数到“100111”,此时表示已接收 10 位数据,发出信号把移位寄存器中的数据并行读出。接收器中的移位寄存器其实是一个串并转换器。

可以利用 CPLD 的在线可编程功能,通过修改发送(接收)每一位的时间来控制波特率,比如把一位数据每 4 个 CLK 改为 2 个 CLK,则在时钟频率 19.2 kHz 时,波特率为 9 600 bit/s。除此之外,还可以通过增加时钟频率来增大波特率。

1.6 定时器

在本装置中采样保持控制器、起动时间过长保护、起动频繁保护以及时钟都需要定时器。而装置中 CPLD 的时钟是 40 MHz,这就需要进行分频,以获得各个单元需要的时钟。为了保证分频的精度,将分频器分成两组,一组分频置 600 Hz,供给采样保持控制器作采样频率;另一组分频置 1 Hz,即作为秒脉冲供给时钟及上述的保护模块。此外,构建一个自由计数器,用于其它分频。

2 系统实现及难点

本设计采用自顶向下(Top-down)的系统设计方

法,通过 VHDL 语言和图形混合编程,采用 Altera 公司开发的软件 Maxplus 进行设计综合和软件仿真。采用 ACEX1 K100 进行硬件实现,该芯片集成度为 10 万门。在设计中使用两片 ACEX1 K100,一片用于傅式算法和保护计算的数据处理,另一片实现采样控制、人机接口以及串行通信。另外为了保证程序以及整定值在掉电情况下不丢失,在目标板上配有 EEPROM,通过 CPLD2003 向 CPLD 下载程序的同时,将程序烧进 EEPROM。由于 CPLD 的并行工作方式,各个不同模块之间的时钟、敏感信号的匹配尤为关键,这是本设计中的难点之一;另外硬件中信号传输的延时、运算器资源与速度的平衡也是难点。在本设计中为了能实际模拟硬件工作,解决这些难点,将 VHDL 语言编程中的对象一律设为信号,在运算器的设计中加入串行结构和流水线方式,并通过软件仿真和软件赋值延时来进一步验证时钟是否匹配和延时对输入输出的影响,然后再下载到硬件中。

3 结论

MCU 通过内部的 CPU 逐条执行软件指令来完成各种运算和逻辑功能,其工作速度和效率必将大打折扣,而且任何 MCU 在工作初始都必须经历一个复位过程,否则将无法进行正常工作;在工作电平有某种干扰性突变时,MCU 不可或缺的复位设置将成为系统不可靠工作的重要因素。CPLD/FPGA 的并行处理方式使处理速度更快,而且不存在 MCU 所特有的复位不可靠与 PC 可能“跑飞”等固有缺陷,几乎可将整个系统下载于同一芯片中,从而大大缩小了体积,易于管理和屏蔽。另外 CPLD 开发工具和设计语言标准化,特别是 IP(Intellectual Property)核的发展,使开发周期变短,和单片机相比它易学易用,开发便捷。

本设计用复杂可编程逻辑器件(CPLD)实现了一个电动机保护装置,采用自顶向下(Top-down)的系统设计方法,将整个系统划分成若干模块,并对每个模块继续划分,首先实现底层的设计,进而完成整个系统的实现。

参考文献:

- [1] Manzoul M A. Multi-function Protective Relay on FPGA[J]. Micro-electronics Reliability, 1998, 38.

(下转第 49 页 continued on page 49)

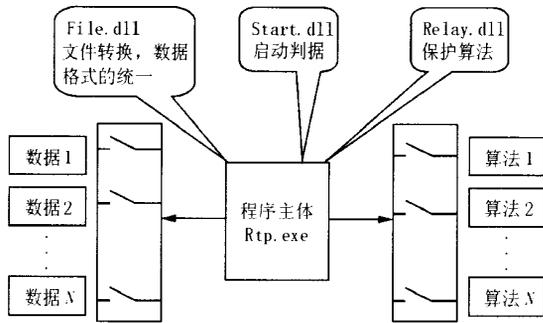


图5 链接平台整体示意图

Fig. 5 Schematic diagram of RTP

Windows 环境下即可实现用选定的录波数据验证选定的保护算法,一旦保护算法编写完成,故障处理程序成形,只需选择数据和算法,根据需要点击几下鼠标,几分钟内就可以完成对算法的测试,根据界面显示可以很直观地得到分析结果。而且可以清晰地看到各个中间变量,做到对保护的流程心中有数。

Development of software test platform applied for computer protection

ZHUANG Heng-jian, LIU Wan-shun, JIAO Shao-hua, ZHENG Tao

(Sifang Institute, North China Electric Power University, Beijing 100085, China)

Abstract: The software test platform applied for computer protection is developed based on integrated developing environment and Microsoft Foundation Class. The proposed platform can be used to simulate protection device and provide an interface linking recording data with relay algorithm developed by researcher. This paper provides an effective tool for researchers of computer protection as well.

This project is supported by National Natural Science Foundation of China (No. 52077012).

Key words: software test platform; computer protection; VC6.0

方便快捷,可靠性高,中间过程清晰,能够图形化显示,可以根据需要扩展功能,满足多种需要。

参考文献:

- [1] 侯俊杰 (HOU Jun-jie). 深入浅出 MFC (第二版) (Mastery of MFC, Second Edition) [M]. 武汉:华中理工科技大学出版社 (Wuhan: Huazhong University of Science and Technology), 2001.
- [2] Kruglinski D J. VC++ 技术内幕 (第四版) (Inside Visual C++, Fourth Edition). 潘爱民,译 (PAN Ai-min, Trans). 北京:清华大学出版社 (Beijing: Tsinghua University Press), 1999.

收稿日期: 2003-12-10; 修回日期: 2004-02-02

作者简介:

庄恒建(1979-),男,硕士研究生,研究方向为电力系统微机保护; E-mail: jobroad@163.com

刘万顺(1941-),男,教授,博士生导师,IEEE高级会员,研究方向为电力系统仿真、电力系统微机保护等。

(上接第 45 页 continued from page 45)

- [2] 谭会生,张昌凡 (TAN Hui-sheng, ZHANG Chang-fan). EDA 技术及应用 (EDA Technique and Application) [M]. 西安:西安电子科技大学出版社 (Xi'an: Xidian University Press), 2001.
- [3] 李晓波 (LI Xiao-bo). 智能化真空磁力起动器的研究 (硕士学位论文) (Study of Intelligentized Vacuum Magnetic Starter, Thesis) [D]. 徐州:中国矿业大学 (Xuzhou: China University of Mine Technology), 2001.

收稿日期: 2003-12-24; 修回日期: 2004-03-23

作者简介:

张鑫(1979-),男,硕士研究生,主要研究 CHLD、继电保护及智能电气; E-mail: zhangxin1979@vip.163.com

李娜(1979-),女,硕士研究生,主要研究 CHLD、继电保护及智能电气;

宗剑(1973-),男,硕士研究生,主要研究继电保护及智能电气。

Design of motor protection based on CPLD

ZHANG Xin, LI Na, ZONG Jian, MOU Long hua

(Institute of Information & Electrical Engineering, China University of Mine Technology, Xuzhou 221008, China)

Abstract: With the development of Complex Programmable Logic Device (CPLD) based on the EDA technique, many single-chip systems have been replaced by CPLD for its high speed and high reliability. This paper gives a detailed research in using VHDL language and Graphic editor to design motor protection device on CPLD. The major difficulties in this design include clock matching, hardware delay, and conflict between resource and speed. Software emulator and delay evaluation can simulate hardware working, which is beneficial to deal with those difficulties.

Key words: motor protection; CPLD; design