

高速数据采集系统中精确时标的 CPLD 实现方法

陈靖, 张承学

(武汉大学电气工程学院, 湖北 武汉 430072)

摘要: 介绍一种利用复杂可编程逻辑器件给高速数据采集系统中的采集数据贴上精确时间标签的方法, 并利用 MAX PLUS 开发环境验证设计方案的正确性。此设计方案已经成功地应用到自行设计的高速数据采集卡中。

关键词: ADuC812; 时间标签; CPLD; GPS

中图分类号: TM711 **文献标识码:** B **文章编号:** 1003-4897(2004)02-0030-04

0 引言

基于 GPS 的双端行波故障定位系统是利用行波的第一个波头到达线路两端的时间差来计算故障点的位置, 由于行波的传播速度非常快(约为光速的 98%), 这就对线路两端行波波头到达时刻的时间精度要求非常高。但相对于高速数据采集系统而言, 单片机系统对时间的分辨能力是很低的(设 51 系列 CPU 的时钟频率为 12 MHz, 则计数器(T₀ 或 T₁)对时间的最小分辨能力为 2μs)。而且单片机系统还不能直接得到故障发生时对应于静态 RAM 的确切地址, 所以如果只利用单片机系统给采集数据贴上时间标签, 时间精度和时间标签的可靠性就会大大降低, 这样会直接影响到故障测距的精度。

1 相关内容简介

1.1 GPS 简介

全球定位系统(GPS)是美国于 1993 年全面建成并运行的新一代卫星导航、定位和授时系统。电力系统中主要是利用 GPS 的精确授时。GPS 接收器在任意时刻能同时接收其视野范围内 4~8 颗卫星信号, 其内部硬件电路和处理软件通过对接收到的信号进行解码和处理, 能从中提取并输出两种时间信号: 一是时间间隔为 1s 的脉冲信号 1PPS; 二是经串行口或 RS-232 输出的与 1PPS 脉冲前沿对应的国际标准时间和日期代码(年、月、日、时、分、秒)^[1]。

GPS 接收器提供的 1PPS 信号实际上是以秒为计时单位、精度为 1μs 的国际标准时间信号, 这种信号在地球上任何地方都能比较可靠地接收到。因此, 若以该信号作为标准时钟源去同步电网内运行的各时钟, 则能保证各厂站时钟的高精确度同步运行^[1]。

1.2 ADuC812 简介

ADuC812 芯片是由美国 AD(Analog Device)公司推出的微转换器。它是一个完整的数据采集微系统, 它的组成为: 一个 8 通道、5μs 转换时间、精度自校准、12 位精度、逐次逼近的 ADC 转换器; 两个 12 位的数模转换器(DAC); 10.5KB 的闪存 E²PROM; 具有 16 位计数/定时器和 32 条可编程 I/O 接口的 8051/8052 微控制器, 256 字节的 SRAM^[2]。由于 ADuC812 的特殊功能寄存器组中添加了一个 DPP(地址为 84H), 它与特殊功能寄存器 DPH、DPL 配合, 使得 ADuC812 能够访问 16MB 的外部数据地址空间。ADuC812 的应用开发比较方便, 它的内核是国内技术人员都很熟悉的 Intel8051, 用户现有软件都可以直接移植。

1.3 MAX 7000 系列 CPLD 器件及 MAX PLUS 开发平台简介

本次设计选用 ALTERA 公司的 MAX 7000 系列器件。MAX 7000 系列的高性能和高密度是基于它先进的多重阵列矩阵架构(Multiple Array Matrix), 它采用 E²CMOS 工艺制作, 传播延迟最小为 3.5 ns, 可以实现速度高于 200 MHz 的计数器, 并且为高密度的器件提供了非常宽的选择余地, 非常适合高速设计时应用。该公司推出的 MAX PLUS 软件是一款易于使用的开发工具, 其界面友好, 集成化程度高, 兼容工业标准, 支持 FLEX\MAX\ACEX1K 等系列产品^[3]。CPLD 要实现的逻辑功能一般是在 MAX PLUS 环境下通过硬件描述语言(VHDL)开发出来的, 并能脱离硬件(CPLD)对设计方案进行仿真, 在确认逻辑功能正确无误的情况下, 通过并行口下载“烧结”到 CPLD 器件中。“烧结”有不同设计人员“思想”的 CPLD 器件所实现的逻辑功能是千变万化的, 正因为如此, 对 CPLD 器件的开发是相当灵活的。

2 实现方案

针对前面提到的问题,本文提出一种利用 CPLD 器件巧妙解决此问题的方法。高速 AD 转换器件、地址发生器、地址计数器、计时器在时钟源 CLK (5MHz)的同步下以统一的步调工作。ADuC812 初始化时 P3.5 置“0”,P3.4 发出清零脉冲同时对地址发生器和地址计数器清零。在故障信号出现时,ADuC812 对 P3.5 置“1”,计时器和地址计数器同时停止计数,暂态信号记录完毕后,ADuC812 分时读出计时器中的值并将该数值保存在双口 RAM 中,此值即为精度为 0.2 μs 的时间信息,分时读出地址计数器中的值并将该数值保存在双口 RAM 中,此地址的精确时间即为计时器中的计数值。这样就为高速数据采集系统中的采集数据贴上精确的时间标签,本系统的硬件原理图如图 1 所示。

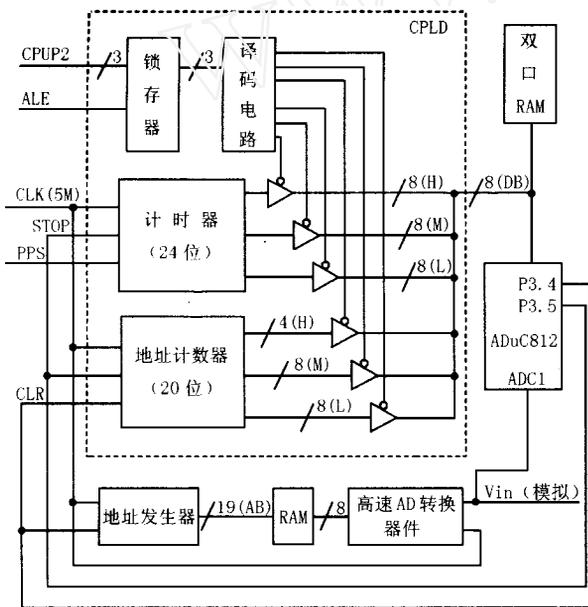


图 1 硬件原理图

Fig. 1 Block diagram of hardware

2.1 ADuC812 的工作过程

ADuC812 初始化时 P3.5 置“0”,同时 P3.4 发出清零脉冲使地址发生器和地址计数器同步计数。ADuC812 控制内部的 ADC 转换模块对经过调整的取自电流互感器二次侧的电流进行 AD 转换,采用半波比较,在每个工频内采集 36 个点,分别用第 n 个点和第 n+18 个点、第 n+1 个点和第 n+19 个点比较,依此类推,如果大于事先设定的门槛值即认为故障已经发生。ADuC812 使 P3.5 置“1”,计时器和地址计数器同时停止计数,计时器中的数据即为地

址计数器记录的对应于静态 RAM 相同地址采集数据的时间标签,由于高速 AD 转换器件的转换频率固定(本次设计为 5 MHz),所以,可以以此为基准为整个静态 RAM 中的采集数据贴上时间标签。

2.2 计时器和地址计数器的工作过程

当 STOP 端口为低电平时(P3.5 置“0”),计时器在 5 MHz 的时钟源下以相同的频率计数,由于它是一个 24 位的计数器,从而确保了计时器能够记录一个整秒,并为一个整秒刻上了 $0.2\mu\text{s}$ ($\frac{1}{5 \times 10^6 \text{MHz}} = 0.2 \mu\text{s}$) 的最小刻度。同时 GPS 发出的 1PPS 信号的上跳沿给计时器清零,从而为计时器提供精确的时间基准,以消除计时器的累计误差。

当 STOP 端口为高电平时(P3.5 置“1”),计时器停止计数,在此状态下 GPS 发出的 1PPS 信号的上跳沿不能对计时器清零。

地址计数器的工作过程与计时器的工作过程类似,唯一的区别是地址计数器的清零信号(CLR)是在初始化时由 ADuC812 的 P3.4 口发出的,由于地址发生器和地址计数器共用同一个清零信号,从而确保地址发生器和地址计数器中的计数值完全相同。同理,当 STOP 端口为高电平时,地址计数器也停止计数,在此状态下 ADuC812 发出的清零信号不能改变地址计数器中的计数值。

2.3 将地址计数器和计时器中的数据送至双口 RAM

由于 ADuC812 是一种 8 位单片机,所以地址计数器和计时器中的数据只能“分批”地送至双口 RAM 中保存。所以要设计锁存器、译码电路和总线隔离电路,避免总线冲突以及保证总线上的数据能正确无误地传递。在本次设计中,当 ADuC812 的特殊功能寄存器 DPP 高 3 位的值为“00H”时将计时器的高 8 位数据通过 ADuC812 送至双口 RAM 中,依此类推,当特殊功能寄存器 DPP 高 3 位的值为“05H”时将地址计数器的低 8 位数据通过 ADuC812 送至双口 RAM 中保存。当特殊功能寄存器 DPP 为其他值时释放数据总线,便于 ADuC812 进行其他操作。

2.4 系统的 VHDL 描述及其仿真结果

系统的上述功能可由硬件描述语言(VHDL)来实现,源程序如下:

```
ENTITY SHIBIAO IS
PORT(CLK,STOP,PPS,CLR,ALE:IN STD-LOGIC;
      CPUP2:IN STD-LOGIC-VECTOR(2 DOWNTO 0);
      DB:OUT STD-LOGIC-VECTOR(7 DOWNTO 0));
END SHIBIAO;
```

```

ARCHITECTURE BEHAVE OF SHIBIAO IS
SIGNAL COUNT-TIME:STD-LOGIC-VECTOR(23 DOWNT0 0) ;
SIGNAL COUNT-ADD:STD-LOGIC-VECTOR(19 DOWNT0 0) ;
SIGNAL QQ:STD-LOGIC-VECTOR(2 DOWNT0 0) ;
SIGNAL QQ-TEMP:STD-LOGIC-VECTOR(3 DOWNT0 0) ;
SIGNAL CLR1 ,SEL ,PULSE:STD-LOGIC;
BEGIN
QQ-TEMP <= QQ&STOP;
SEL <= 1 ;
PROCESS(CLK,STOP)
BEGIN
IF(STOP = 1 ) THEN
COUNT-TIME <= COUNT-TIME;
ELSIF(CLK 'EVENT AND CLK = 1 ) THEN
IF(PULSE = 1 ) THEN
COUNT-TIME <= (OTHERS = > 0) ;
ELSE
COUNT-TIME <= COUNT-TIME + 1 ;
END IF;
END IF;
END PROCESS;
PROCESS(CLK,CLR)
BEGIN
IF(STOP = 1 ) THEN
COUNT-ADD <= COUNT-ADD;
ELSIF(CLK 'EVENT AND CLK = 1 ) THEN
IF(CLR = 0 ) THEN
COUNT-ADD <= (OTHERS = > 0) ;
ELSE
COUNT-ADD <= COUNT-ADD + 1 ;
END IF;
END IF;
END PROCESS;

```

```

PROCESS(CLK)
BEGIN
IF(CLK 'EVENT AND CLK = 1 ) THEN
CLR1 <= PPS;
IF PPS = SEL AND CLR1 = NOT SEL THEN
PULSE <= 1 ;
ELSE
PULSE <= 0 ;
END IF;
END IF;
END PROCESS;
PROCESS(ALE)
BEGIN
IF( ALE = 1 ) THEN
QQ <= CPUP2;
END IF;
END PROCESS;
PROCESS(QQ-TEMP)
BEGIN
CASE QQ-TEMP IS
WHEN "0001 " = > DB <= COUNT-TIME (23 DOWNT0
16) ;
WHEN "0011 " = > DB <= COUNT-TIME(15 DOWNT0 8) ;
WHEN "0101 " = > DB <= COUNT-TIME(7 DOWNT0 0) ;
WHEN "0111 " = > DB <= "0000 " &COUNT-ADD (19
DOWNT0 16) ;
WHEN "1001 " = > DB <= COUNT-ADD(15 DOWNT0 8) ;
WHEN "1011 " = > DB <= COUNT-ADD(7 DOWNT0 0) ;
WHEN OTHERS = > DB <= "ZZZZZZ";
END CASE;
END PROCESS;
END BEHAV

```

其仿真结果如图 2 所示。

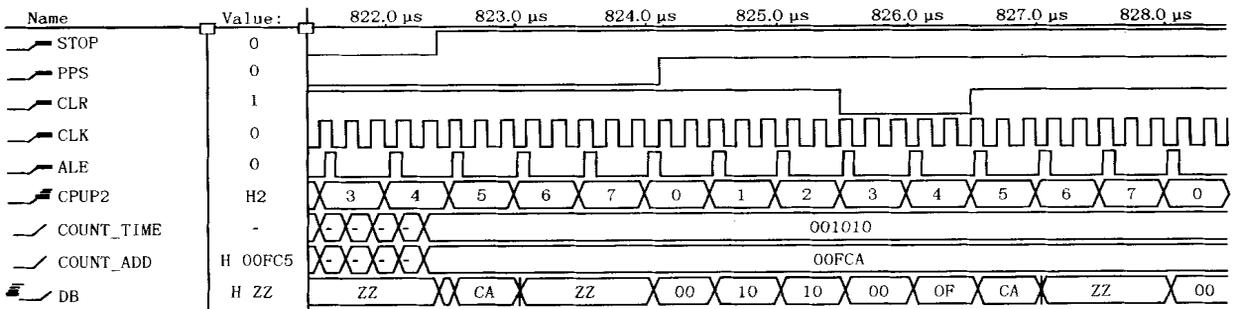


图 2 系统仿真波形

Fig. 2 Simulation waveforms of the system

3 结论

本文对高速数据采集系统中的采集数据贴上精确时间标签的方法进行了详细叙述和仿真,得出如下结论:

(a) 假设高速 AD 转换器件的转换频率为 5 MHz,则本系统能为存入静态 RAM 中的转换数据贴上精度为 0.2 μ s 的时间标签。

(b) 通过复杂可编程逻辑器件(CPLD)间接地实现了“低速”的单片机系统对高速数据采集系统的实时监视。

参考文献:

- [1] 高厚磊,厉吉文,文锋,等(GAO Hou-lei, LI Ji-wen, WEN Feng, et al). GPS 及其在电力系统中的应用(GPS and Its Potential Applications to Power System) [J]. 电力系统自动化(Automation of Electric Power Systems), 1995, 19(9): 41 - 44.
- [2] 刘书明,冯小平(LIU Shu-ming, FENG Xiao-ping). 数据采集系统芯片 ADuC812 原理与应用(Principle and Application of High-speed Sample Chip ADuC812) [M]. 西安:西安电子科技大学出版社(Xi'an: XiDian University Press),

2000.

- [3] 赵曙光,郭万有,杨颂华(ZHAO Shu-guang, GUO Wan-you, YANG Song-hua). 可编程逻辑器件原理、开发与应用(Principle, Exploitation and Application of Programmable Logic Device) [M]. 西安:西安电子科技大学出版社(Xi'an: XiDian University Press), 2000.
- [4] 曾祥君,尹项根,陈德树,等(ZENG Xiang-jun, YIN Xiang-gen, CHEN De-shu, et al). 基于整个输电网 GPS 行波故障定位系统的研究(GPS Travelling Wave Fault Location System for Transmission Network) [J]. 电力系统自动化(Automation of Electric power Systems), 1999(10): 8 - 10.
- [5] 姜立东(JIANG Li-dong). VHDL 语言程序设计及应用(Design and Applications of Very High Speed Integrated Circuit Hardware Description Language) [M]. 北京:北京邮电大学出版社(Beijing: Beijing University of Posts and Communications Press), 2001.

收稿日期: 2003-04-10

作者简介:

陈靖(1973 -),男,硕士研究生,研究方向为电力系统继电保护及自动化;

张承学(1954 -),男,教授,主要从事电力系统稳定及自动化方面的研究。

A method of realizing precise time label in high-speed data acquisition system

CHEN Jing, ZHANG Cheng-xue

(School of Electrical Engineering, Wuhan University, Wuhan 430072, China)

Abstract: This paper introduces a new method, using complex programmable logic device to attach a precise time label to the data gathered in high speed data acquisition system. It has used MAX PLUS II to simulate the function, and the results proved to be accurate. The system has been applied in high speed acquisition sample board, which has been designed successfully.

Key words: ADuC812; time label; CPLD; global positioning system(GPS)

(上接第 29 页 continued from page 29)

作者简介:

袁宇波(1975 -),男,博士生,主要从事电力系统继电保护的研究;

陆于平(1962 -),男,教授,博士生导师,主要从事电力系统继电保护及数字主设备保护的教学和科研工作;

唐国庆(1937 -),男,教授,博士生导师,从事电力系统运行与控制、配电网规划与配电网自动化、电力电子在配电网中的应用、人工智能在电力系统中应用的研究。

Discussion on the Fourier algorithm application

YUAN Yu-bo, LU Yu-ping, TANG Guo-qing

(Electrical Engineering Department, Southeast University, Nanjing 210096, China)

Abstract: Fourier algorithm has been largely applied to digital protection. However, it is puzzled whether coefficients a and b are real or image parts of the phasor. After analyzing the relevant documents published in recent years, some problems are put forward in this paper. It is concluded that the phasor can be represented by the form of $a - jb$, and thus the impedance and negative sequence component can be calculated correctly.

Key words: Fourier algorithm; phasor representation; component