

总线纠错码在微机保护中的应用

祁泽旺¹, 时新建², 白华暖³

(1. 许继日立电气有限公司, 河南 许昌 461000; 2. 许继集团动力设备公司, 河南 许昌 461000;

3. 郑州大学护理学院, 河南 郑州 450002)

摘要: 论述了在微机继电保护中进行总线纠错的必要性, 简单介绍了纠错编码的理论, 指出最优奇重列码在嵌入式系统中可以有效地对总线数据纠错、检错, 达到提高系统可靠性的目的, 最后提出了一种基于可编程器件的最优奇重列码实现方法。

关键词: 总线纠错; 最优奇重列码; 可编程逻辑器件

中图分类号: TM77 **文献标识码:** A **文章编号:** 1003-4897(2002)10-0044-03

1 概述

随着半导体技术的发展, 嵌入式系统的存储器容量不断增加, 运行速度不断提高, 外界环境的电气干扰、存储器的损坏都有可能造成系统软件运行错误, 而继电保护运行环境相当恶劣, 因此要提高微机继电保护软件及硬件的可靠性, 有必要对系统的总线进行检错、纠错, 使系统的运行更加可靠。

2 纠错编码理论及总线纠错

纠错编码的基本思想是在被传送的信息中附加一些监督码元, 在两者之间建立某种校验关系, 当这种校验关系因传输错误而产生误码时, 可以发现并予以纠正。这种纠错及检错是用信息量的冗余来实现的。

纠错码从不同的角度可以分为许多种。按照信息码元和附加的监督码元之间的检验关系可以分为线形码和非线形码; 按照信息码元和监督码元之间的约束方式不同可以分为分组码和卷积码; 按照差错控制编码的不同功能, 可以将其分为检错码、纠错码和纠错码, 等等。

总线纠错是随着计算机系统及大规模集成电路的发展而出现的。目前用于计算机总线错误控制的分组码主要有 SEC-DED (Single Error Correction, Double Error Detection) 码、最优矩形码、BCH 码及用于纠正和检测突发错误的 Fire 码和 RS 码等。其中 SEC-DED 码属于一种特殊的线形分组码, 关于线形分组码的基础理论, 论文不再赘述。当然, 随着计算机技术的发展及对总线纠错编码技术的需求不断提高, 总线纠错码的种类根据纠错能力的不同已经出现了很多种。比如汉明 SEC-DED, 最优奇重列码, SbEC-

DED (Single byte Error Correction, Double bits Error Detection)、SEC-DED-SbED (Single bits Error Correction, Double bits and Single byte Error Detection) 等。

最优奇重列码是由 IBM 公司的员工 M. Y. Hi-sao 发现的一种 SEC-DED 码, 并于 60 年代在 IBM 的大型机中得到运用。其目的是通过总线数据位的冗余实现计算机总线的一位纠错及两位检错功能。为了提高产品的可靠性, 许继日立公司引进的系列数字式继电保护及控制产品成功运用了 (SEC-DED) 分组码进行总线纠错, 使该产品的自检范围进一步拓宽, 消除了微机保护产品的自检死区。

现以 (15, 10) 最优奇重列码为例, 说明最优奇重列码的纠错、检错原理, 其参数为:

码长: $n = 15$, 有效码长: $k = 10$,

校验位: $n - k = 5$, 纠错能力: $t = 1$,

检错能力: $l = 2$,

最小距离: $d_{\min} = t + l + 1 = 1 + 2 + 1 = 4$

监督矩阵 H 中各参数的排列要符合下列三条规定:

(1) H 中, 限于选用奇数个 1 的各列, 即所有列矢量均具有奇数重量;

(2) H 中 1 的数目应是最小数;

(3) H 中每行所含 1 的数目应等于或靠近每行 1 的平行数目 (即 1 的总数被行所除)。

根据以上三条规定, 监督矩阵如下:

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \quad (1)$$

根据式 (1) 可知:

$$\begin{aligned}
 a_4 &= a_{14} + a_{13} + a_{12} + a_{10} + a_9 + a_7 \\
 a_3 &= a_{14} + a_{13} + a_{11} + a_{10} + a_8 + a_6 \\
 a_2 &= a_{14} + a_{12} + a_{11} + a_9 + a_8 + a_5 \\
 a_1 &= a_{13} + a_{12} + a_{11} + a_7 + a_6 + a_5 \\
 a_0 &= a_{10} + a_9 + a_8 + a_7 + a_6 + a_5
 \end{aligned}$$

$$\text{即: } \begin{bmatrix} a_4 \\ a_3 \\ a_2 \\ a_1 \\ a_0 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} a_{14} \\ a_{13} \\ \cdot \\ \cdot \\ a_5 \end{bmatrix} \quad (2)$$

生成矩阵为:

$$G = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} a_{14} \\ a_{13} \\ a_{12} \\ a_{11} \\ \cdot \\ \cdot \\ \cdot \\ \cdot \\ a_1 \\ a_0 \end{bmatrix} \quad (3)$$

从式(3)不难看出,该码的最小距离为4。

当然最优奇重列码有许多种,但在嵌入式系统中适合数据总线的纠错有以下三种,可以分别对16位、32位、64位数据总线进行纠错、检错,根据线性分组码的基本理论及最优奇重列码的排列规定,其参数如表1所示。

表1 适合总线纠错最优奇重列码的一些参数

Tab. 1 Parameters of optimal odd-weight-column codes for bus correction

n	k	$n-k$	H的结构	H中1的个数
22	16	6	$\begin{pmatrix} 6 \\ 1 \\ 7 \end{pmatrix} + 16/\begin{pmatrix} 6 \\ 3 \\ 7 \end{pmatrix}$	54
39	32	7	$\begin{pmatrix} 1 \\ 7 \\ 3 \end{pmatrix} + 32/\begin{pmatrix} 6 \\ 3 \\ 7 \end{pmatrix}$	103
72	64	8	$\begin{pmatrix} 8 \\ 1 \end{pmatrix} + \begin{pmatrix} 8 \\ 3 \end{pmatrix} + 8/\begin{pmatrix} 8 \\ 5 \end{pmatrix}$	216

表1中: $16/\begin{pmatrix} 6 \\ 3 \end{pmatrix}$ 表示在 $\begin{pmatrix} 6 \\ 3 \end{pmatrix} = 20$ 列中挑选16列供H使用,同时该16列必须符合线性独立的条件。

3 最优奇重列码的实现

超大规模集成电路(VLSI)的发展迅速,目前市场上现场可编程门阵列(FPGA)和复杂可编程逻辑

器件(CPLD)以其操作灵活、使用方便、开发周期短、投资风险小的特点,得到广大用户的欢迎。同时,FPGA/CPLD简单易学,采用FPGA/CPLD不仅可以简化嵌入式系统的设计,缩短系统的开发周期,而且还可以提高系统的可靠性。

从本文第2部分分析可以看出,最优奇重列码由两部分构成:校验位编码器、纠错(检错)部分。采用最优奇重列码的生成矩阵及监督矩阵不难推出两部分的理论模型。最优奇重列码进行总线的纠错、检错可以很方便地通过FPGA/CPLD来实现,而且只要系统规划合理,在图1所示的微处理器外围接口电路中采用一片FPGA或一片CPLD就可以实现微处理器的外围电路控制及总线的检错、纠错,而不会使成本有较大的提高。

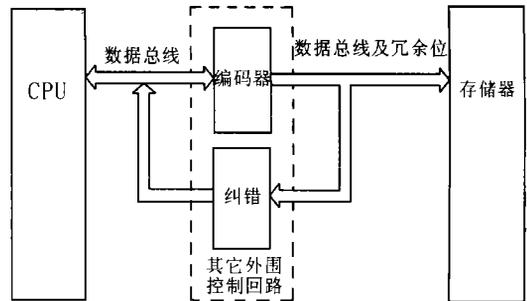


图1 微处理器外围接口

Fig. 1 External interface of microprocessor

FPGA/CPLD的开发主要有四种方式:原理图、状态机、硬件描述语言方式及混合设计。这些方法各有特点,原理图设计方法在小规模的设计中比较实用,但当电路规模较大时,其复杂性将大大提高,设计效率将无法接受,后期的电路仿真工作也变得更加困难,并且难以进行准确的时序仿真,另外,原理图设计总是以特定的器件库为基础进行,因此设计的可移植性也比较差。状态机设计方法虽然移植性较好,但同原理图设计一样在设计规模较大时复杂性大大提高。混合设计在多个不同层次的设计者协同工作方面非常适用,设计灵活性也比较好,但同原理图一样设计的可移植性及后仿真性能较差。硬件描述语言(VHDL、Verilog、ABEL等)设计方法灵活性、可移植性都非常好,设计效率在大规模设计中将明显高于原理图设计。考虑到最优奇重列码的规模较小及设计移植的方便,本设计采用原理图与硬件描述语言混合设计的方式。

根据式(2)的线形方程可以很容易地实现该码的编码器及纠错(检错)部分的设计,最优奇重列码的两部分结构框图如图2和图3所示,总体设计可

采用原理图方式,编码器及译码器采用 VHDL 编程实现,最终使该设计能够方便地移植于各种可编程器件当中。

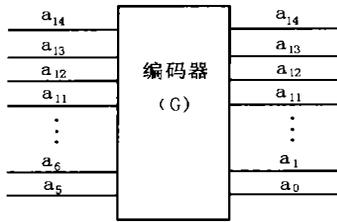


图2 校验位编码器

Fig. 2 Correction bit coder

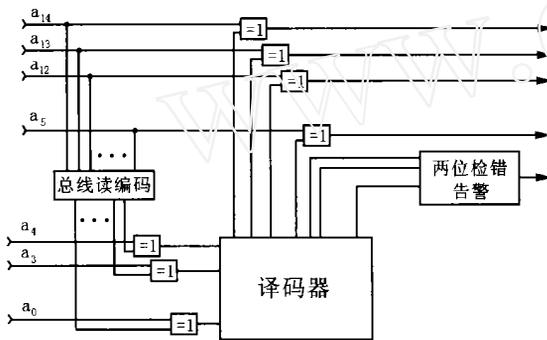


图3 纠错(检错)部分

Fig. 3 Error correction part part

总线在读取程序存储器的数据时,先根据式(2)的方程把程序代码本身进行重新编码,与下载程序时生成的校验码进行比较,进而产生错误位的信息,通过图3示的5线—32线译码器产生具体的错误位

信息或两位错误的告警信号,假如总线只有一位错误,译码器的输出与总线数据异或运算即可纠正总线错误,达到一位纠错、两位检错的目的。

4 结论

随着大规模集成电路的发展及先进开发手段的不断推出,总线纠错技术的实现变得经济实用。在微机继电保护中采用最优奇重列码通过可编程器件就可以实现系统总线的一位纠错、两位检错功能,大大提高了系统运行的可靠性,同时通过总线纠错还可以监视存储器的损坏。在系统存储器损坏时及时告警,便于运行人员及时处理系统故障。

参考文献:

- [1] Hsiao M Y. A class of optimal minimum odd-weight-column SEC-DED codes[Z]. IBM J Res Develop, 1970.
- [2] 曹志刚,等. 现代通信原理[M]. 北京:清华大学出版社,1992.
- [3] 孟宪元. 可编程 ASIC 系统设计[M]. 北京:清华大学出版社,1998.

收稿日期: 2001-12-29; 修回日期: 2002-06-11

作者简介:

祁泽旺(1973-),男,硕士,工程师,研究方向为牵引变电所综合自动化;

时新建(1966-),男,工程师,从事电气设计工作;

白华暖(1977-),女,大学本科,从事计算机应用工作。

The application of the bus correction code in the protection

QI Ze-wang¹, SHI Xin-jian², BAI Hua-nuan³

(1. XI Hitachi Electric Co. Ltd., Xuchang 461000, China;

2. Power Equipment Company of XI Group Corporation, Xuchang 461000, China;

3. Zhengzhou University, Zhengzhou 450002, China)

Abstract: This paper discusses the necessity of bus correction in the protection based on the microprocessor and introduces the theory about the correction codes briefly. It is indicated that optimal minimum odd-weight-column codes can correct or detect effectively the errors of the bus data in the embedded system, and it can improve the reliability of the system. Finally, a realizing method of optimal minimum odd-weight-column codes based on PLD is brought forward.

Key words: bus correction; optimal minimum odd-weight-column codes; PLD

更正启事

《继电器》2002年第9期第25页作者单位有误:“湖南怀华电力局”应为“湖南怀化电力局”,特此更正。

《继电器》杂志社