CPLD在继电保护装置中的应用

蔡月明,梅军,曹晓华

(东南大学电气工程系,江苏 南京 210096)

摘要:结合微机保护装置的各个部分,介绍了CPLD及其在线路微机保护装置中的应用,并对CPLD的电路原理图编程方式做了举例说明。

关键词:CPLD; 单片机; 继电保护

中图分类号:TM774　　**文献标识码**:B　　**文章编号**:1003-4897(2001)10-0042-03

1 前言

电力系统继电保护的主要任务就是在电力系统发生故障时,以尽可能短的时间有选择地切除故障线路。微机继电保护产品在电力系统中得到了广泛的应用,并由于其相对于传统继电保护产品(整流型,集成电路型等)的一系列优点,大大提高了电力系统供电的安全性和可靠性,促进了电力系统自动化的发展。

在研制微机保护装置的过程中,我们发现过多的硬件不仅对装置的研发和调试带来不便,而且对装置性能造成影响。因此,我们将CPLD应用在该微机继电保护装置中,很好地实现了系统的简化。本文对CPLD进行简要介绍,并结合微机继电保护装置介绍了CPLD的实际应用及其电路原理图编程方式。

2 CPLD简介

为简化系统设计,本系统的控制电路主要由INTEL 80196KC和CPLD(Complex Programmable Logic Device)实现。CPLD是XILINX公司生产的一种高性能的现场可编程的微控制器外围集成电路。我们选用的是XC9500系列产品,该系列产品把PLD(可编程逻辑器件)、PAD(可编程地址译码器)、数据锁存器、计数器、数据选择器、三态门和I/O等常规器件集成在一个芯片上。从概念上说,CPLD是由许多类似PAL的功能块组成,各功能块之间通过开关矩阵互相连接。XC9500系列CPLD采用了系统内5V可编程FASTFLASH技术,并且含有内部JTAG双向扫描测试逻辑。XC9500系列产品内部含有800到6400个逻辑门,36到288个寄存器,而且能够反复擦写内部逻辑,可以在外部I/O引脚定义和接线不变的情况下,实现CPLD内部逻辑的改变。它的这一优良品质,不仅为编程内部逻辑,而且为PCB板设计提供了极大的便利。

除此之外,XC9500系列还有以下特性:

■ 正常状态,端子到端子的延时为5～7.5ns。当系统时钟达到200MHz时,端子到端子的延时可以达到4ns。

■ 可以接受5V,3.3V和2.5V的输入、输出信号。

■ 采用0.35μm CMOS工艺。

■ 先进的在线编程功能,可以在系统不关闭电源的情况下,对CPLD的内部逻辑进行刷新。

■ 片内提供三个公共时钟控制信号。

■ 每个输出端子的增强型输出控制。

■ 1000万可擦除,20年数据保持。

XILINX的编程比较灵活,可采用多种方式,如HDL语言、状态图方式和电路原理图方式,本系统统一采用电路原理图方式对CPLD进行逻辑编辑,编程方式基本和设计电路图类似。所见即所得,只需将你需要的逻辑器件放到设计图上,标定所要控制的信号,并分配给它相应的管脚即可。当然,我们还可以对锁定的管脚进行高级设置,如管脚的工作状态可以设定在标准功耗和低功耗两种工作状态;管脚可以选用高速工作模式或低速模式等。一旦编程完毕,只要设计的逻辑不发生错误,XILINX公司提供的编程软件"FOUNDATION PROJECT MANAGER"就可以自动安排CPLD内部的宏单元分布,将用户的编程信息编译为编程文件,生成芯片的烧录文件。

总之,采用CPLD器件设计电路板,在控制PCB板尺寸及安排布线都有着无法比拟的优越性,为实现电路的集成化、高可靠性提供了保证。

3 CPLD在微机继电保护装置中的应用

3.1 80C196KC单片机系统构成

80C196KC是INTEL公司生产的16位单片机,

适用于各类自动控制系统、一般的信号处理系统和高级智能仪器以及高性能的计算机外设控制器和办公自动化设备控制器,在电力系统的继电保护装置中应用也较广泛,本系统 CPU 也采用了 80C196KC 芯片和 XILINX 的 9572CPLD 芯片共同构成了系统的核心,并完成大部分的数据暂存、逻辑判断、时序分离和总线驱动等功能。它们与外围的存储芯片、时钟芯片、模拟量回路、通讯电路、显示电路及开入开出回路共同构成了整个系统。系统框图如图 1 所示:

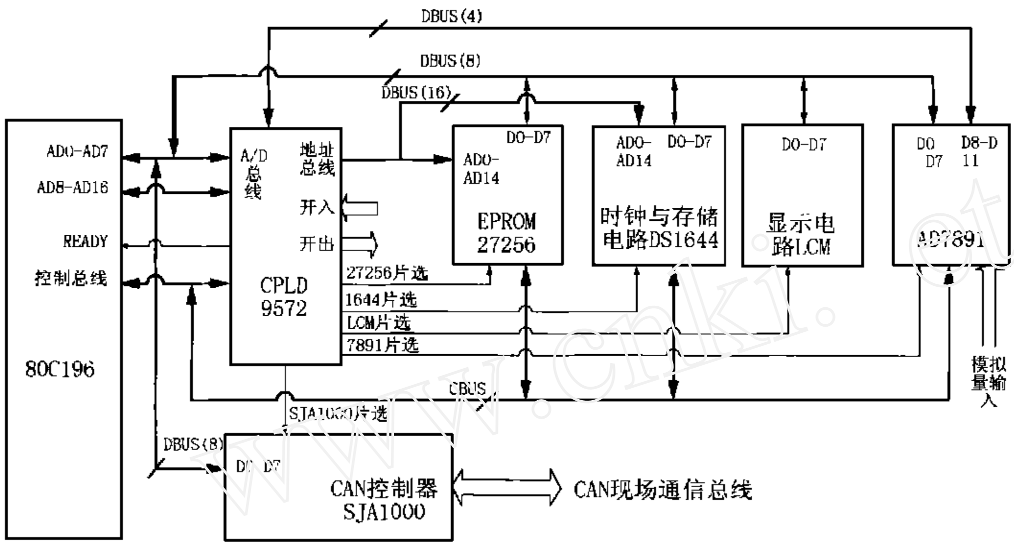

图 1　装置系统框图

3.2　地址与数据的分离

INTEL 公司的 196 系列单片机的外部数据接口采用地址与数据分时复用的方式,为了给周围电路提供地址和数据,在应用中必须将它们分离,本系统利用 CPLD 内部提供的逻辑器件结合 196 硬件产生的 ALE 信号及 RD、WR 信号,成功将地址与数据分离开来,其中提取地址的编程电路图如图 2。(以低 8 位地址为例)

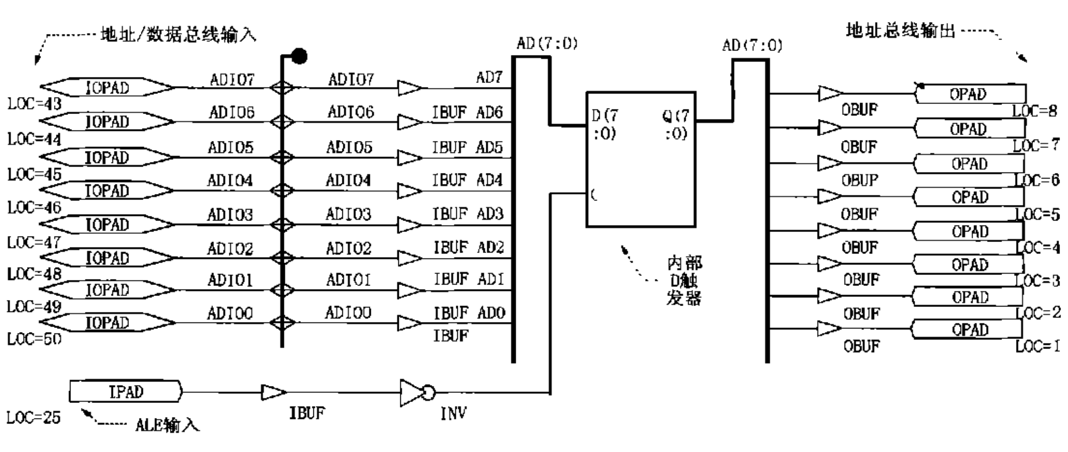

图 2　地址与数据分离编程电路图

在图 2 中,输入管脚的 ALE 信号经一反相器加入到 D 触发器的使能端,利用 ALE 的下降沿提供了一个锁存信号,把出现在总线上的有效地址锁存起来,从而达到把地址信号从地址/数据总线上分离出来的目的。

3.3　READY 信号的产生

晶振采用 16MHz,因而每个状态周期只有 0.125μs,由于有些外部 I/O(例如显示电路 LCM)速度慢,CPU 访问外部低速 I/O 时在时序上需插入等待周期,所以使用了 CPU 上的 READY 引脚。该引脚的信号也由 CPLD 内部逻辑电路产生,当访问低速 I/O 时,CPLD 在根据该 I/O 的地址生成对应的片选信号的同时,将 READY 引脚置为低,表示 I/O 需要 CPU 等待。CPU 的等待周期由芯片配置寄存器 CCR 决定,在编程时对 CCR 进行配置时可以选择等待)0～3 个状态周期。

3.4　A/D 转换电路

A/D 转换电路采用的是 Analog 公司的 AD7891 芯片,它是一个 8 通道 12bits 的数据采集系统,数据输出可选串行或并行方式,该片同时还集成了输入多路开关和采样保持电路,对单通道信号转换时间是 1.6μs,满足采样速度的要求。由此可见,此芯片的集成度是很高的,这不仅大大简化了

电路,而且从提高可靠性的角度也是合理的。

这里要重点提出的是因我们这套系统外部总线仍采用的是 8 位方式,而 AD7891 输出的是 12 位数据,这就要求对 AD7891 访问时系统总线需由 8 位改为 16 位方式,这存在一个总线宽度转换的问题,考虑到总线宽度频繁转换所可能带来的负面影响,我们决定系统总线宽度不变,每次读 AD7891 时直接读入低 8 位,而将高 4 位放在 CPLD 内部进行锁存,然后通过对另一地址的访问读出该 4 位,其中 AD7891 的地址为 0A00H,高 4 位存放地址为 0B00H,这些译码电路均在 CPLD 内部实现,具体编程电路图如图 3 所示。

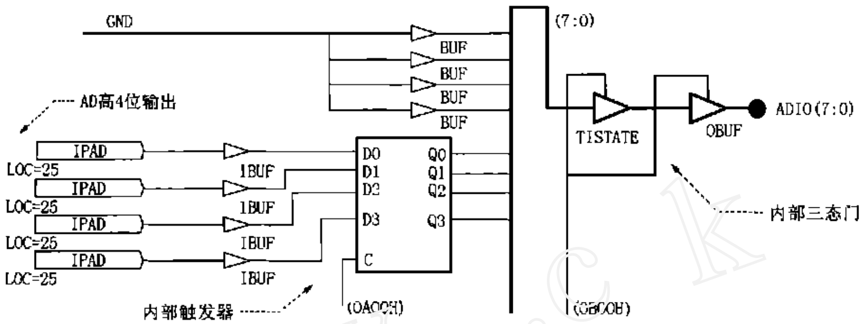

图 3　AD 电路总线转换编程电路图

3.5　开入/出量电路

继电保护装置的作用是当线路出现异常时,需要显示、报警或输出动作信号,为此它不仅要能够正确动作,而且要读入当前断路器的状态等信息作为判断的依据。

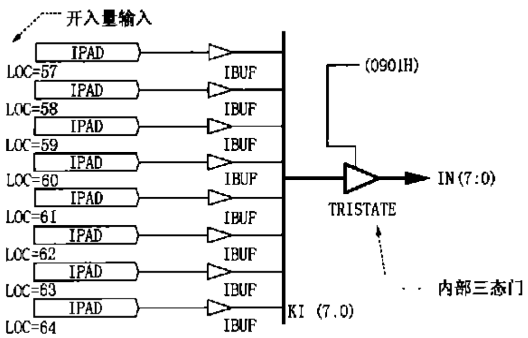

图 4　开入量编程电路图

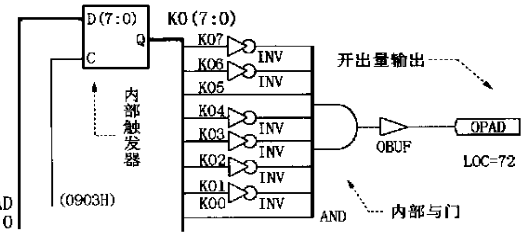

图 5　开出量编程电路图

在继电保护装置中,由于单片机的扩展口较少,一般不能完全满足输入输出的需要,因此在读入开入量及输出开出量时,往往需要进行 I/O 口的扩展,在本装置中,此部分功能均集成在 CPLD 中,并挂在 CPLD 内部的地址/数据总线上,其中给开入量分配的地址是:0901H、0902H,为系统扩展了 16 位开入量输入。地址为 0901H 的 8 位开入量的实现编程电路图如图 4 所示。通过对内部三态门的地址分配,CPLD 很容易地实现了输入开关量的扩展。CPLD 为系统扩展了四路开关量,给开出量地址是:0903H。图 5 给出了其中一路开出量的编程电路图,其中通过对内部触发器分配地址,实现了开出量的地址分配。同时,通过内部逻辑电路,将 0903H 地址的内容进行译码输出,这样有利于装置的防误动作。

4　总结

通过 CPLD 的应用,本装置实现了系统的简化和性能的优化。随着继电保护技术的不断发展,人们对继电保护装置的集成度和可靠度的要求不断提高,CPLD 在继电保护领域有着广阔的应用前景。

收稿日期:　2001-03-07

作者简介:　蔡月明(1972 -),男,硕士,主要研究方向为微机在测控系统中的应用;　梅军(1972 -),男,硕士,主要从事微机在测控系统中的应用。

Application of CPLD in relay protection set

CAI Yue-ming, MEI Jun, CAO Xiao-hua

(Southeast University, Nanjing 210096, China)

Abstract:　Based on relay protection set, this paper introduces the technical feature of Complex Programmable Logic Device (CPLD) and its application. Meanwhile, we introduce a design technique of CPLD, schematic capture by giving some examples in this paper.

Keywords:　CPLD;　single-chip computer;　relay protection