

模拟量信号延时器电路

许昌继电器研究所 陈尚忠

1 概述

本文介绍ZMY-64型信号延时装置的延时器部分，它可以用于模拟量和开关量的延时。

存贮器的介质是电容，斗链式存贮电容的容量较大，为64节，在保证经延时之后的信号具有必须的连续性的前提之下，其延迟时间比较长。本装置主要和PGL-7故障录波屏配套使用。

延时器接在信号源和录波器振动子之间，使归化之后的电气量信号通过延时器，再送到振动子上，如图1。

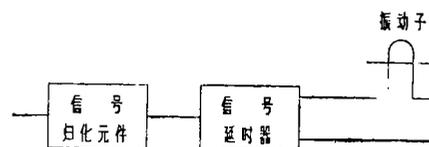


图1 信号延时器的连接

延时器与故障录波器同时投入运行，电气量信号不断地通过它送至振动子上，运行中故障录波器装置虽不起动，但振动子上仍不间断地输入经过延时后的电信号。

延时器的功能仅是将归化之后的电压信号波形延迟一段时间后不失真地输出到振动子上。

2 基本原理及线路简介

装置工作的基本原理是把连续的交流信号经轴位移后变成直流脉动信号，用断续的脉冲取样形式存贮在链式电容存贮器中，（见图2）。经过一定时间的存贮之后再输出，这就是延时。

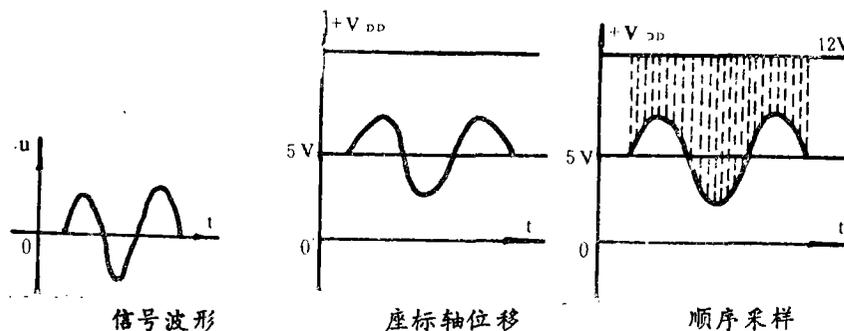


图2 信号的移轴和采样

采样脉冲, 将输入的随机模拟信号分割取样。其样值(电位信号)按固有的采样顺序存入记忆电路(保持电路), 记忆电路是一种链式循环电路, 相当于一个存贮器, 样值存入一定时间后, 再按存入时的顺序取出, 经低通滤波放大后输出, 去推动录波器装置的振动物子, 以记录波形。

理论和实践证明, 取样脉冲频率无需太高, 根据抽样定理, 只要取样频率大于信号频率宽度的两倍即可。若欲录得电网基波信号波形外, 还欲录得七次谐波分量信号的波形。则被录制频率信号的频带宽度为 $(350 \sim 50) = 300\text{Hz}$ 。这样, 取样频率应大于 600Hz 便可以保证被录制信号中所包含的各种频率成分不发生失真。所采用的取样脉冲频率为 $(1 \sim 1.5)\text{kHz}$ 所以延时器的采样频率实际为被记录信号带宽的 $(3.3 \sim 5)$ 倍。

延时器的存贮器的容量确定之后, 假定为 n 节(本装置为 64 节)那么输入信号必须经过 n 个取样脉冲之后才于输出。显然, 经过 n 个取样脉冲之后, 输出信号与输入信号相比, 延迟了一段时间 C , 而且 $C = n \times T = \frac{n}{f}$ 。

n —为存贮器容量 T —为时钟脉冲的周期

f —为时钟脉冲的频率

由此可见, 如果时钟脉冲频率 f 不变, 则延迟时间 C 与节数 n 成正比, 即节数越多, 延迟时间越长。反之, 则愈短。如果存贮器容量不变, 则延迟时间与时钟频率 f 成反比, 即时钟脉冲频率 f 愈高, 延迟时间 C 愈短, 反之则愈长。这就是存贮器的模拟量延迟特性, 或叫存贮特性。

通常把信号存入存贮器的控制脉冲称为存入(或写入)信号, 把将贮存在存贮器中的信号取出的控制脉冲称为取出(或读出)信号。延时器的存入信号和取出信号是公用的。只是存入之后, 经 n 个控制信号再取出罢了。所以存入信号和取出信号的频率一样, 被延迟的信号既不扩展, 也不会被压缩, 如实地反映出原来的波形,

延时器的采样脉冲频率是 $1 \sim 1.5\text{kHz}$ 连续可调, 当取样脉冲频率愈高, 即取样脉冲间隔愈密, 存贮在电容斗链(即存贮器)中的断续取样脉冲信号就越接近于连续的输入信号。

所以延时时间的长短, 采样点子的稀、密可以根据不同用户的不同要求, 由调整采样频率来实现, 但采样频率不能过高, 一般不宜超过 2.5kHz

2.1 信号延时器方框图及其构成

信号延时器方框图见图 3 所示。

信号延时器由控制电路和存贮(保持)电路等部分构成。

控制电路由脉冲信号发生器、与非门、计数分频器、移位寄存器等电路构成, 控制电路的功能就是产生并输出顺序控制采样脉冲以控制存贮电路的输入门和输出门, 决定存入或取出。存贮电路由交流一脉动变换的轴位移电路、输入开关、保持电容、输出门、放大器等部分组成, 其功能是将连续的模拟信号分割采样成为断续的脉冲形式的电平信号存贮一定时间后再输出。

另外还根据延时器中存贮电路固有的特性要求, 专门设置一个输入信号归化单元。

2.2. 脉冲信号发生器

脉冲信号发生器由 NE555 为主体组成, 它称之为定时器或时基电路, 与其它定时电路相

比, 有定时精度高、温度漂移小、驱动电流大等优点, 所以得到了广泛的应用。

时基电路的输出脉冲宽度由外接电阻和一个电容精确地控制。作为振荡器工作方式, 自由振荡的频率和占空度被两个外接电阻和一个电容精确地控制, 温漂一般可达每度0.005%。

为了增强驱动能力, 特别是增强容性负载的驱动能力, 增加一级互补晶体管输出。电路见图4所示。

2.3 二进制加法计数分频器

此电路仅用一片CD4520双四位二进制加法计数器构成。前四位二进制加法计数器仅作为计数分频。后四位二进制加法计数器分频后输出四位二进制码作为信号存贮延时电路中多路转换开关的地址码, 多路转换开关采用了单16通道模拟开关, 为16选1, 所以需要4位二进制码作地址码, 见图5所示。

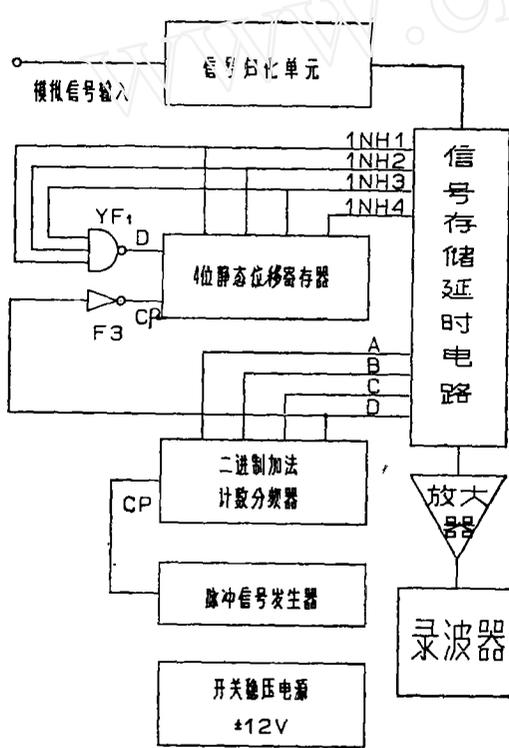


图3 方框图

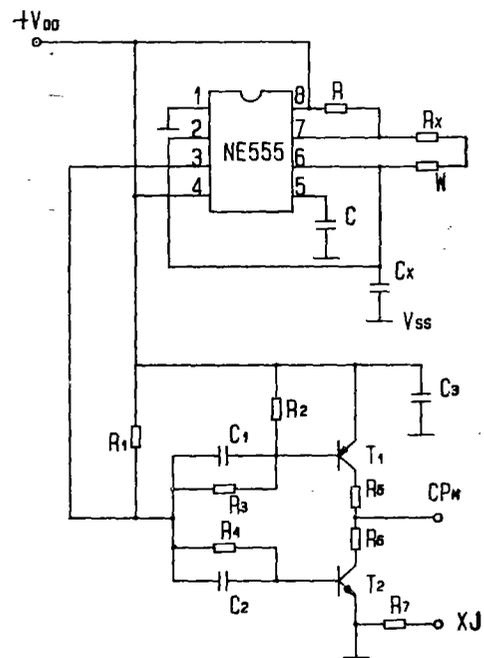


图4 脉冲信号发生器

2.4 环形分配器

延时器拟定采样频率为1 kHz时, 信号延迟时间为64ms, 需要64个存贮电容, 同时分别需要64个信号存入开关和64个信号取出开关。从而需要四片单16通道模拟开关构成64选1的模拟开关网络。如上所述, 16选1由二进制码A、B、C、D状态决定, 四片中的片选信号从禁止门inhibit加入, 要求仅选通1片, 禁止三片, 而且按顺序闭环循环, 这个功能由环形分配器来实现。电路图见图6所示。

环形分配器由一个四位静态移位寄存器、一个与非门和一个反相器构成。

四位静态移位寄存器采用CD4015元件, 这里只用了一半。

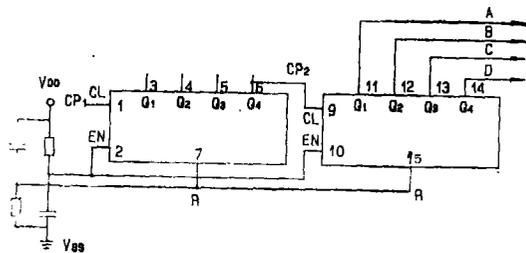


图 5

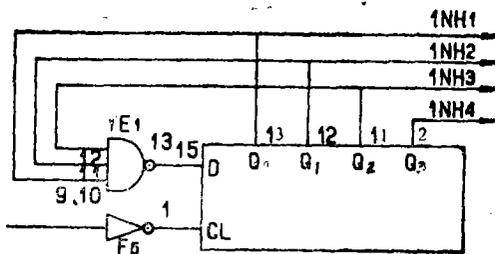


图 6

从四片 CD4067 中欲达 4 选 1 的逻辑要求, 1NH₁~1NH₄ 应有如下的波形, 见图 7 所示。

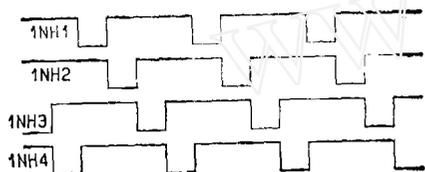


图 7

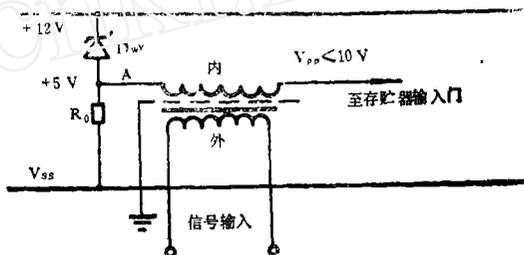


图 8

图 6 可以满足这个要求。

从器件的知识可知, CD4015 中的每个移位寄存器由四个主-从型 D 型触发器依次首尾相连组成, 我们先命名四个 D 型触发器依次为 A₀、A₁、A₂、A₃, 它们的输出端分别为 Q₀、Q₁、Q₂、Q₃, 现在我们来讨论其工作过程。

当触发器 A₀~A₂ 的输出 Q₀~Q₂ 全为 “1” 时, YF 门才输出一个 “0” 否则输出就为 “1”。也就是说, 这个电路在移位脉冲 CL 的作用下, 至多经过 3 拍, 触发器 A₀ 的 D 端输出 D₁ 就会有一个 “0” 送入, 从此这个 “0” 码就在移位寄存器中闭环传送, 当这个 “0” 码被移入触发器 A₃ 时, A₀~A₂ 触发器输出全为 “1”。YF 门的输入端也全为 “1”, YF 门输出 “0”, 也就是在 A₃ 把 “0” 移走的同时 A₀ 又送来一个 “0”。所以又称它为单 “0” 移位循环码。由于每一码矢中的特性码位是一位 “0” 码故时序译码门的扇入可以是 “1”, 由于是单扇入, 所以在时序译码时, 每个相应译码门输入端只能有一个触发器改变状态, 因此不会产生译码毛刺, 因而分路脉冲是等宽的。

这里 YF 门即是循环码传送门,

这个电路中, 逻辑关系很简单, 很容易理解和掌握, 这种电路还有一个很明显的优点: 当电路受到干扰被破坏而不能正常工作时具有自启动的功能, 这个启动功能由 YF 门来完成, 故又称 YF 门为启动门。如上所述, 单 “0” 移位循环码受干扰消失后, 至多能在工作一周期之内自启动恢复正常工作。

需要指出的是, 移位寄存器的移位脉冲是 A、B、C、D 二进制码的最高位 D, 即在 CD 4067 内 16 选 1 全部依次循环执行完毕后, 再转换片子。

F₅ 为满足二进制地址码 A、B、C、D 和禁止信号 1NH₁、1NH₂、1NH₃、

1 NH 4 的正确逻辑关系而加的。

2.5 输入信号归化单元:

延时器采用 CMOS 集成电路, 电源电压为 $\pm 12\text{V}$ 。由于存贮器存入、取出门—CMOS 开关控制电平的要求, (这个控制电平是随着输入信号值的变化而变化的, 应保证输入信号经轴位移后的最小值时, 在控制节拍周期之内, CMOS 开关的开态电阻能使信号存贮器存满。取出正确, 即控制所谓信号幅值的传变误差), 输入信号的轴位移电源定为 $\pm 12\text{V}$, 所以要求输入信号的峰—峰值不允许超过 10V 。这一点, 下面还将详细讨论。

输入信号的种类是很多的, 输入的电压量信号, 有高有低, 输入的电流量信号有大有小。而输入本装置延时的信号应首先规格化俗称归化。

这一单元的任务, 就是把输入的信号统一处理为最大峰—峰值为 10V 的电压量。构成这一单元的元件主要是变压器。

2.6 输入信号的轴位移电路, 电路见图 8 所示:

随机模拟信号经小型隔离变压器输入, 因采样值系用充放电方式存储在电容网络中, 但分布在时间轴两侧的交流信号只能从一个方向对电容器充电, 故先经过交流—脉动变换电路, 将输入交流信号, 变换为直流脉动信号, 相当于平移时间轴, 根据 CMOS 电路需要, 变换电路采用上移时间座标轴。图 9 表示变换前后波形座标图。

V_A 的电位由 DWY_1 和 R_1 电路得到 $+5\text{V}$ 的直流电位, 各路信号可以公用这个电位, 交流信号经初级绕组接入。如果信号的 $P\sim P$ 值不超过 10V , 则接在存贮器输入门公共母线上 (X_1) 的信号波形的最低电平为 -0V 左右, 最高电平低于 $+12\text{V}$ 。下面以图 9 为例, 说明输入信号大小对工作情况的影响。先假定输入信号 V_s , 波形中各点之值, 见表 1 所示。

表 1

	1	2	3	4	5	6
输入信号 V_s	6V	10V	0V	10V	12V	0V
开控制电位 V_{c0} “0” $-V_s$	-6V	-10V	0V	-10V	-12V	0V
关控制电位 V_{c1} “1” $-V_s$	6.0V	2V	12V	2.0V	0V	12V

由表 1 可见, 当控制脉冲电平为 “1” 时, 输入门开关一直处于反向偏置, 开关保持可靠截止。当控制电平为 “0” 时, 存贮器输入门开关的实际控制电位随着输入信号的波动而变化, 因此它是一个变量, 从图 9 和表 1 可知, ②④具有最佳导通状态①处于适中状态。③⑤开关处于最不利状态。当然⑥以后就被削波了, 不过这种情况是不允许的, 在输入信号归化单元中加以限制。

轴位移电位对可录最大的测量幅值 (有效值) 的影响, 见图 10 所示。

由曲线图可见, 轴位移电位应选在 $6.0\sim 5.0\text{V}$ 之间, 转换成 WDY 的稳压值为 $6\sim 7\text{V}$ 。

通过对充放电电路的计算, 可以很清楚地发现如何确定存贮电容的电容量:

a 存入时 (即充电) 应满足在采样周期的下限范围内充到足够高的电位, 从这一点讲, 电容量应该取小些。

b 取出时 (即放电) 应满足在采样周期上的上限范围内保持在一定的电位水平, 不致放电过多, 从这一点讲, 电容是应取大一些。

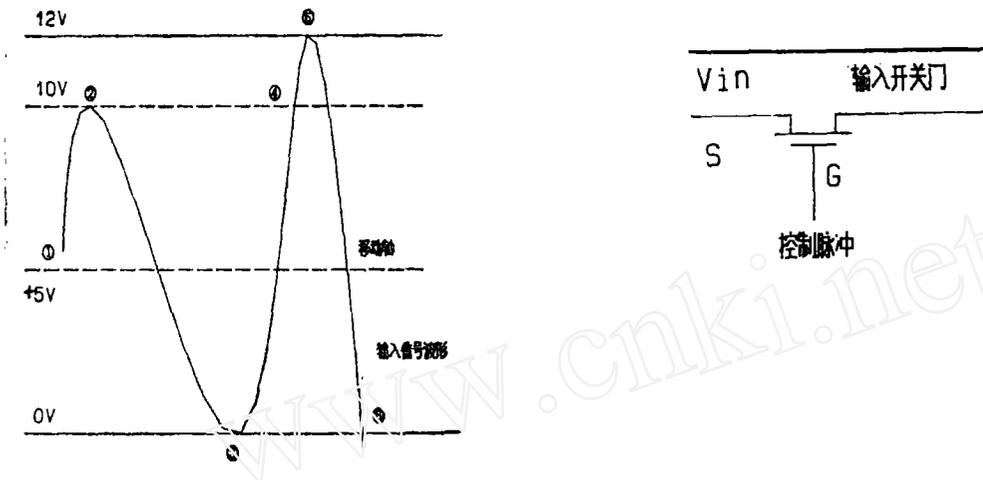


图 9

信号输出电路负责将保持电容输出开关公共母线上的信号耦合到振动子上，对它的要求是：

- a 输入阻抗大，这是使保持电容在送出电位时不致损失太多的电量而使电位低落太多。输入阻抗的大小以允许误差来决定，一般在 $5\text{ M}\Omega$ 数量级。
- b 时间常数短，以能跟踪信号电位的变化。
- c 以电流方式输出，以适应不同振动子的不同内阻。为满足上述要求，选择了带 JFET 输入级的运算放大器，输入阻抗为 $10^{12}\ \Omega$ ，信号的幅值选择得较大为采用这种电路创造了条件，经电阻和电位器与振动子串接，一则使输入阻抗增大，二则可以通过调节该电位器值达到调节振动子灵敏度的目的。这种输出方式可以不对振动子的内阻提出要求，甚至可以接入多只振动子。

2.7 信号存贮延时电路见图11所示

信号存贮延时电路基础原件采用 CD 4067—16选 1 模拟开关，构成输入开关列阵和输出开关列阵。

四片 CD 4067的共64个开关的一端全部连在一起，称为输入总线 X_{in} ；另一端接至电容器，进行信号的存入，另一侧 4 片的64个开关的一端也全部连在一起，称为输出总线 X_{out} 。另一端也接至电容器，进行信号的取出。

每一片16选 1 逻辑由分频器产生的四位 A、B、C、D 地址码所取定，8 片 CD 4067分成 4 组，每相应联接的两片构成一组，每一组的组选信号由环形分配器产生的 $i_{nH_1} \sim i_{nH_4}$ 决定，任一时刻，四组64对开关只有一对开关接通。输入侧的开关存入信号输出侧的开关取出信号。

开关的接法是这样的，例如：输入侧的第 0 号开关 X_0 和输出侧的第63号开关 X_{63} 相连，并接至存贮电容 C_0 ，输入侧的第 1 号开关 X_1 和输出侧的第 0 号开关 X_0 相连，接至存贮电容 C_1 ，余此类推，构成一个链式循环电路。

2.8 放大输出电路

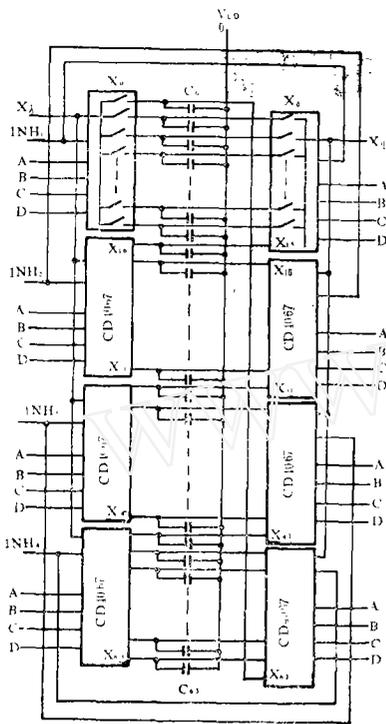


图11 信号存贮延时电路

延时信号经隔离放大送去推动录波器

如前所述，该方案无论从运行可靠性和工艺性等方面都有了极大的改善。本来，非经延时信号的切换功能可以取消，但根据使用习惯及用户的心理因素等，因此，同一信号经过延时和不经延时的切换功能继续保留，并把它们安排在一起。

3 常见故障诊断

3.1 由于采用了电容作为信号幅值的存贮元件，难免会出现电容漏电的现象。此时，该点的幅值就会出现偏离正常的正弦阶梯波的轨迹，寻找该漏电电容的方法：用XJ线分别触碰各存贮电容的输入端，用改变存入信号幅值的办法，把这点波形从原阶梯波形的轨迹中分离出来。当XJ线触碰到某个存贮电容时，该点波形立即上升至XJ线。用逐步逼近法，可以很快找到波形中故障点之所在，并且进一步判明元件的好坏。

3.2 存入和取出开关的漏电、断线或短接均可出现偏离阶梯正弦波轨迹的游离点。同理用XJ线，逐步逼近的方法寻迹，一当确认之后，即可以更换多路开关试之。

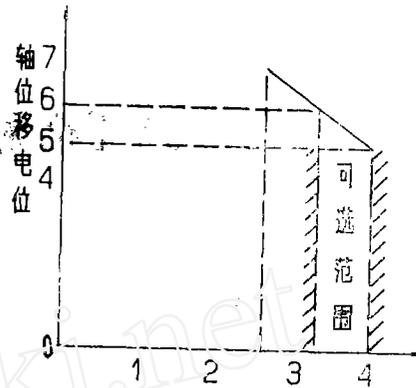


图10 允许被测量最大幅值（有效值）

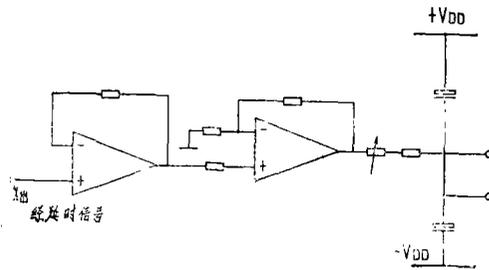


图12

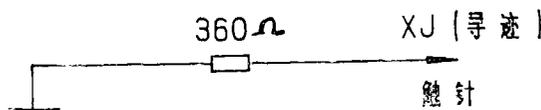


图13