

# 容错式快速准同期装置的研究

合肥工业大学 祖伟 高忠麟 温阳东 邱国义

**摘要** 为了提高同期装置的可靠性,本文在分析了各种容错系统优缺点的基础上提出了一种容错式快速准同期装置方案并给出了实现电路。该容错系统由三个子系统构成,并通过表决电路产生最终输出。实验表明:该容错系统能够抵制当一个子系统出错时对同期装置最终输出的影响,也能抵制装置出现的瞬时性和阵发性故障。

**关键词** 同期装置,单片机,容错系统,微机控制。

## 0 前言

在电力系统中,同期操作是一项基本而又频繁的操作。在同期操作中要求将待并同步发电机快速、准确、可靠地拉入同步。不恰当的并列操作将产生巨大的冲击电流,损坏电气设备,影响电力系统的稳定。

我国目前应用最为广泛的准同期装置是采用模拟原理构成的,它存在着自动化程度低、参数不稳定、整定误差大、并列时间长等缺点。由于电力系统的迅速发展,大型发电机组的投入运行,对并列操作的要求日益提高,当前使用的同期装置已不能理想地满足要求。随着微型计算机的推广应用,已有人就用微型计算机实现同期装置进行研究,提出了一些方案。但这些方案除仅用单机实现同期控制外还存在着合闸时间测量不精确,导前时间整定不合理,对电压实行定性调节,抗干扰能力差等优点。我们在文献<sup>[1]</sup>中用性能价格比很高的8031单片机设计了一种新型的快速准同期装置,它有效地克服了上述缺点。该装置应用了一种带电测量合闸时间的新方法及导前时间的最优整定算法,使装置的同期精度得到很大提高。为提高装置的抗干扰能力,还为装置设计了硬件监视电路和自诊断系统。实验证明:在装置一切正常的情况下,该同期装置能够准确无误地发调节和合闸命令从而使待并发电机快速、准确地并入系统。自诊断系统在装置投入正式运行前能够检测出装置出现的故障,这样就能保证装置以正常状态投入运行。但是,有时装置出现的并不是永久性故障,而是瞬时的或是突发性的故障,这些故障是不容易检测的。若在运行时出现这类故障,装置有可能产生误动作,使发电机在并列时产生巨大的冲击电流,损坏设备,破坏电力系统稳定。为避免这种情况的发生,提高并列的可靠性,在文献<sup>[1]</sup>——用一块8031单片机实现快速准同期装置的基础上,研制了应用容错控制技术的快速准同期装置——容错式快速准同期装置。

## 1 可靠性分析

容错设计的主要目的是提高系统在某段时间内的生存概率,或延长系统的平均寿命,后者的一种度量称为平均失效间隔时间(MTBF)。对于一个系统,它的不失效概率函数是

$R(t)$ ，则MTBF可由下式求出：

$$MTBF = \int_0^{\infty} R(t) dt$$

如果MTBF为常数  $1/\lambda$ ，其中  $\lambda$  是失效率，则有：

$$R(t) = e^{-\lambda t}$$

要想提高MTBF，应尽可能多构造一个能允许大量出错事件发生的系统，但由于价格的因素，通常把它们做成单容错系统，这些系统的常见结构是双或三机系统。

典型的双机系统如图1所示。

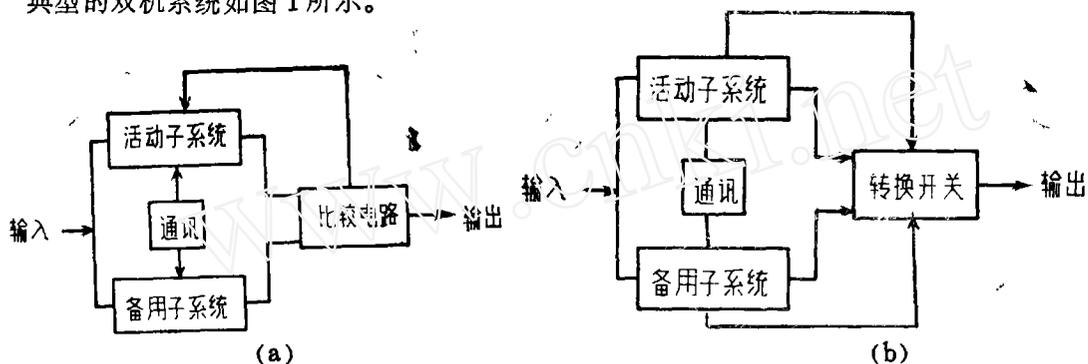


图1 双机系统

图1(a)中，两个子系统同时处理同样的数据。其中一个系统（活动子系统）控制交换网络，两个子系统的结果通过比较电路进行比较。用这种方法，错误能自动检测，但不能定位。发生错误时，由比较不等得到指示信号，然后活动部件和备用部件执行诊断程序以确定发生故障的模块是谁，最后切换。但有时诊断发生错误，这样不正确的部件会继续联机。

图1(b)中的双机系统，在正常情况下，备用子系统仅接受活动子系统送来的数据，当活动子系统出错时，由开关切换到备用子系统。由此可见，在双机系统中，只有能确定地识别出各种故障，并且开关能可靠地动作时，才能体现对故障的宽容性。对于双机系统，当出现故障时，除非这个故障是非全部的，即它还能让处理器执行检查程序，否则，这个系统是没有能力依赖处理器作自诊断的。附上监视定时器可以帮助解决这个问题，但是尚元确保的技术方法作故障定位。

典型的三机系统如图2所示。

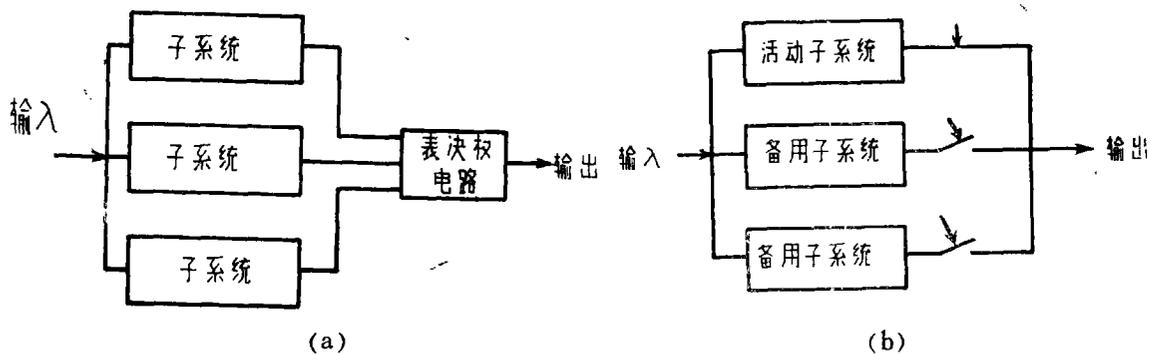


图2 三机系统

图 2 ( a ) 中的三机系统, 三个子系统同时接受输入数据, 并且执行各自的计算。结果送表决电路, 由它产生多数, 从而消除了其中一个子系统出错对系统的影响。在此三机系统中, 由于全部的输出信号都有三路, 若其中之一出错是能够被确定地检测出来。这使得图 2 ( a ) 中的三机系统与一个双机系统相比有极高的可靠性。此三机系统还能够检测出瞬时故障和阵发性故障。

图 2 ( b ) 是另外一种三机系统。它将三个子系统分别用在活动/备用/备用状态。目的用来宽容多于一个子系统出错。这种系统由于三个子系统输出开关的故障及输出开关潜在不可靠性使得它不如使用表决权电路理想。

下面以图 2 ( a ) 为模型分析三机系统的生存概率。在此三机系统中, 除非表决权电路出现故障, 否则子系统的单一故障最多只引起表决权电路的一个输入错误。因此, 错误将被校正。假定在图 2 ( a ) 中, 电路中的多数元件是不会失效的, 当且仅当 2 个子系统失效时, 系统才失效。如果假定每个子系统在时间  $t$  内的生存概率是  $R(t)$ , 则三机系统的生存概率是:

$$R_3(t) = e^{-\lambda t} e^{-\lambda t} e^{-\lambda t} + 3 e^{-2\lambda t} (1 - e^{-\lambda t})$$

$$= 3 e^{-2\lambda t} - 2 e^{-3\lambda t}$$

式中:  $e^{-\lambda t}$  是一个子系统的生存概率。

$e^{-\lambda t} e^{-\lambda t} e^{-\lambda t}$  是三个子系统的生存概率。

$3 e^{-2\lambda t} (1 - e^{-\lambda t})$  是二个子系统的生存概率。

图 3 所示是函数  $R(t)$  和  $R_3(t)$  的图形。由图形可知:

当:  $t < t_0$  时,  $R_3(t) > R(t)$ 。即三机系统比单机系统 (一个子系统) 的生存概率大。

当:  $t > t_0$  时,  $R_3(t) < R(t)$ 。即三机系统比单机系统更容易失效。这是因为当  $t$  较大时, 硬件较多的三机系统发生两个故障的概率超过硬件较少的单机系统发生一个故障的概率。

$t_0$  的取值取决于 (4-2) 式中的  $\lambda$ , 由方程:

$$3 e^{-2\lambda t_0} - 2 e^{-3\lambda t_0} - e^{-\lambda t_0} = 0$$

确定。其中  $e^{-\lambda t_0}$  是一个子系统的生存概率。其解是  $t_0 \approx \frac{0.7}{\lambda}$ 。 $R_3(t)$  的 MTBF 等于  $\frac{5}{6} \lambda$ ,

比单个系统的 MTBF 要小一些。因此, 三机系统主要用于在很短时间内提高可靠性 (即较高的系统生存率) 的场合。

根据以上分析并考虑到同期装置本身可靠性的要求, 决定采用如图 2 ( a ) 中的三机系统作为容错式同期装置控制系统。由于我们采用了性能价格比较高的 MCS-51 单片机 (8031) 作为控制 CPU, 即使采用三机系统, 整个同期装置的成本亦不是很高, 但它产生的经济效益却很大。因为它能扼制由瞬时性或阵发性故障所产生的误操作, 也能扼制一个子系统失误或永久性故障所造成的影响。在三机系统中, 最后的输出采用的是表决权电路, 使得三机系统在当一个子系统出错时, 无需象双机系统那样需要对子系统进行故障定位, 进行子系统切换

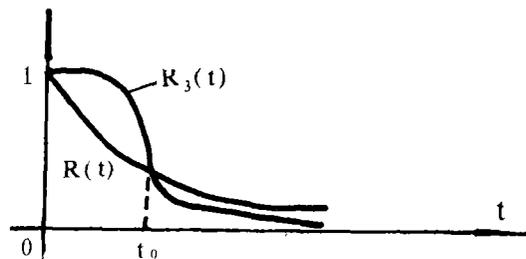


图 3 单机系统与三机系统的生存概率曲线

操作。这样，也无需考虑子系统切换可靠性问题。

## 2 容错式快速准同期装置的设计

容错式快速准同期装置的系统框图如图 4 所示。

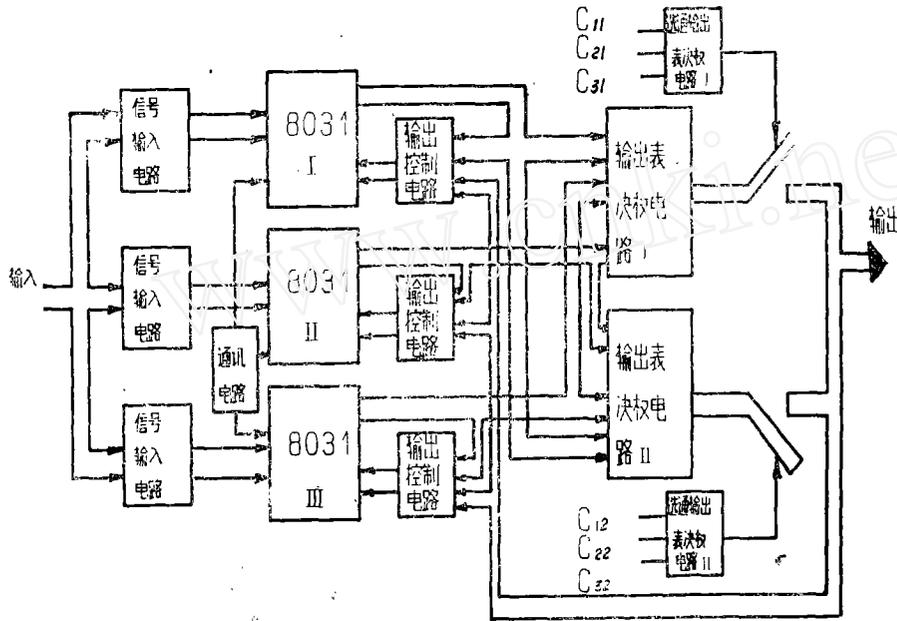


图 4 容错式快速准同期装置系统框图

图中：

$C_{11}$ 、 $C_{21}$ 、 $C_{31}$  分别是 8031 ( I )、8031 ( II )、8031 ( III ) 选通输出表决权电路 ( I ) 的信号。

$C_{12}$ 、 $C_{22}$ 、 $C_{32}$  分别是 8031 ( I )、8031 ( II )、8031 ( III ) 选通输出表决权电路 ( II ) 的信号。

在正常情况下，三个子系统同时采样，同时计算，同时输出，输出结果送表决权电路，由表决权电路产生最终的输出。由于表决权电路不是智能的（如果设计成智能的，线路将变得很复杂，硬件投资将增大）。它只能对调频、调压及合闸信号进行表决。而对合闸时间的测量结果并不能进行表决。因此，在三块 CPU 之间安排了通讯电路，由它将合闸时间的测量结果传送给另外两块 CPU。考虑到当有两个子系统是完好的情况下表决权电路出错的可能性，对表决权电路也进行了冗余设计，表决权电路出错的检测是通过输出检测电路，表决权电路的切换是通过选通输出表决权电路进行的。下面分别给出它们的设计电路。

### 2.1 三机通讯电路

三机间的通讯主要是传送三个子系统对合闸时间的测量值。微机间的通讯有两种实现方法：1) 采用并行。这种方法接线复杂，但传送速度快。2) 采用串行。这种方法接线简单。由于 8031 本身具有串行口，因此不需增加任何投资，但串行通讯速度较慢。对于本系统

传送速度并不重要，所以我们采用了串行通讯。接线如图 5 所示。这种接线方式是半双工形式，仅需一根信号线，信息可双向传送。



图 5 三机串行通讯

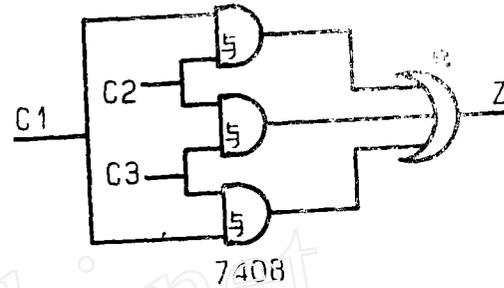


图 6 表决权电路

### 2.2 表决权电路，输出检测电路及切换电路

由于同期装置的调频、调压、合闸信号都是数字脉冲信号，因此可采用如图 6 所示的电路实现表决权电路。

图中：

$C_1$ 、 $C_2$ 、 $C_3$  分别表示子系统 I、子系统 II、子系统 III 的一个输出， $Z$  是最终输出， $C_1$ 、 $C_2$ 、 $C_3$ 、 $Z$  高电平有效。

$$Z = C_1 \cdot C_2 + C_2 \cdot C_3 + C_1 \cdot C_3$$

从上式可看出，当任一个子系统的输出  $C_i$  ( $i = 1$  或  $2$  或  $3$ ) 出错时，最终的输出  $Z$  不受其影响，子系统的错误被屏蔽。同期装置的每一个输出都对应图 6 中的一个电路。

为了防止输出表决权电路出现故障，对输出表决权电路进行了冗余设计。即设计了两套输出表决权电路，当发现有一套输出表决权电路出错时则切换到另外一套。

对输出表决权电路出错的检测是建立在对输出进行检测的基础之上的。由于同期装置的输出信号是数字脉冲信号，这就使得对输出的检测特别容易。本装置选用 74LS244 即八线接收器（非反相三态输出）作为输出检测电路。需检测的信号接到 74LS244 的输入，74LS244 的输出接到该子系统的数据总线上，检测时，选通 74LS244，读进数据进行比较即达到检测目的。

每个子系统不仅对装置最终的输出（输出表决权电路之后的信号）进行检测，还对自己的输出（输出表决权电路之前的信号）进行检测，参见图 4。当子系统检测到自己的输出与最终的输出不同时，可能由以下错误引起：

- ① 此子系统出错（输入、输出或检测环节出错）；
- ② 输出表决权电路出错。

此时，不管是那种错误，都动作于要求选通另外一套输出表决权电路输出。如果出现的是错误①，在此容错系统能正常工作的前提下（即有两子系统是完好的），肯定有两个子系统的输出和最终的输出相同，这两个子系统不要求选通另外一套输出表决权电路输出。由于选通电路也采用了表决权电路，因此，最终的结果是不选通另外一套输出电路。如果出现的是错误②，在此容错系统能正常工作的前提下，肯定还有一个子系统的输出与最终的输出结果不同，此时，这个子系统亦要求选通另外一套表决权电路输出。由于有两个子系统要求选通另外一套输出电路输出，最终的结果就是选通那一套输出。两套输出表决权电路的选通与

闭锁在逻辑上是互相闭锁的，即当选通一套输出表决权电路输出时，另外一套自动闭锁。为避免竞争冒险，当要选通某一套时，应先发关断另外一套输出的信号，再选通这一套输出的信号，电路如图7所示。

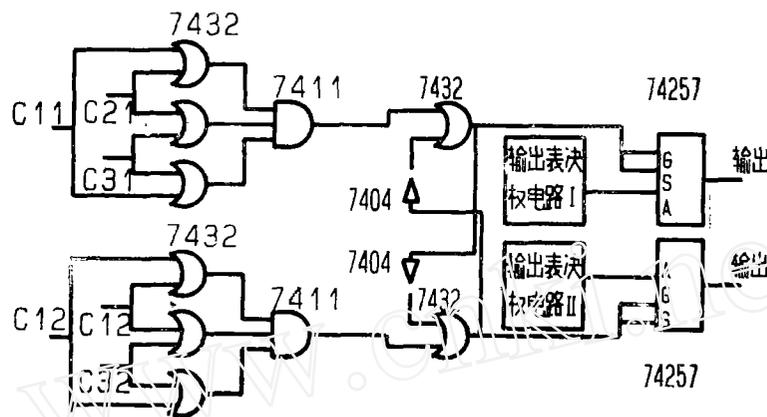


图7 选通输出表决权电路的逻辑电路

图中：

$C_{11}$ 、 $C_{21}$ 、 $C_{31}$ 、 $C_{12}$ 、 $C_{22}$ 、 $C_{32}$ 是低压电平有效。

$G = 0$ ， $S = 0$ 时选通A。

### 2.3 错误诊断

容错系统中的三个子系统都有自检和精度自校程序，对CPU安排了定时器监视电路。当CPU受到干扰或其它原因丧失执行程序能力或执行程序紊乱时，监视电路能对CPU复位。如果是瞬时干扰造成的，则CPU又能重新恢复工作。如果同时有两个CPU经由监视电路多次复位后，仍不能正常工作，动作于报警，此系统瘫痪。如果同时有两个子系统经自检发现有错而又不能恢复正常工作时亦动作于报警，此系统也瘫痪。此时，可改用手动同期应急。

## 3 结论

对容错式快速准同期装置进行的模拟同期实验表明：该装置能够根据频差、电压差的大小发调节信号，并能在同期条件满足的第一个频差周期以准确的导前相角发合闸命令，动作可靠（录波图略）。对它进行的人为干扰及破坏性实验显示：它能扼制由瞬时性或阵发性故障所产生的影响，也扼制了一个子系统出错对装置所产生的影响。实验结果显示它在同期精度特别是同期可靠性方面大大优于现阶段的微机型同期装置，可望成为传统同期装置的理想换代产品。

### 参考文献

- [1] 祖伟.《用单片机控制的快速准同期装置》硕士论文.合肥工业大学,1990年.
- [2] 赵依军、胡戎.《单片微机计算机接口技术》.湖北新闻出版社,1988年.
- [3] 商斌雄、彭济棠.《工业数字装置的抗干扰》.电子工业出版社,1988年.
- [4] M. A. Bruer A. D. Friedman 《DIAGNOSIS & RELIABLE DESIGN OF DIGITAL SYSTEMS》 Computer science Press, INC1976.