

## 一种节拍调整方便、灵活的时序电路

许昌继电器研究所 陈尚志

在自动化巡测、巡查和多路脉码通信系统中都需要一种时序电路、产生顺序分配脉冲。控制采样对象或分割样值。

传统的时序电路的一般结构，由两部分组成如图1。一部分是组合线路，所谓组合线路即指该开关线路经一时刻的稳定输出仅仅取决于该时刻的输入，与以前各时刻无关。另一部分是存贮元件。图中 $X_1 \cdots X_N$ 表示时序电路的输入， $Z_1 \cdots Z_R$ 表示它的输出。而 $W_1 \cdots W_m$ 表示存贮元件的输入， $Y_1 \cdots Y_n$ 存贮元件的输出。

这样电路的输出，不仅取决于该时刻的输入，而且还有赖于过去各时刻的输入。因此它必须具有记忆能力。使得能够将线路过去各时刻的输入状况记录下来，存放起来，存贮元件就起这个作用。

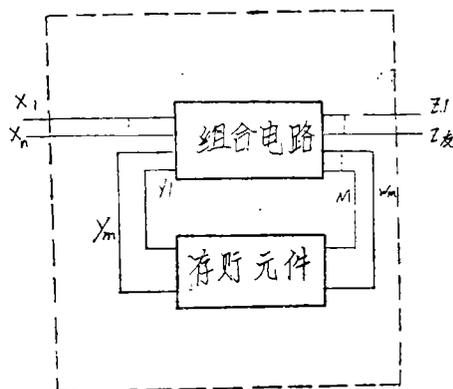


图 1

过去人们习惯于采用串行计数译码的方式获得分路脉冲。当分路数较多时则一般又采用行列式矩阵译码时序电路。但这样的电路在各级触发器翻转时会产生逐级延迟，输出脉冲将产生“毛刺”，路数越多，“毛刺”越严重。为避免这种现象，一般需在行列时序分电路前加“单稳”封门电路。

为了消除“译码毛刺”，后来又出现了循环码时序电路。该电路固然有很多优点，如实现无逻辑噪声译码，时序分路脉冲宽度相等，并且一当受到干扰信息错乱及具有自

校正能力，能迅速恢复正常等。

但是，这种电路在时序分路数较多时存贮元件数显著增加。

“组合电路”部分的元件也要大量增加，实现起来具有一定困难，提高了成本。

本文介绍一种单“0”移位循环码时序电路和单“1”移位循环码时序电路。这种电路在增加时序分路脉冲数时只需增加存贮元件，而无须增加“组合电路”部分的元件。

近年来，随着集成电路元件的发展。作为组合电路部分的门电路，集成度的提高十分有限，一般受输出管脚数的限制。而作为存贮元件的触发器集成度有很快增加的趋势。因此本电路适合于时序分路数较多的场合，而且时序节拍数调节十分方便，只要改变循环移位反馈脉冲的地址即可灵活修改。

### 一、单“0”移位循环码时序电路：

该电路是为我所研制的信号延时装置中分割存贮信号样值而设计的。因为被控制的信号存贮器的读、写开关采用了PMOS元件5G612。需要“0”分配脉冲控制、因此

表1、单“0”移位码：

触 发 器 C P	$b_1$	$b_2$	$b_3$	$b_4$	$b_5$	$b_6$	$b_7$	$b_8$	$b_9$	$b_{10}$	$b_{11}$	.....	$b_{47}$	$b_{48}$	$b_1$
1	0	1	1	1	1	1	1	1	1	1	1	.....	1	1	0
2	1	0	1	1	1	1	1	1	1	1	1	.....	1	1	1
3	1	1	0	1	1	1	1	1	1	1	1	.....	1	1	1
4	1	1	1	0	1	1	1	1	1	1	1	.....	1	1	1
5	1	1	1	1	0	1	1	1	1	1	1	.....	1	1	1
6	1	1	1	1	1	0	1	1	1	1	1	.....	1	1	1
7	1	1	1	1	1	1	0	1	1	1	1	.....	1	1	1
8	1	1	1	1	1	1	1	0	1	1	1	.....	1	1	1
⋮	...	...	...	...	...	...	...	...	...	...	...	.....	...	...	1
47	1	1	1	1	1	1	1	1	1	1	1	.....	0	1	1
48	1	1	1	1	1	1	1	1	1	1	1	.....	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	.....	1	1	0
2	1	0	1	1	1	1	1	1	1	1	1	.....	1	1	1

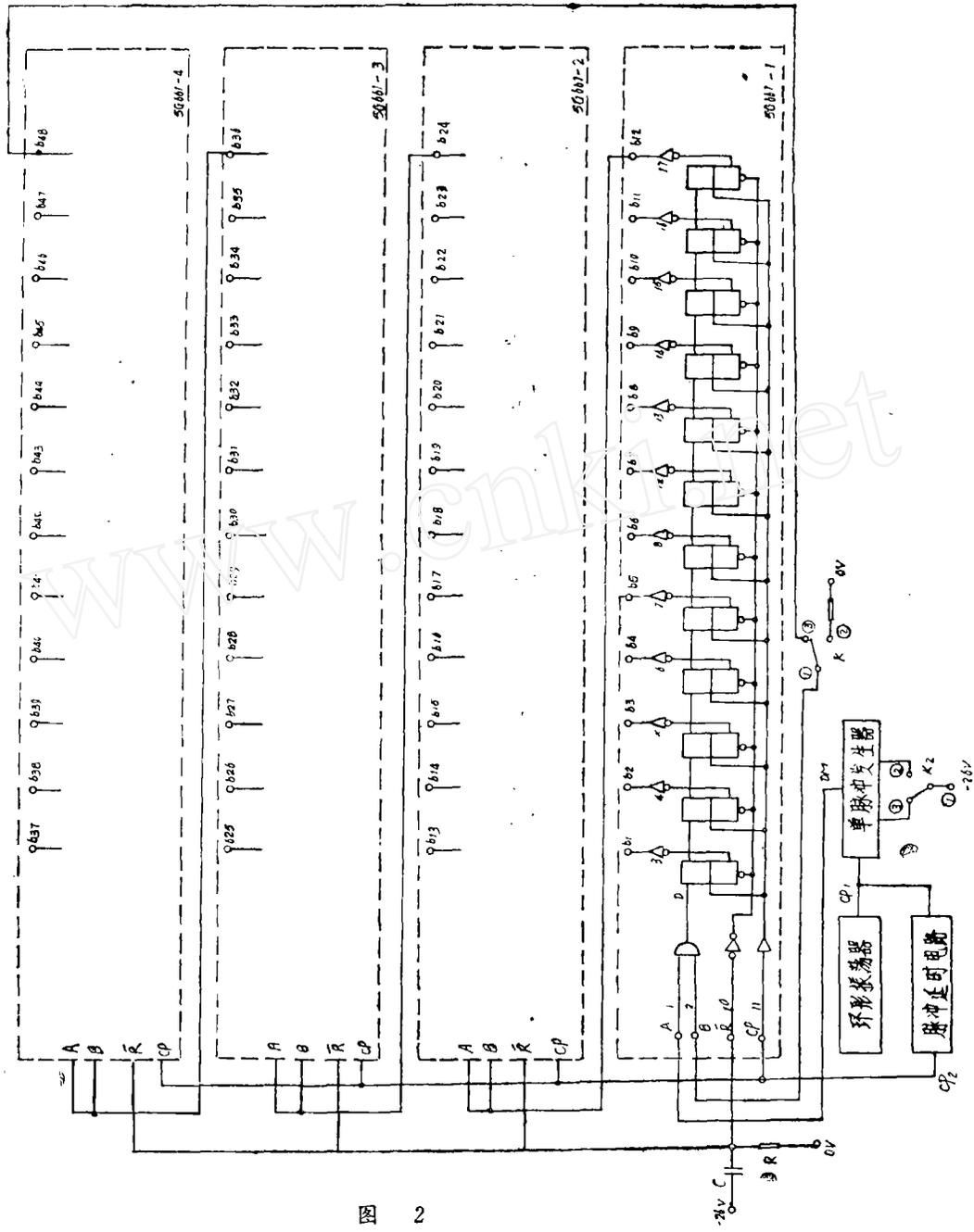


图 2

采用单“0”移位循环码。电路见图2。

单“0”移位码的真值表为表1，从表1可见，在存贮元件中是一个“0”码在移位寄存器中闭环传送的过程。故称单“0”移位循环码。

电路的构成，主要为脉冲信号发生器，脉冲延时电路，单脉冲发生器，时序分配器单脉冲产生开关及反馈开关。现将各部分电路分述于后：

### 1. 脉冲信号发生器：

脉冲信号发生器可以是双稳多谐振荡器、晶体振荡器，或锁相环、压控振荡器等，此处采用环形振荡器。

脉冲信号发生器。利用奇数个〔一般为3个或5个〕非门串联，并将最后一个输出端与第一个输入端相连而成的环形电路，是一种多谐振荡器，即环形振荡器。这种振荡器的基本原理是利用电路无稳态的特性来实现。其特点是起振容易，能可靠产生方波。信号延迟装置正常运行时，时钟脉冲是控制整个装置协调工作的重要部分，不可中断停振，故用其作时钟脉冲发生器。但用奇数个“非”门直接串联而成的环形振荡器振荡频率太高，不能使用。因此控制电路中应用了带RC电路振荡频率较低的环形振荡器，其逻辑电路见图3。振荡器利用八“非”门集成电路中的三个“非”门组成，另用一个“非”门倒相隔离整形输出。图中RC电路用来定时，三个“非”门组成环形电路确保可靠起振。

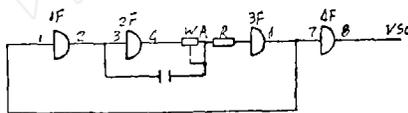


图3、带RC电路的环形振荡器

电路工作原理，我们可以用反正法来说明。这个电路没有稳态假定(1)端能稳定在低电位，那么经过两级反相之后，使(4)端也稳定在低电位，由于C和R的数值一般较小，因此(5)端的电位仍低于反相器的关门电平，而迫使(6、7)端输出高电位。由此可见、(1)端不可能稳定在低电位。同理，可以证明(1)端也不能稳定在高电位也就是说，这样的电路必定要产生振荡。

环形振荡器的振荡过程可见图4。当第一“非”门1F的“1”端由高电位跳变到低电位时，(2)、(3)端电位由低变高，电位上跳到一定数值。一方面经第二“非”门2F使(4)端由高变低，另一方面经电容1C使A端电位也上跳到一定数值，使第三“非”门3F变态，(2)(3)端暂时保持低电位，开始第一个暂稳态。

随着电容1C的充放电，A端电位逐渐降低，当A端电位降到3F的翻转电压时，3F迅速变态(6)、(7)端由低电位跳变到高电位，(2)、(3)端又由高变低，由于电容C使(2)、(3)端电位下跳到更低的电位值，3F暂不变态，(2)(3)端仍暂时保持高电位，即进入第二个暂稳态。

当A端电位按指数规律上升到一定数值时，电路又从第二个暂稳态迅速跳变到第一个暂稳态。如此继续下去，循环不停，保持按一定频率振荡。由环形振荡器产生的脉

冲，再通过另一“非”门4 F隔离整形，可输出很好的矩形波。4 F不属于环形振荡器的组成部分。

矩形波的宽度为  $T_1$ 、 $T_2$ ，周期为  $T$ ，频率  $f = \frac{1}{T}$ 。

需要指出的是，这种振荡器由于元件内在参数的一致性，即使电路其他参数不变，而仅改变反相器元件，振荡器的振荡频率相差十分悬殊。如不能满足本机需要时，需调整  $R$ 、 $C$  以满足所要求的振荡频率。

## 2. 延时电路。电路见图 4

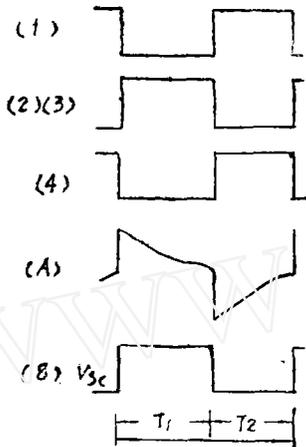


图 4、环形振荡器工作波形

延时电路的输入脉冲即为环形振荡器的输出脉冲，环形振荡器的振荡脉冲经延时后作为环形移位寄存器（脉冲节拍分配器）的移位工作脉冲。

延时电路的工作波形见图 6

延时电路和环形振荡器为一块 5 G 605—8 反相器构成。为了便于维修，检测、查找故障。图中标注的各端点记号即为本集成块出线脚标号。

F：为满足环形移位寄存器的逻辑要求而设。

## 3. 能和主脉冲同步的单脉冲发生器。其电路见图 7。

本装置存储器的输入门和输出门采用集成元件 5 G 612—8 模拟开关。而 5 G 612

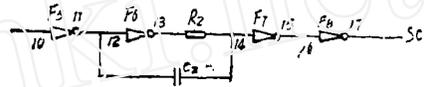


图 5、脉冲延时电路。

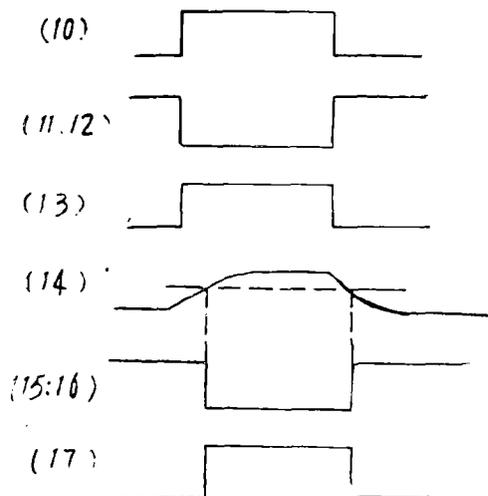


图 6、延时电路的工作波形

的“通”状态需要负脉冲去控制，所以需要得到一串负控制脉冲序列。

本装置中，脉冲节拍分配器采用的是环形移位寄存器。我们可以将环形移位寄存器予先全部置“1”。然后仅送进去一个负脉冲（只有一个）。这个负脉冲就在环形移位寄存器中在移位脉冲的作用下循环往复，连续“奔跑”。去完成它的使命。

单脉冲发生器电路是为了得到这么一个“负脉冲”。并且要求这个负脉冲能和主脉冲同步。这里所说的主脉冲即是环形振荡器产生的主振脉冲。

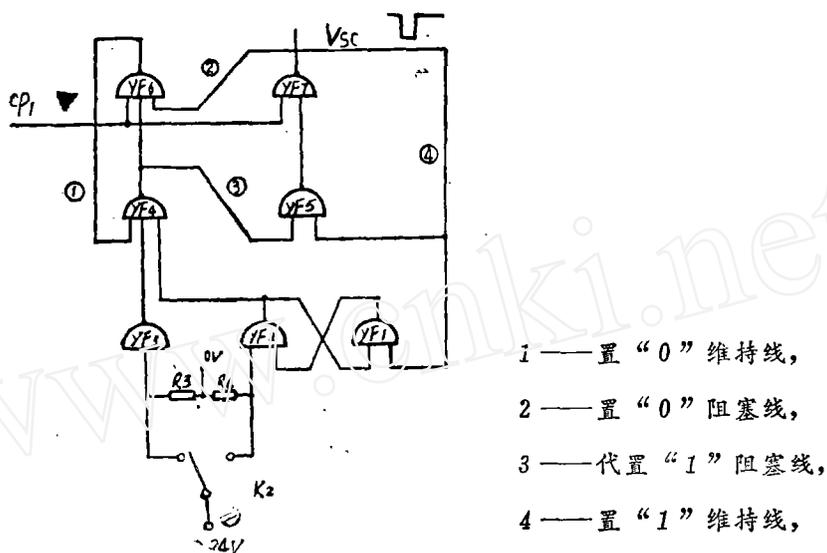


图 7、单脉冲发生器。

现在，我们以图 9 来说明这种单脉冲发生器的工作原理。

与非门  $YF_4$ 、 $YF_6$ 、 $YF_8$  和  $YF_7$  是按不对称维持阻塞触发器导引部分的形式进行联接的。与非门  $YF_1$  和  $YF_2$  组成 R—S 触发器。

平时 R—S 触发器处于“1”状态， $YF_2$  输出低电位， $YF_1$  输出高电位， $YF_6$  输出低电位， $YF_7$  被封锁，时钟脉冲发不出去。另外  $YF_8$  的输入端经微动开关  $K_2$  接低电位，所以它的输出也是高电位。

当微动开关按下时，R—S 触发器被置“0”， $YF_2$  输出高电位，由  $YF_3$  输出低电位，使  $YF_4$  输出为高电位，所以  $YF_5$  输出仍为低电位， $YF_7$  还被封锁，时钟脉冲  $CP_1$  仍然发不出去。

当微动开关  $K_2$  松手后自动复归，这时， $YF_8$  输入被接至低电位，输出变为高电位，而 R—S 触发器并不立刻翻转， $YF_2$  输出仍为高电位，所以这时， $YF_4$  输出的高电位变为低电位， $YF_5$  输出由低电位变为高电位。那么， $YF_7$  被打开，时钟脉冲  $CP_1$  经过  $YF_7$  输出一个负脉冲。但是随着这个“负脉冲”的输出，R—S 触发器当即被置为“1”， $YF_2$  输出为低电位。 $YF_4$  输出回到高电位。还须指出， $YF_6$  输

出并不随着  $YF_4$  的输出变为高电位而马上变成低电位。这是因为与非门  $YF_5$  的另一输入端直接联到单脉冲发生器的输出端，所以只有当输出的这个“负单脉冲”结束以后， $YF_5$  输出才能由高电位变为低电位，从而保证了输出的单脉冲不仅在时间上与时钟脉冲同步而且在宽度上也和时钟脉冲一致，这是这个电路的优点，当微动开关复归后的第一个输出脉冲结束后， $YF_5$  输出为低电位， $YF_7$  继续被封锁。因此微动开关  $K_2$  每按动一次，只能产生一个“负单脉冲”，这个单脉冲出现在微动开关复归后的第一个（完整的）正脉冲，如果复归瞬间正好是遇到时钟脉冲的正脉冲时（即正脉冲不完整了）那么就非得等到第二个时钟脉冲的正脉冲时才输出脉冲。其工作波形如图 8。

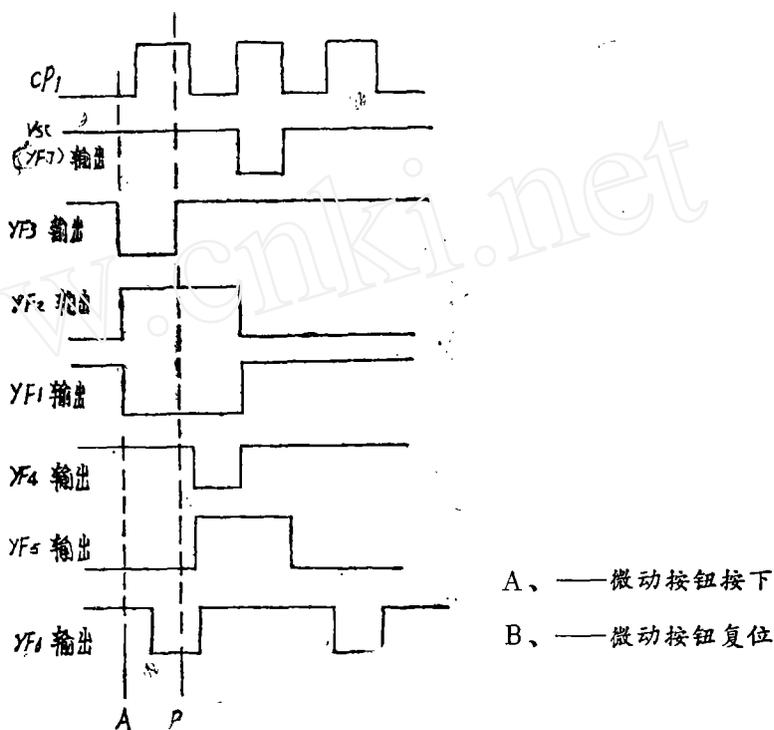


图 8

#### 4. 脉冲节拍分配器——即写入和读出脉冲分配器。

这一部分是存储器存入和取出协调工作的指挥中心。本装置采用环形移位寄存器，也即环形分配器，输出的波形如图 9 所示：

本装置由四块 12 位串行输入/并行输出移位寄存器（5G661）组成节拍数为 48 步的工作节拍分配器。此元件的集成度较高，在一块硅片上有 300 余个 MOS 晶体管，因此使这部分电路的体积大为缩小，比一般的振荡、计数、译码的分配电路有很大的优越性。输出节拍的增或减仅取决于采用 5G661 元件的多寡，而不需要增加别的电路的元件和设备。另外象采用振荡、计数、译码的分配电路，分配器的输出节拍数只能是 16、32、64... 等，为  $2^n$  倍，每增加一次方如计数电路特别是译码电路的译码元件就得成数

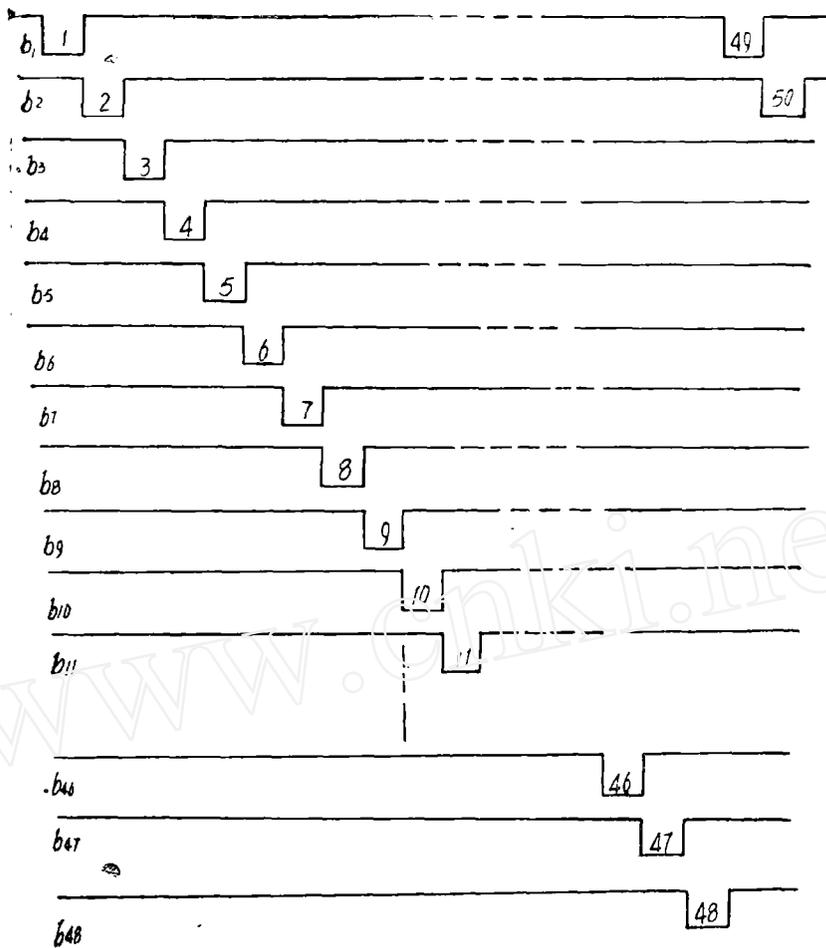


图 9、环形分配器输出波形

倍的增加。而采用12位串行输入/并行输出移位寄存器组成的节拍分配器的输出步数却可以是任意的。一般可以按一块5G661的并行输出数——12拍递增，但是在某些工业部门的特殊需要。甚至可以按一拍递增。由改变环形链中反馈节拍的地址很方便地实现。

至于负载能力问题。本装置5G661带的是5G612、MOS管负载，如所周知，MOS管具有很大的输入阻抗约 $10^8 \Omega$ ，很少的输入电容约10P而MOS管的等效负载电阻大致是50~60K $\Omega$ 那么 $\frac{10^8}{60K} = 1600$ （倍）由此可见，带动PMOS元件，不需要很大的负载能力。

从容抗的角度出发，实践证明，5G661输出可带动600P的电容负载，由此推算能够带动的负载个数 $n = \frac{600}{10} = 60$ 个，因此，即便存有一些分布电容等。也完全可以胜任。

脉冲节拍分配器原理见图12。5 G 661为——12位串行输入/并行输出移位寄存器,每一位都是一个准静态主从D型触发器。下面介绍一下它的各输出脚的联接和功能。第一脚和第二脚经“与门”作为准静态主从D型触发器的D输入端,每一块5 G 661的12个D型触发器的状态(在移位脉冲的作用下)完全取决于D输入端状态的变化,每作用一个移位脉冲,D输入端的状态就按D型触发器的排列顺序往里移动一位。第10脚为R端,R为“0”信号(低电平)清“0”,RC网络为了抗干扰,增加电路工作稳定性。第11脚为CP端,本处即为移位脉冲输入端。根据逻辑功能的要求,主振产生的脉冲信号CP<sub>1</sub>经脉冲延时电路延时的CP<sub>2</sub>作为环形移位寄存器的移位脉冲。脚3、4、5、6、7、8、12、13、14、15、16、17依次分别为12个寄存器的并行输出。

我们前面已经讲过,和主脉冲同步的单脉冲发生器,当微动开关K<sub>2</sub>按动一次,在K<sub>2</sub>复位之后能产生一个和主脉冲同步,且等宽的单脉冲信号。每按动一次,只会产生一个单脉冲。我们这里需要的是负单脉冲。单脉冲发生器A在通常情况下,输出为高电位。

当微动开关K<sub>1</sub>按下时((1)——(2)通)则寄存器的“与门”输入端B为“1”,输入端A为单脉冲发生器输出端,通常为“1”。这样A·B=“1”、所以寄存器的D输入端为“1”。此时在移位脉冲的作用下,把环形移位寄存器全部置“1”。必须指出,这时K<sub>1</sub>按下((1)——(2)通)的时间必须超过48倍于主振脉冲的周期。也就是说,K<sub>1</sub>按下的时间必须能通过48个移位脉冲。如按主振脉冲频率的下限计,则这个时间 $t = 48 \times \frac{1}{1000} = 48 \text{ m S}$ 。当然,按下微动开关K<sub>1</sub>,并维持50 m S的时间,然后松手让其自动复位,是一件很容易做到的事情。但是在操作时必须予以充分的注意。

由图2可见,四块5 G 661的各个12位D型触发器是首尾相连的,当K<sub>1</sub>自动复位后5 G 661—1的D端“与门”的B输入端就接到了5 G 661—4的最后一个寄存器的输出端。从而就形成一个环形移位寄存器,我们说,环形移位寄存器(开环)已经通过对K<sub>1</sub>的操作全部置“1”了,那么在K<sub>1</sub>操作完了之后构成的环形移位寄存器(闭环)内全是“1”,在移位脉冲的作用下逐位往右移位。

当移位寄存器闭环运行之后,再操作微动开关K<sub>2</sub>一次(仅一次)单脉冲发生器就产生一个和主脉冲同步的负单脉冲。这个负单脉冲接至移位寄存器D端“与门”的A输入端,此时 $D = A \cdot B = 0 \cdot 1 = 0$ 。就这一个“0”在移位脉冲的作用下,送入环形移位寄存器一个负脉冲。从此,这一负脉冲就在环形移位寄存器的48个寄存器中循环往复,移位不已,经48个寄存器的并行输出去执行它的存取功能。工作波形如图10所示:

移位寄存器的移位脉冲是脉冲的上跳沿触发,由图13可见,移位脉冲须比主脉冲或单脉冲滞后一相角。

#### 5. 十六分频电路和显示电路。

这部分电路由n进制同步计数器5 G 657, 8 M O S模拟开关和发光二极管等组成,电路联接见图11。

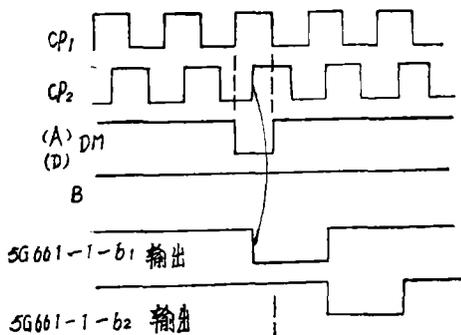


图 10

- $D$ ——发光二极管,
- $R_6$ ——限流电阻,
- $C_4$ 、 $R_7$ ——抗干扰网络,
- $CP$ ——计数输入端,
- $Q_D$ ——十六分频输出,

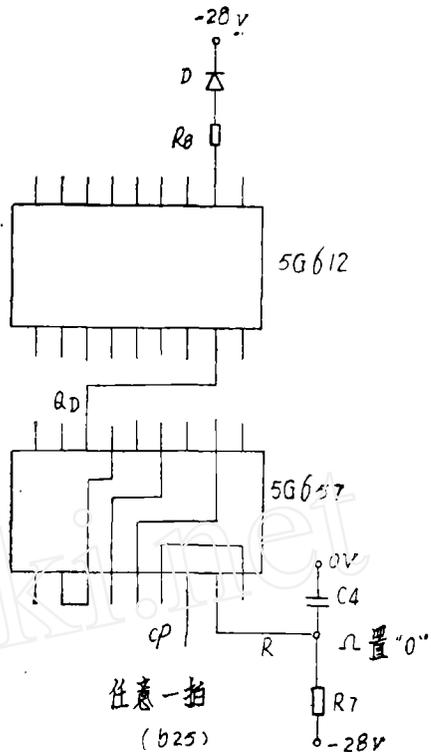


图 11

十六分频由一片, 5G657完成, 由十六分频输出端  $Q_D$  去推动 5G612、MOS 开关。去控制发光二极管  $D$  的点亮和熄灭。

前边已经讲过, 在脉冲节拍分配器正常工作的情况下, 发光二极管的闪烁周期大约为 0.5 秒。人的眼睛完全可以辨别清楚。但如果脉冲节拍分配器由于被干扰或其他等原因, 工作不正常了。例如在环形移位寄存器内有两个或两个以上负节拍脉冲, 参于循环移位, 如图 12 的移 (b)、(c)、(d) 那么存储器的正常存取将被破坏。

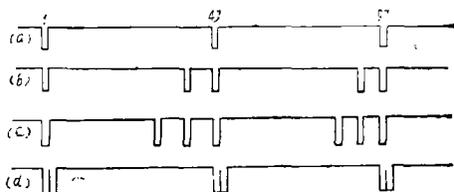


图 12、脉冲节拍分配器某输出端波形图

*a*、正常工作时, *b*、两个负分配脉冲参加移位循环, *c*、三个负分配脉冲参加移位循环, *d*、两个负分配脉冲拚在一起。

如图11(*a*)、正常工作时, 发光二极管的闪烁周期大约为0.5秒。( *b* )情况, 闪烁周期将缩短一半为0.25秒。( *c* )情况, 闪烁周期约为0.17秒。因此不管是( *b* )情况, 还是( *c* )情况, 其显示之闪烁周期都大为缩短, 很显然, 用这个电路来显示和判断控制器电路的正常工作与否是既经济又有实效的措施, 一当发现工作不正常了只要按程序重新操作一下微动开关 $K_1$ 和 $K_2$ 。马上就能恢复正常工作。

下面我们再来讨论一下, 图11——(*d*)的一种情况。它也有两个负分配脉冲参加循环移位。但是这两个节拍脉冲是联在一起的。就16分频电路输入端的计数脉冲频率而言, 是和正常的时候一样的, 所以这时显示二极管的闪烁周期仍为0.5秒左右。就此而言这种电路对这种故障不能起到监视作用, 这是此电路的固有缺点。

但是( 1 )这种故障发生的几率很小。

( 2 )这种故障不至于破坏存贮器正常的存入, 取出功能, 只是控制节拍的宽度增加了一倍, 也就相当于存贮器的存贮容量减少了一半。被录波信号的连续性变差了。

关于这一点, 有待于今后进一步改进提高。实际上, 如再增加一个脉冲鉴宽器就可解决这个问题, 不过电路就复杂化了, 再说有没有这个必要性。还没有实践运行经验。

## 6. 电路工作原理及过程。

一旦电源接通, 环形振荡器立即起振, 输出主脉冲频率, 其它各部分电路全处在准备工作状态, 此时只要按动一下微动开关 $K_1$ , 如前所述 $K_1$ 按下的时间必须维持在50ms以上, 稍长无妨, 可也不必太长。这样就把环形移位寄存器全部置“1”, 即脉冲节拍分配器的48步并行输出全部为“1”。然后按动一下单脉冲发生器的启动开关 $K_2$ , 当 $K_2$ 复位后产生一个和主脉冲同步的负单脉冲, 在主脉冲经延迟后的脉冲(即环形移位寄存器的移位脉冲)的作用下。移入这个寄存器。这一个负单脉冲从此就在环形移位寄存器中周而复始, 循环移位。产生时序分配脉冲。

## (二)、单“1”移位循环码时序电路。

在实际工业控制中, 对于不同控制电路的不同控制要求, 对时序电路的输出电平也有不同的要求, 有时需要“0”信号电平输出才能满足整个电路的逻辑要求, 但有时也需要“1”信号电平输出, 以满足整机的逻辑要求, 此时, 可应用单“1”移位循环码时序电路, 电源理见图12。

电路的工作过程是这样的; 一当电源接通, 振荡器Z立即开始工作, 输出主振脉冲序列 $CP_1$ , 经YS延时产生循环移位电路A的移位脉冲 $CP_2$ 。首先将A清零、按动清零按钮AN, 此时A的每步输出1、2、3、4、……n全为“0”。单脉冲发生器输出也为“0”因此或门W的输入端n和DM都为“0”, 输出也为0, 即A的信号输入端为0, 这时在 $CP_2$ 的移位脉冲作用下, A的输出还是保持全部为“0”。

然后按动单脉冲启动开关  $K_1$ ，（自复）操作完成后产生一个和主脉冲同步的单脉冲信号，此时  $W$  的输出， $Y = n + DW = 0 + 1 = 1$ ，就这一个“1”在  $CP_2$  的作用下〔参图 13(b)〕被送入  $A$ ，从此，便在  $A$  中循环移位。产生单“1”时序循环码。

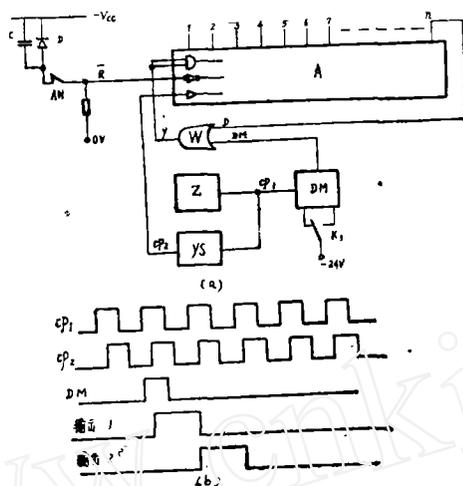


图 13、a、单“1”移位循环码时序电路 b、工作波形。