

# 晶体管式继电保护及自动装置的抗干扰设计

许昌继电器研究所 於学煌

## 一、概述

晶体管开关电路在电力系统自动化、继电保护(以下简称自动保护装置)中已经获得相当广泛的应用。它除了在技术指标方面具有比较明显的优点外,特别是在生产实践中,其抗干扰稳定性,长期运行可靠性有了很大提高,生产使用范围日益扩大,使其代表上述产品发展方向的观点有了实际意义。

由于晶体管的一些固有特点,它从设计原理上摆脱了强电式机电型的传统范围,展现了弱电式电子型的新境界。

一般说来,晶体管产品在灵敏度(如动作电平,动作功率),响应速度(如动作时间,波形陡度),功率损耗等主要指标均较机电型有大幅度提高,从一定角度看,对环境条件适应性能良好。同时,它给产品生产制造带来根本性变革。对于一些比较复杂的产品,上述特点尤为突出。由于这些理由,晶体管技术在电力系统自动保护中的应用,被誉之为一场深刻的产品革命。

但是,无论国内国外,人们对晶体管技术在自动保护中应用基本问题的认识,并非一下子就完成了的,而是经历由低到高,由片面到比较全面,由现象到本质的认识过程,就目前来看,也只能说是仍然处于认识的运动过程之中。

由于人们限于对晶体管技术认识能力和水平的限制,作为技术发展的第一阶段,利用晶体管开关电路构成上述产品时,其设计方法基本上是理想条件下,单元电路的静态设计,例如按照三极管直流极限参数和既定负载条件,计算其静态工作点和电路参数,仅此而已。由于缺乏实践的启示,对于以灵敏、快速、低耗著称的晶体管产品在实际使用条件下,对于伴随操作或故障的暂态过程中发生并侵入产品的干扰信号的抵抗能力,是缺乏考虑的,就电路而言,实际上没有什么动态设计内容。一些产品虽然比较顺利地通过实验室试验,但投入系统实际使用后,不少发生误动作的情况。这是晶体管产品在实际过程中遇到的一个重大问题,即抗干扰稳定性问题。

当然,还有制造工艺的问题,对晶体管手册参数缺乏全面的理解和正确运用,不少产品经过一定时间使用后,特性明显下降,甚至损坏。这是实践提出的又一重大问题,即常期运行可靠性问题。

从一定意义上说,稳定性和可靠性问题是人们对应用晶体管技术认识不全面、不深刻的必然反应。

稳定性和可靠性问题，引起人们重新评价晶体管产品，甚至在一定范围内发生了否定还是肯定的一场争论。自然，它也促使人们去研究稳定性和可靠性问题，试验分析电力系统干扰的产生，规律性，探求其抑制方法；研究试验晶体管器件老化筛选工艺，掌握器件的本质规律及正确使用方法；完善产品制造工艺等一系列问题。

目前，抗干扰问题还没有形成系统理论，但是已经在一定的广度和深度揭示了电力系统暂态过程中干扰信号的基本特点，抓住了影响稳定性的一些主要环节，改进了产品设计，从而大大地提高了产品抗干扰能力。可以说晶体管产品的设计已经增添了动态设计内容。

## 二、晶体管弱电系统的特殊矛盾：抗干扰稳定性。

晶体管自动保护装置以电子型弱电式为基本特点，灵敏、快速、低耗是公认的优点。可是，事物总是一分为二的，晶体管产品也无例外的体现这个对立统一的法则。正因为它灵敏、快速也就容易受到电力系统及产品本身工作过程中产生的干扰信号的侵袭，导致误动作，在这种非信号状态下，能否明确的分辨干扰与信号，并且具有稳定的自持能力，即构成稳定性的概念。换言之，晶体管产品在相对强大的干扰作用下不误动作，而在相对弱小信号作用下准确动作，这就是抗干扰稳定性问题的实质。

如所周知，自动保护装置所工作的电力系统是一个巨大的能源，复杂的 $R \cdot L \cdot C$ 电路，也是一个与之相联系的复杂的电磁场。其中时时刻刻进行着能量的交换、分配和平衡。这一过程常常是以剧烈的形式进行，例如正常或事故情况下操作辅助回路，投切机组或输电线路等等。在极短时间内完成很大能量的转换。伴随这一突变过程，必然要产生冲击波式的过电压、高频振荡或者频谱很宽、频率很高的电磁波，它们以其特定的传递通道，侵入自动保护装置，这就是干扰的主要来源，是一种机外干扰。产品本身在工作过程中也会产生一些干扰，如数字电路中的计数译码器，直流级联开关电路中的“竞争现象”，出口继电器的感应过电压等等，这是属于机内干扰。

对脉冲干扰波进行频谱分析，它是一系列高频信号。因此，不论是狭窄陡削的脉冲干扰，或是高频振荡干扰，其共同特点是频率很高。它们的频率可高达几十千周到几百千周。干扰脉冲的持续时间通常是微秒级，最大也不超过几毫秒。幅值为伏至百伏之间。因此，我们在认识干扰的特点，分析其传递通道和设计电路时必须摆脱传统的工频概念的束缚。让思路进入高频和射频范围。亦即在工频时所忽略的分布参数（如分布电容，微电感等）。这时却成了干扰信号的主要传输通道。这个特点是分析干扰问题，设计抗干扰电路所必须牢牢把握住的基本思想。

例如由电源侧产生的干扰信号，能够毫无阻挡地穿过隔离电源变压器，滤波电容等环节侵入到机内，导致误动作便是个典型的例子。

电力系统的上述过程是一种客观存在着的自然现象，它并不因为自动保护装置设计原理的不同而有所改变。

事实上，强电式机电产品并不存在抗干扰稳定性的问题，而对于弱电式晶体管产品

却是个严重问题。从几个数据就能说明这个问题。

表 1 列出额定电压  $U_n = 110V$  两种电磁式中间继电器的主要动作参数。

表 1

型 号	参 数	动作电压 (V)	功率消耗 (W)	动作时间 (ms)	备 注
DZ-50		$\approx 70$	2.5~6.5	30	自动控制
DZ- $\frac{10}{70}$		$\approx 70$	5~8	50	保护出口

显然, 输入电压要达到动作电平, 输入电压的持续时间要大于动作时间, 继电器才会动作。

由于干扰信号的功率很小, 持续时间又很短, 即使干扰信号的幅值能够触动继电器, 但继电器还来不及动作干扰信号已经消失, 故不会误动。

对于晶体管产品就大不一样了, 在静态计算中虽然可以使三极管处于深度饱和或大截止偏压的工作状态, 但就其电流、电压以及功率的绝对值说来都是很小的, 一个典型的开关电路, 其最高动作电平也只几伏, 灵敏开关电路的动作功率仅毫瓦级, 动作时间微秒级, 完全处于干扰的作用范围内, 极易接受干扰而误动作, 这便是晶体管产品面临现实环境而出现的特殊矛盾。

实践表明, 晶体管产品还存在另一类性质的问题, 即长期使用后, 由于器件本身质量问题, 或者由于过电压作用, 器件特性明显下降甚至损坏, 因而丧失产品特性, 即所谓可靠性问题, 有时也将抗干扰归入可靠性问题。两个问题有时交溶在一起, 但对于大多数情况, 干扰造成的误动毕竟是随机的, 是一种漂移性故障, 并不失去产品静态性能, 而可靠性问题则往往是结局性的, 多表现为拒动, 它以器件损坏, 产品静态特性丧失为特征, 二者的成因及其解决办法不尽相同。这里主要叙述晶体管开关电路抗干扰稳定性问题。

### 三、抗干扰设计

#### (一) 单元电路抗干扰设计

自动保护中应用的晶体管开关电路大多是直耦式多级直流开关放大器, 例如晶体管保护中常用的“零指示器”便是一种典型的直流开关放大器。晶体管逻辑元件也是通用的直流开关放大器。对于作为基础的单元电路采取较全面的抗干扰设计就能大大提高产品的正机性能, 现选择几个重要点分述如下:

##### 1. 一般选择

在设计开关电路时, 首先要选择其基础元件三极管的型号, 确定电压等级和电源方式。

鉴于锗管的温度影响及其补偿的复杂性, 目前在自动保护装置中一般均选用硅三极

管。它可以工作在较高电压，触发电平高，抗干扰性能也较好。为使电路具有较高的抗干扰水平、提供较大输出功率，一般选用较高电压，但应按照三极管极限工作电压留有足够余度，还要考虑电压标准等。例如分散电源的晶体管保护采用 $18V$ 直流电源，晶体管逻辑元件及多数自动装置均采用 $24V$ 直流主电源及 $-6V$ 偏压电源。他偏压电源主要是提供一定的截止偏压，使管子更可靠截止，因而具有较高的抗干扰能力。硅管开始导通的阈电压约 $0.7V$ 左右，无偏压时管子还是可以截止的，但电路不够稳定，当进入 $0.7V$ 的干扰信号时，就可能破坏电路的工作状态，因此需要外加较大的截止偏压。

## 2. 饱和、截止开关

晶体管开关电路中，饱和导通或截止是三极管两个基本状态，它与电路抗干扰能力有直接关系。通常第一级输入控制、测量信号，它与各种现场条件下的信息、指令相联系，除电源侧外，干扰信号最易从输入回路进入，加之开关放大器的第一级灵敏度高，对干扰与信号的分辨能力较弱，因此，在开关放大器单元电路中，合理选择首级开关型式和参数就显得重要了，这和晶体管直流运算放大器为减小零飘而要精心设计其输入级电路有相似之处。

通常在晶体管自动保护电路中，第一级采用饱和开关比截止开关为好，它能够较好地解决灵敏度与抗干扰相矛盾的问题。因为干扰信号必须抵消过偏置的基级电流并克服第一级饱和导通时基区过剩的存储电荷后才能趋向截止，这就延迟了翻转的时间，同时，在饱和开关的集、基极设置电容量较小的优质负反馈电容就可以达到较高的抗干扰能力。

在计算饱和开关的电路参数时，要考虑环境温度的范围， $h_{FE}$ 离散性以及一定的过饱和系数（ $1.5\sim 2.5$ ），即在最低环境温度， $h_{FE}$ 分选范围的下限值仍能保证饱和开关有一定的抗干扰系数。

对于截止开关，为提高抗干扰性能，均需采用自偏压或他偏压，例如对于 $3DG$ 系列硅三极管现均提供 $1.5\sim 2V$ 的截止偏压。

## 3. 具有抗干扰电容的开关

在饱和、截止开关电路上设置抗干扰电容是个简单的行之有效的抗干扰措施，如图1所示。

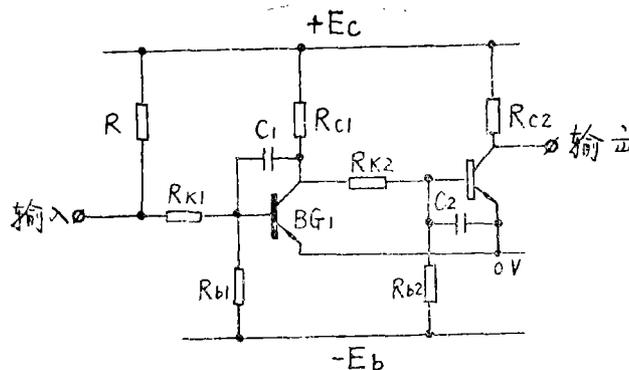


图 1

、 $C_1$ 、 $C_2$ 为抗干扰电容。

$C_1$ 接于正常导通三极管BG1的基极、集电极之间。 $C_2$ 接于正常截止三极管的基极、发射极之间。对于饱和开关，其发射结、集电结构处于正向偏置，三个极近乎同一电位，所以 $C_1$ 两端电位差近乎0。

如无 $C_1$ ，由于三极管频响很快，当输入端进入负向干扰信号时，BG1可能瞬间截止，产生误动作。接入 $C_1$ 后情况就大不一样了，这时集电极状态就受到 $C_1$ 端电压不能突变这一特性的制约。假使由于负向干扰使BG1趋向截止，但 $C_1$ 端电压又不能突变，由 $+E - R_{C1} - C_1 - BG1 - 0$ 构成动态过程充电回路，附加的充电电流使BG1有保持继续导通的趋势，随着充电过程的完结，BG1才能变为截止，显然 $C_1$ 延迟了饱和开关的翻转过程。

BG1处于截止状态时，集电极呈反向偏置， $C_1$ 两端具有 $R_{C1}$ 、 $R_{C2}$ 分压的电位差，假使正向干扰信号使BG1趋向饱和，集电极电位降低时， $C_1$ 上电荷将通过BG1集、射、基极放电，该放电电流形成一动态过程中的反向基流，也使饱和过程延迟到来。从等值电路看，饱和开关是一个具有输入、输出的三端器件，输出端经 $C_1$ 反馈至输入端，并且其作用为抵消输入信号的作用，故 $C_1$ 为负反馈电容。

$C_1$ 的负反馈作用使高频干扰信号在电路还来不及翻转以前就已消失，从而大大提高了抗干扰能力。当然， $C_1$ 负反馈也降低了开关的工作频率，并且由于翻转过程的延长，输出电压波形的陡度变坏。

对于截止开关， $C_2$ 接于三极管的基极，发射极之间，当干扰信号进入时， $C_2$ 端电压不能突变，随着 $C_2$ 充电过程进行BG2才能由截止变导通，由延时达到抗干扰目的。

这种在饱和开关集、基极间，在截止开关基、射极间接入抗干扰电容的方法还兼有在突然拉合电源瞬间保证饱和开关优先导通，截止开关可靠截止的优点。

#### 4. 钝化电路

开关电路的灵敏度与抗干扰是同一事物矛盾的两个侧面，对于一些常用的典型单元电路从设计上保证较高的抗干扰能力，它对比较复杂的大型设备的正机性能影响极大。

例如用途很广，稳定余度较小的双稳态触发器，采用动态分压电路，适当降低灵敏度以提高其抗干扰指标就是一个切实可行的办法。

图2表示具有动态分压电路的双稳态触发器。

$R_3$ 、 $R_4$ 即为钝化电路的动态分压电路。

设BG1饱和导通，在没有动态分压电阻情况下 $U_F = U_{be}$ ，1~2V的负脉冲信号即可翻转，因此抗干扰稳定性比较脆弱。设置动态分压电阻后，F点电位由 $R_3$ 、 $R_4$ 分压决定，即

$$U_F = \frac{R_3}{R_3 + R_4} \times E.$$

例如对于实用的电路参数  $R_3 = 68K$ ， $R_4 = 120K$ 。

$$U_F = \frac{68}{68 + 120} \times 24 = 8.7V$$

$U_i$ 提高了, 触发脉冲也必须提高相应的数值, 才能使 $U_{b1}$ 降至截止电位, 显然幅值较小的干扰信号将不会使电路翻转, 因而增强了抗干扰能力。类似方法如改变电路中电容参数以钝化电路的方法亦经常采用。

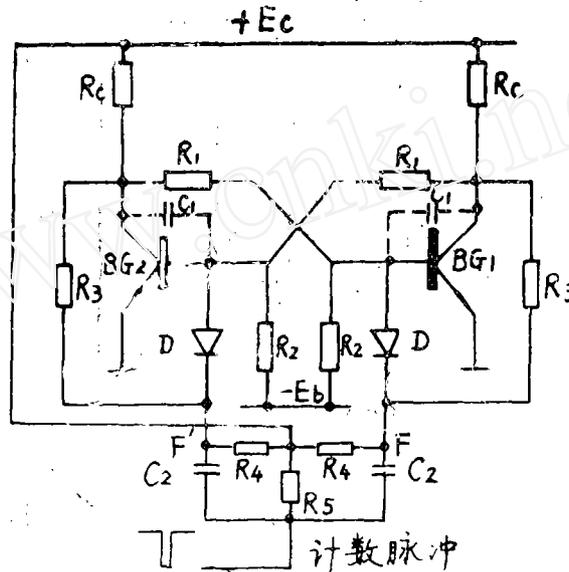


图 2

### 5. 抗机内干扰的电路设计

在晶体管开关电路中, 干扰来自两个方面, 一是发源于外部的机外干扰, 一是发源于内部的机内干扰。例如晶体管数字电路的计数译码电路, 晶体管逻辑“与”、“或”电路中的“竞争”现象就是一种机内干扰, 对此也必须进行抗干扰的电路设计, 否则它也会造成电路不能正常工作的严重后果。

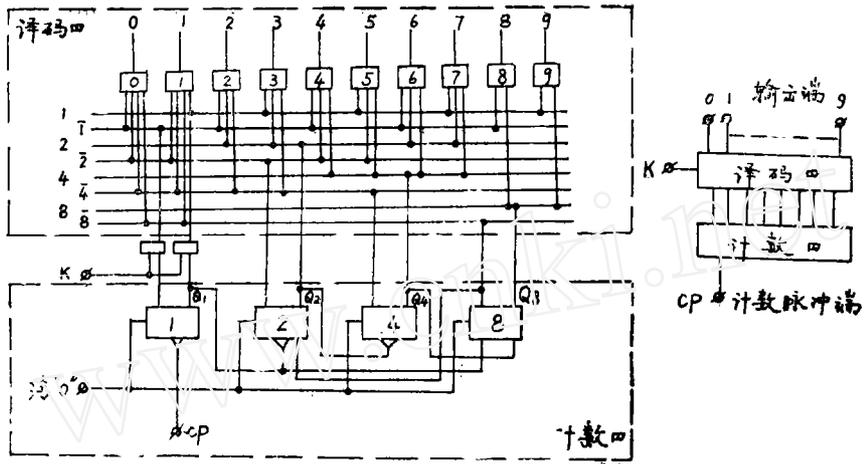
#### (1) 计数译码电路的“竞争”现象

图 3 表示 2~10 进制 BCD 码计数、译码电路。(a) 为电路图, (b) 为符号电路, (c) 为计数器输入、输出及一个译码输出端 0 的波形图。

用示波器观察译码器 0 输出端的波形, 除了稳定译码输出外, 还能看到一些非常狭窄的寄生脉冲, 它就是由于电路中的竞争现象而产生的竞争干扰 (也有称之为逻辑性干扰), 其原因在于每个双稳态电路 (不论分立元件的或集成电路的) 翻转过程均有一定延时, 译码器译出了串行计数器翻转过程中存在的短暂的中间过渡状态。

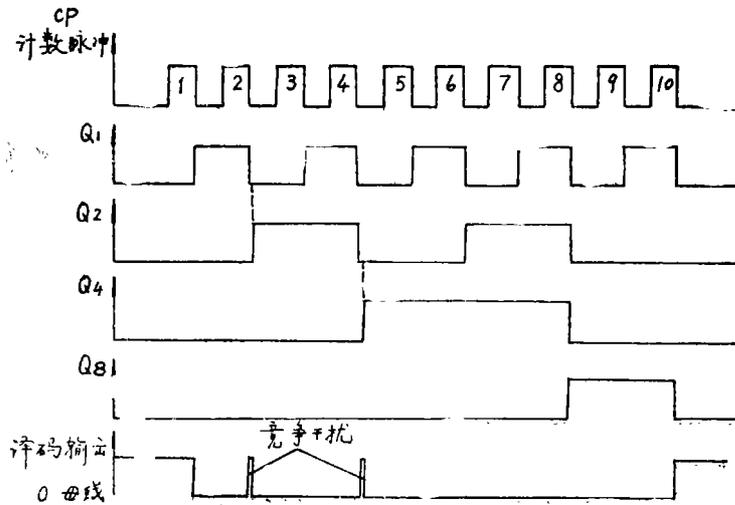
如译码器 0 输出端, 在第二个钟脉冲后沿触发权 1 双稳后, 权 2 双稳还来不及翻转的这一瞬间表现为中间过渡状态。例如计数器由 0001 到 0010 的翻转过程存在 0000 这个中间过渡状态, 这便是第一个竞争干扰脉冲的成因。同样, 在第 4 个钟脉冲后沿触发下, 计数器由 0011 到 0100 的翻转过程中也存在着 0000 过渡状态, 这便是第二个竞争干扰脉冲的成因。可以想见, 在译码器的其它输出端也存在类似的竞争干扰。这便是数字电路本身产生的机内干扰。实践表明, 在竞争干扰作用下电路也难以稳定工作, 合理的设

译电路就能抑制上述干扰。



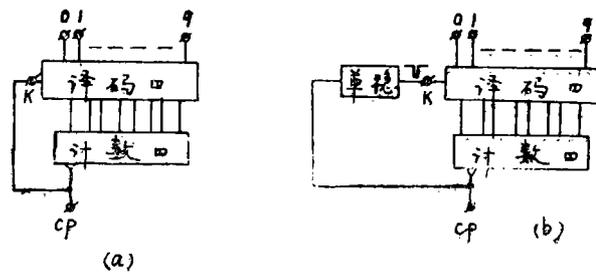
(a)

(b)



(c)

图 3



(a)

(b)

图 4

图4即为ZSJ—400及200型数字式集中巡回检测装置(许继产品)中, TTL数字集成电路构成的实际电路。

在译码器  $1 \cdot i$  输入端增加控制端  $K$ 。

计数器在负脉冲触发下翻转, 而负脉冲期间闭锁译码输出, 等到出现正脉冲时, 计数器已经处于翻转后的稳定状态, 译码控制端的闭锁信号已经解除, 这时输出稳定的译码状态。即在竞争干扰脉冲出现的时刻, 译码器处于闭锁状态, 这就从根本上予以消除。

又如ZWX—1型数字式温度巡回检测装置(许继产品)其超限报警电路也同样存在计数译码电路的竞争干扰。

图5为一组上限值正定开关及其报警双稳电路。

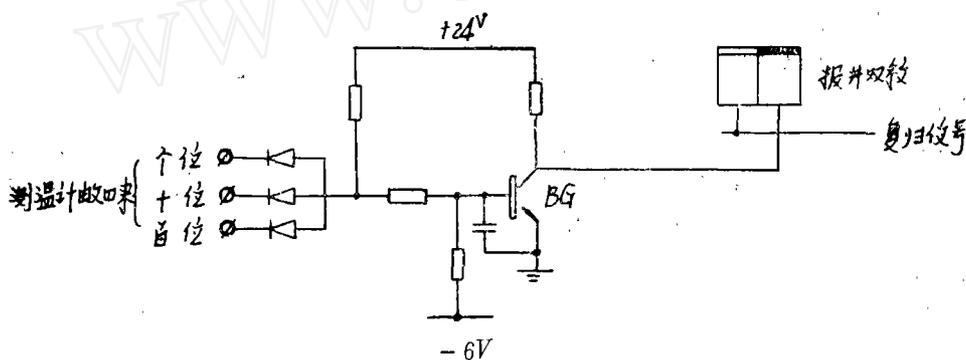


图5

例如上限正定值为  $85^{\circ}\text{C}$ , 当测温器的个位、十位十进计数器为  $1000.0101$  状态时, 超限开关个、十、百位三个输入端同时为高电平,  $BG$  饱和导通, 在其负脉冲作用下, 报警双稳翻转, 发出声、光报警信号。可是当计数器并未达到上述正定状态, 而是由于计数电路存在竞争干扰, 导致误翻转、误发报警信号。为了抑制这一机内干扰, 在  $BG$  基极、射极接入  $0.047\mu\text{F}$  电容, 利用  $RC$  电路的积分延迟即可可靠的抑制了竞争干扰。

### (2) 晶体管逻辑电路的竞争现象

图6为JL—4硅系列晶体管逻辑元件(许继产品)或/或非HF元件基本电路图(除去虚线电路)。

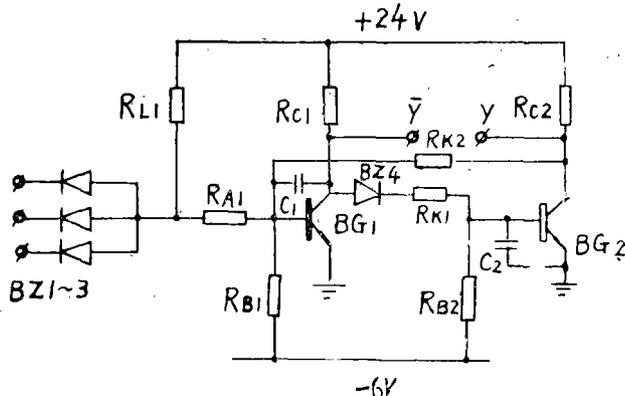


图6 HF

它是由 $BG_1$ 、 $BG_2$ 构成的不对称双稳电路。当输入端悬空或均为“0”时，（在负逻辑系统“0”态电平 $\geq 17V$ ；“1”态电平 $\leq 1.5V$ ）， $BG_1$ 饱和导通， $BG_2$ 截止。可是在突合电源情况下，用示波器观察某些具体 $HF$ 电路 $Y$ 输出端，可以明显的看到一个负的单脉冲 $\neg$ ，这又是什么现象呢？！原来在突合电源瞬间， $BG_1$ 、 $BG_2$ 各自具有导通趋势，而在 $BG_2$ 又有较大电流放大倍数 $h_{fe}$ 的情况下，在竞相导通的“短暂竞赛”中 $BG_2$ 领先达到饱和点，这就是该单脉冲的前沿。可是这毕竟是一个暂时现象，是个不稳定状态，一旦 $BG_1$ 导通（在上述条件下 $BG_1$ 终将导通），立即强制 $BG_2$ 截止，这就是单脉冲的后沿。

在逻辑系统中，这也是一种有害的机内干扰。例如更换运行设备的某一印刷电路板，就相当于这个情况。

如前所述，在 $BG_2$ 基、射极接入 $C_2$ （ $0.47\mu F$ ）就消除了上述竞争干扰。

### （3）电感瞬变干扰的抑制

晶体管自动保护的末级电路常常采用电磁继电器出口，此时功率开关为直流感性负载，当开关管由饱和导通变为截止时，无异于断开电感的电源，此时将产生一个峰值较大的自感电势并与电源电压叠加，不仅可能击穿三极管，对系统也是一种过电压形式的机内干扰。

此时应与继电器线圈反向并联二极管或 $RC$ 放电回路，用以泄放电感线圈的磁场能量，抑制掉电感瞬变干扰。

实践表明，受弱电系统控制或邻近的强电感性负载往往是一种严重的干扰源，这时也应采取相应的措施，藉以削弱干扰强度。

### 6. 触点抖动干扰的抑制

在晶体管开关电路中，常常利用继电器，开关或按钮的接点传送信息和操作指令，如果采用图7的直接连接方式，往往引入接点抖动的干扰以及过长接线的电磁干扰。

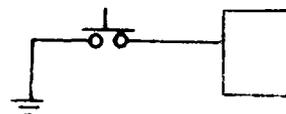


图7

这时需要进行“抖动整形”，输入端预置固定电位以及“信息加工”等。

例如在触点两端并联电容 $C$ 或 $RC$ 回路，输入端经电阻置位，或者利用一个整形电路如 $RS$ 触发器、司密特触发器，单稳态触发器或者单脉冲发生器进行信息加工，使其转发一个稳定脉冲，避开触点抖动过程的干扰。在 $ZSJ$ 系列数字检测装置中就应用图8（a）~（d）的电路。

开关输入端不应悬空，要预置固定电位（如“0”或“1”），例如经电阻接至电源。这样输入端不是高电位就是低电位，减小了输入阻抗，大大削弱了电磁感应的干扰电压。试验表明，输入端预置电位的电磁干扰下降为悬空时的10%左右。

在电路中一些不用的多余输入端亦应置位或与使用的输入端并联，对抗干扰也大有好处。

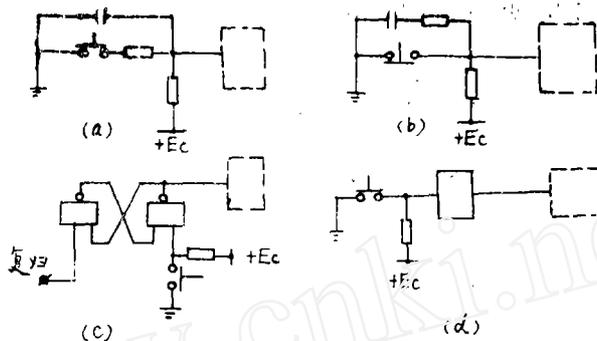


图 8

## (二) 电源回路抗干扰设计

直流电路是晶体管电路工作的必备条件，它往往又最容易产生干扰，试验表明，在交流电源启停或投切大容量电器设备，在直流电源操作电器设备，尤其是切断感性电路，都将产生过电压高频振荡，如图 9 (a)、(b) 所示。

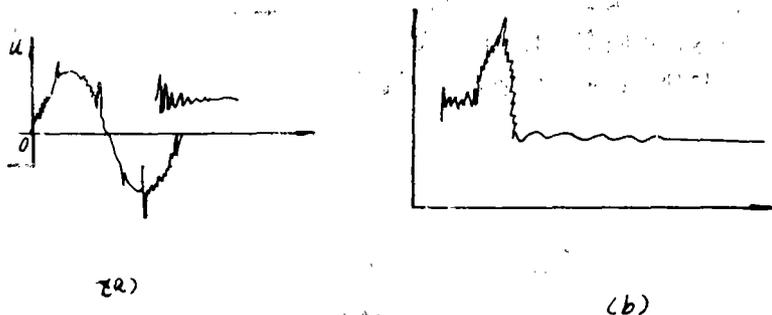


图 9

这是一种严重的干扰源，通过电磁耦合，静电耦合、电路传导及高频电磁波耦合等各种途径侵入晶体管开关电路，一个考虑较仔细、计算较精确的电路往往由于电源欠考虑而失去工作稳定性。电源的抗干扰可以作如下考虑。

### 1. 独立电源

采用独立发电机组，提供独立的交流电源使其与一般动力电源完全隔离。这个办法适合于一些大型装置和系统，例如 ZSJ-400 数字检测就是这种电源方式。采用独立蓄电池提供保护独立直流电源，使其与操作电源隔离。

### 2. 交流脉冲滤波

如所周知，交流电网通断大负载电流，将产生瞬时冲击波，叠加在电源上，当有电弧时还会产生高频或脉冲电磁场。频率高，频谱宽，幅值大，它不能被一般晶体管稳压电源抑制，这时可以在供电电路中串接脉冲滤波器。

图10为ZSJ-400采用的ML-1型脉冲滤波器电路图。

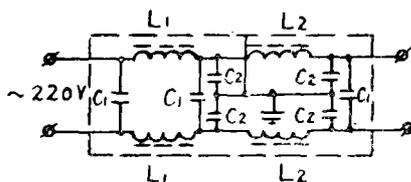


图10 ML-1 脉冲滤波器

对于电感线圈，感抗  $X_L = 2\pi f \cdot L$ ，它与频率成正比，对于工频50HZ， $X_L$  趋近于0，对高频干扰表现极大感抗，经电容  $C_2$  旁路入地。

其中  $L_1$ 、 $L_2$  分别用MX-400—Y10×160及100两种天线磁棒，用0.6~0.8导线排绕一层， $L$  约为200~400mH，对于100HZ~10MC信号衰减30~60dB，滤波器电路全部屏蔽在铁盒中并与  $C_2$  一起良好接地，才有明显效果。对于干扰比较严重的场合还可两个串接的脉冲滤波器。

### 3. 静电屏蔽

为防止交流电源以及变送器进来的高频浪涌干扰，在电源变压器、变换器（如继电器保护的中间变流器，中间变压器，电抗变压器等）的初、次级绕组之间设置屏蔽层，屏蔽层和铁芯一起接地，这是个效果显著的抗干扰措施。如图11所示。

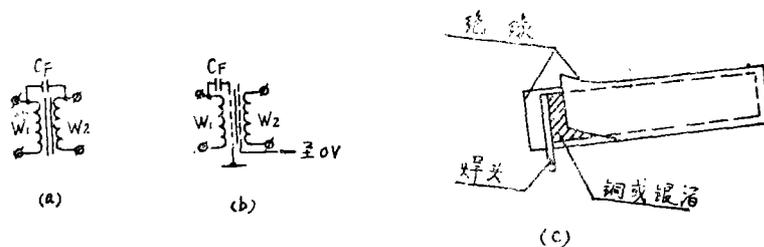


图11

这个道理是很明显的，因为电源变压器或变送器线圈的一次绕组具有很大的高频阻抗，干扰信号主要不是通过  $W_1$  磁场耦合的方式传送到副边，但初、次级绕组却相当于一个电容器的两个极板，它们之间存在分布电容  $C$ ，对一般变压器  $C$  约为200~300uF，对工频信号是个完全隔离的绝缘电路，但是对于高频干扰信号却成了主要的传输通道。显然，如(b)所示接地屏蔽层结构如同在初级绕组与屏蔽层之间接入电容  $C$  一样，将干扰信号旁路入地。屏蔽层结构如(c)所示，用厚0.03~0.05mm铜箔或银箔在初级绕组外面包裹一层，首尾绝缘使其不能短路，再焊出接线头。

试验表明，无屏蔽层时，约有20~60%的干扰电压耦合至二次侧，加接地屏蔽层后下降为3~16%，与铁芯同时可靠接地，则进一步下降残余的20~30%。

由于屏蔽层对地连接导线存在微电感，当出现强烈高频干扰时，屏蔽层上还会出现

一个较小的干扰信号，它仍可通过屏蔽层和二次绕组间的杂散电容耦合至二次电路，对高灵敏的开关电路仍有威胁，这时可在一、二次绕组间设置第二个屏蔽层并将其接至0V电路。

应该指出，用导线排绕一层作为屏蔽层的工艺从理论或实践上来说是不够好的，因为这种屏蔽层对地仍有较大的高频阻抗，对于高频干扰信号说来，此屏蔽层大部份面积接地不良，难以产生显著的效果，目前在继电器厂生产中已经不再使用这种屏蔽结构了。

#### 4. 直流电源抗干扰

晶体管开关电路的直流电源，不论是晶体管交流串联稳压源，分散电源的参数稳压器或逆变电源，均须设置高低频双通道抗干扰电容。如图12所示。

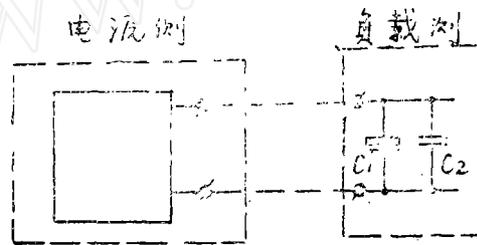


图12

其中 $C_1$ 为50~100 $\mu$ F大容量电解电容，用于吸收低频干扰， $C_2$ 为小容量优质高频电容，用以吸收高频干扰。

必须加入 $C_2$ 是由于大容量电解电容卷绕匝数较多，因而具有一定电感，是有感电容，不能有效的吸收高频干扰，高频电容是无感电容。

除了在稳压电源本身设置高低频双通道抗扰电容外，在受电的负载电路侧，以及每一块印刷电路板电源端均需设置 $C_1$ 、 $C_2$ 。

抗干扰电容应安装在靠近干扰原处，且有最短接线，尤其要避免不合理的接线方式，影响抗干扰作用的发挥，如图13所示。

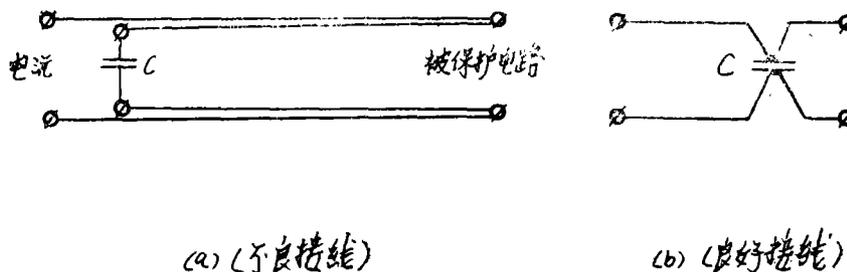


图13

### (三) 工艺及安装的抗干扰

除了电路上的抗干扰设计外, 在生产工艺和现场安装施工也必须同样高度重视抗干扰的问题, 只有多方面的仔细考虑才能得到可靠运行的良好结果, 过去由于生产、安装方面重视不够, 沿袭强电习惯, 吃了不少苦头。

从一定的角度看, 生产工艺和安装接线常常具有举足轻重的影响。

1. 产品配线, 现场安装电缆, 应按照强、弱电, 交流、直流分开布置, 分别捆扎, 尤其不应使强弱电信号在同一根电缆的芯线中传输, 走线以最短为佳, 强弱母线间要保持较远的距离, 减少其寄生耦合。

例如信号电缆存在芯线间分布电容。其数量级为 $40\sim 100\mu\text{F}/\text{KM}$ 。如果在一根电缆中传输强弱电信号, 就无法避免强电对弱电的干扰。

抗干扰电容的接线应最短, 避免长线微电感的副作用。

2. 装置中凡电源设备, 风机导线, 低电平信号线应成对扭绞。用以改善两根导线对干扰源的不平衡度, 减小由于静电耦合在不平衡导线间的差电压, 由于扭绞反复改变导线内电磁感应电压的方向, 使其相互抵消, 从而削弱电磁感应的干扰。例如由TTL数字集成电路构成的大型巡回检测装置, 为避免将大量 $\text{mV}$ 信号、远距离传送至主机房可能引起的电磁场干扰, 装置本身的输入信号线、电源线一律进行成对扭绞。

此外, 对于电容性耦合较强, 易受强烈静电干扰, 以及特高频率的信号线均应采用金属屏蔽线, 屏蔽层在靠近系统总接地点接地。

3. 交流电源进线, 由单独电缆引入, 该电源处及进线上不应有大功率或大感性负载并避免频繁操作的电气设备, 减少电源瞬间波动产生的干扰进入弱电系统, 这种情况往往是很严重而又难以抑制的干扰。

4. 减小零飘, 合理选择 $0\text{V}$ 状态

为减小系统零线飘移, 电源按辐射状接线, 保持 $0\text{V}$ 母线为低阻母线。例如ZSJ—400巡测装置主机屏内八层印刷电路板元件箱,  $0\text{V}$ 及正电源均用 $3\times 10\text{mm}$ 紫铜板做成, 电源用粗线扭绞、辐射状连接, 使 $0$ 零飘控制在 $0.2\text{V}$ 以下。

弱电系统 $0\text{V}$ 是浮置或接地, 要根据使用现场和产品特点决定, 最好经试验选定浮置、接地或经电容接地的方式。

对于高灵敏、高精度的电路, 其 $0\text{V}$ 接线更应仔细处理, 如运算放大器、模数转换电路应有自己的总 $0$ 线, 汇集一点再与其它部份 $0\text{V}$ 相连, 避免微小零飘产生不良后果。

## 四、抗干扰试验

晶体管自动保护的抗干扰试验还没有成熟的标准和方法, 它将在广泛实践、积累资料的基础上逐步形成。目前还只是进行一些模拟性质的干扰试验, 如:

1. 对于晶体管保护试用 $100\text{KC}$ ,  $1\text{MC}$ 衰减振荡波, 第一个半波空载电压幅值为 $1$

KV, 2.5KV, 重复率约100次/秒衰减振荡波进行干扰试验, 此电压由干扰波发生器产生。

2. 工业用晶体管逻辑元件可以用20倍工作频率, 幅值为电源电压(例如24V)对称方波进行干扰试验, 或者用脉宽小于1mS, 占空比大于1:5幅值为电源电压的方波进行干扰试验。

### 3. 边缘试验

在主电源、偏压电源同相、异相拉偏 $\pm 10\%$ , 例如对24V主电源,  $-6V$ 偏压电源的系统, 分别为23V及 $-7V$ ; 21.6V及 $-5.4V$ , 26.4V及 $-6.6V$ 情况下, 按突合电源及稳定状态分别进行试验。

### 4. 某些定性的模拟干扰试验

例如在同一交流电源端或其进线上通断一定功率, 频繁操作电器设备; 在电路输入端接入一条长线负载电路(例如200M、直流220V, 5A电路)通断该电路进行干扰试验。

## 五、结 语

晶体管开关电路抗干扰问题是个大课题, 具有理论意义和实用价值, 对于晶体管分立元件、各种数字集成电路(TTL、HTL、MOS等)都具有普遍意义。

一个开关电路抗干扰指标是各个环节, 各种措施的综合效果, 有时还包括相关电路的作用结果。

本文目的希望在前一阶段实践基础上, 从制造厂产品设计的角度提出一些抗干扰动态设计的要点和内容, 从工程施工设计的角度提出一些抗干扰的规定, 以及进一步研究抗干扰的试验方法和标准, 以期共同把晶体管自动保护装置的性能提高一步。

由于实践和水平的限制, 文中一些观点、提法很可能不够准确, 不够全面, 甚至错误, 尚请批评指正。